

## 拒絶理由通知書



特許出願の番号 平成 9年 特許願 第181132号  
起案日 平成14年 3月25日  
特許庁審査官 田代 吉成 9448 4R00  
特許出願人代理人 伊東 忠彦 様  
適用条文 第29条第2項、第37条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

## 理 由

- 1) この出願は、下記の点で特許法第37条に規定する要件を満たしていない。
- 2) この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

理由1)

請求項1乃至30

備考

請求項1乃至16に記載の発明と請求項17乃至30に記載の発明とは、「インターポーザ」という構成を備えるか否かの点で発明の主要部が互いに異なり、かつ、発明が解決しようとする課題についても、本願の発明の詳細な説明の記載(段落【0125】)からみて、インターポーザとしてTABテープを用いることにより半導体装置の構成部品として安価に供給するという課題を備えるか否かの点で互いに異なるものであるから、両者は、特許法第37条各号において規定する関係に該当するものとは認められない。

提出期限

6/3 (月)

理由2)

請求項1乃至7、9乃至10、13

引用文献1

備考



図1乃至図3及びその関連箇所。

引用文献1に記載の発明において、電極板を加工するに当たり、単に塑性加工を採用することは、周知技術の単なる適用に過ぎないものと認められる。

請求項8

引用文献1及び引用文献2

備考

引用文献1に記載の発明において、放熱部材を採用することは、周知技術（その根拠については、例えば、引用文献2等を参照のこと。）の単なる適用に過ぎないものと認められる。

請求項11

引用文献1及び引用文献2

備考

引用文献1に記載の発明において、フリップチップ接合法を採用することは、周知技術（その根拠については、例えば、引用文献2等を参照のこと。）の単なる適用に過ぎないものと認められる。

請求項12

引用文献1、引用文献2及び引用文献3

備考

チップ搭載工程を実施する前に、半導体素子を放熱部材上に位置決めして取り付ける工程を採用することは、引用文献3の記載（図2及びその関連箇所）に基づき当業者であれば適宜になし得るものと認められる。

請求項14

引用文献1及び引用文献2

備考

引用文献1に記載の発明において、ソケットを採用することは、慣用技術の単なる適用に過ぎない。

請求項15

引用文献1、引用文献2及び引用文献4

備考

突出端子としてバンプを採用することは、引用文献4の記載（図1乃至図5及びその関連箇所）に基づき当業者であれば適宜になし得るものと認められる。

この出願は特許法第37条の規定に違反しているので、請求項1乃至16以外の請求項に係る発明については同法第37条以外の要件についての審査を行って





いない。

引用文献等一覧

1. 特開平9-45818号公報
2. 特開平9-17827号公報
3. 特開平8-97315号公報
4. 特開平8-97312号公報

---

先行技術文献調査の記録

・調査した分野 IPC第7版 H01L23/28

この先行技術文献調査の記録は、拒絶理由を構成するものではない。

---

問い合わせ先

特許審査第三部（電子素材加工）

TEL 03(3581)1101 x. 3470

FAX 03(3580)6905



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>6</sup> H01L21/56, 21/60, 23/28, B29C43/18

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>6</sup> H01L21/56, 21/60, 23/28, B29C43/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1997年

日本国登録実用新案公報 1994-1997年

日本国実用新案登録公報 1996-1997年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の  
カテゴリー\*

引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示

関連する  
請求の範囲の番号

X

JP, 6-151487, A (三菱電機株式会社) 31. 5月. 1994 (31. 05. 94), 請求項1, 段落「0012」図1および図4 (ファミリーなし)

18, 25, 43

Y

1-3, 6, 9-  
12, 19, 20  
, 26-28,  
30, 41, 42  
, 44, 57,  
66, 67☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

08. 10. 97

国際調査報告の発送日

21.10.97

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

特許庁審査官 (権限のある職員)

奥井 正樹

印

4E

7516



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/02405

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	Claim; Fig. 3 (Family: none)	
X	JP, 5-175396, A (Fujitsu Ltd.), July 13, 1993 (13. 07. 93), Claim 1; Fig. 1 (Family: none)	65
Y		66, 67
Y	JP, 6-318609, A (Toshiba Corp.), November 15, 1994 (15. 11. 94), Claim; Fig. 1 (Family: none)	1-3, 6, 9-12, 30, 44, 66, 67
Y	JP, 6-29165, A (Nankai Rabah K.K.), February 4, 1994 (04. 02. 94), Claim 1; Figs. 1, 7 (Family: none)	25, 26
Y	JP, 54-111281, A (Mitsubishi Electric Corp.), August 31, 1979 (31. 08. 79), Claim 1; Fig. 2 (Family: none)	9, 10, 19
Y	JP, 7-326850, A (Fujitsu Ltd.), December 12, 1995 (12. 12. 95), Claim 4; Par. No. (0024); Fig. 1 (Family: none)	11
Y	JP, 7-321248, A (NEC Corp.), December 8, 1995 (08. 12. 95), Claim 1; Par. No. (0029); Fig. 1 & EP, 684642, A2	20, 41, 42
Y	JP, 5-20921, A (Matsushita Electric Industrial Co., Ltd.), January 29, 1993 (29. 01. 93), Par. Nos. (0004), (0005), (0016); Fig. 1 (Family: none)	26
Y	JP, 61-253826, A (Hitachi, Ltd.), November 9, 1976 (09. 11. 76), Claim 1; page 3, upper right column, line 7 to lower left column, line 16; Fig. 2 (Family: none)	27, 28
Y	JP, 5-175396, A (Fujitsu Ltd.), July 13, 1993 (13. 07. 93), Claim 1; Fig. 1 (Family: none)	66, 67
Y	JP, 1-37854, A (NEC Kyushu Co., Ltd.), February 8, 1989 (08. 02. 89), Page 1, left column, last line to right column, line 8; Fig. 2 (Family: none)	66, 67



## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP, 5-55278, A (ソニー株式会社) 5. 3月. 1993 (05. 03. 93), 段落「0006」, 「0009」, 「0012」および図2 (ファミリーなし)	18, 43 1-3, 6, 11 , 12, 19, 26-28, 30 , 57, 66, 67
X	JP, 60-130129, A (日本電気株式会社) 11. 7月. 1985 (11. 07. 85), 特許請求の範囲および第3図 (ファミリーなし)	57
X Y	JP, 5-175396, A (富士通株式会社) 13. 7月. 1993 (13. 07. 93), 請求項1および図1 (ファミリーなし)	65 66, 67
Y	JP, 6-318609, A (株式会社東芝) 15. 11月. 1994 (15. 11. 94), 特許請求の範囲および図1 (ファミリーなし)	1-3, 6, 9- 12, 30, 44 , 66, 67
Y	JP, 6-29165, A (南海ラバー株式会社) 4. 2月. 1994 (04. 02. 94), 請求項1, 図1および図7 (ファミリーなし)	25, 26
Y	JP, 54-111281, A (三菱電機株式会社) 31. 8月. 1979 (31. 08. 79), 請求項1および第2図 (ファミリーなし)	9, 10, 19
Y	JP, 7-326850, A (富士通株式会社) 12. 12月. 1995 (12. 12. 95), 請求項4, 段落「0024」および図1 (ファミリーなし)	11
Y	JP, 7-321248, A (日本電気株式会社) 8. 12月. 1995 (08. 12. 95), 請求項1, 段落「0029」および図1&EP, 684642, A2	20, 41, 42
Y	JP, 5-20921, A (松下電器産業株式会社) 29. 1月. 1993 (29. 01. 93), 段落「0004」, 「0005」, 「0016」および図1 (ファミリーなし)	26
Y	JP, 61-253826, A (株式会社日立製作所) 9. 11月. 1976 (09. 11. 76), 請求項1, 第3頁右上欄7行-同頁左下欄16行および第2図 (ファミリーなし)	27, 28
Y	JP, 5-175396, A (富士通株式会社) 13. 7月. 1993 (13. 07. 93), 請求項1および図1 (ファミリーなし)	66, 67
Y	JP, 1-37854, A (九州日本電気株式会社) 8. 2月. 1989 (08. 02. 89), 第1頁左欄末行-同頁右欄8行および第2図 (ファミリーなし)	66, 67





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/02405

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> H01L21/56, 21/60, 23/28, B29C43/18

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> H01L21/56, 21/60, 23/28, B29C43/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho

1926 - 1996

Jitsuyo Shinan Koho

1996 - 1997

Kokai Jitsuyo Shinan Koho

1971 - 1997

Koho

1996 - 1997

Toroku Jitsuyo Shinan Koho

1994 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 6-151487, A (Mitsubishi Electric Corp.), May 31, 1994 (31. 05. 94), Claim 1; Par. No. (0012); Figs. 1, 4 (Family: none)	18, 25, 43  1-3, 6, 9-12, 19, 20, 26-28, 30, 41, 42, 44, 57, 66, 67
X Y	JP, 5-55278, A (Sony Corp.), March 5, 1993 (05. 03. 93), Par. Nos. (0006), (0009), (0012); Fig. 2 (Family: none)	18, 43  1-3, 6, 11, 12, 19, 26-28, 30, 57, 66, 67
X	JP, 60-130129, A (NEC Corp.), July 11, 1985 (11. 07. 85),	57

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

October 8, 1997 (08. 10. 97)

Date of mailing of the international search report

October 21, 1997 (21. 10. 97)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer



## 明細書

半導体装置の製造方法及び半導体装置製造用金型  
及び半導体装置及びその実装方法

5

技術分野

本発明は半導体装置の製造方法及び半導体装置製造用金型及び半導体装置に係り、特にチップサイズパッケージ構造を有した半導体装置の製造方法及び半導体装置製造用金型及び半導体装置に関する。

10 近年、電子機器及び装置の小型化の要求に伴い、半導体装置の小型化、高密度化が図られている。このため、半導体装置の形状を半導体素子（チップ）に極力近づけることにより小型化を図った、いわゆるチップサイズパッケージ構造の半導体装置が提案されている。

15 また、高密度化により多ピン化し、かつ半導体装置が小型化すると、外部接続端子のピッチが狭くなる。このため、省スペースに比較的多数の外部接続端子を形成しうる構造として、外部接続端子として突起電極（バンプ）を用いることが行われている。

背景技術

20 図1（A）は、従来のベアチップ（フリップチップ）実装に用いられる半導体装置の一例を示している。同図に示す半導体装置1は、大略すると半導体素子2（半導体チップ）、及び多数の突起電極4（バンプ）等により構成されている。

25 半導体素子2の下面には外部接続端子となる突起電極4が、例えばマトリックス状に多数形成されている。この突起電極4は半田等の柔らかい金属により形成されたものであるため傷が付きやすく、ハンドリングやテストを実施するのが難しいものである。同様に、半導体素子2もベアチップ状態であるため傷が付きやすく、よって突起電極4と同様にハンドリングや試験を実施するのが難しい。

また、上記した半導体装置 1 を実装基板 5（例えば、プリント配線基板）に実装するには、図 1（B）に示されるように、先ず半導体装置 1 に形成されている突起電極 4 を実装基板 5 に形成されている電極 5 a に接合する。続いて、図 1（C）に示されるように、半導体素子 2 と実装基板 5 との間に、いわゆるアンダーフィルレジ  
5 6（梨地で示す）を装填する。

このアンダーフィルレジ 6 は、比較的流動性を有する樹脂を半導体素子 2 と実装基板 5 との間に形成された間隙 7（突起電極 4 の高さと同程度の）に充填することにより形成される。

10 このようにして形成されるアンダーフィルレジ 6 は、半導体素子 2 と実装基板 5 との熱膨張差に基づき発生する応力及び実装時の熱により開放された時に発生する半導体素子 2 の電極と突起電極 4 との接合部に印加される応力により、突起電極 4 と実装基板 5 の電極 5 a との接合部位の破壊、若しくは突起電極 4 と半導体素子 2 の  
15 電極との接合部位の破壊を防止するために設けられるものである。

上記したようにアンダーフィルレジ 6 は、突起電極 4 と実装基板 5 との破壊（特に、電極と突起電極 4 との間における破壊）を防止する面から有効である。しかるに、このアンダーフィルレジ 6 は、半導体素子 2 と実装基板 5 との間に形成された狭い間隙 7 に  
20 充填する必要があるため充填作業が面倒であり、また間隙 7 の全体に均一にアンダーフィルレジ 6 を配設するのが困難である。このため、半導体装置の製造効率が低下したり、またアンダーフィルレジ 6 を形成したにも拘わらず突起電極 4 と電極 5 a との接合部、若しくは突起電極 4 と半導体素子 2 の電極との接合部における破壊  
25 が発生し、実装における信頼性が低下してしまうという問題点があった。

また、上記した半導体装置 1 は、半導体素子 2 が外部に露出した状態で実装基板 5 に配設されるため強度的に弱く、よって信頼性が低下してしまうという問題点があった。

更に、突起電極 4 は半導体素子 2 の下面に形成された電極パッドに直接形成された構成であったため、電極パッドのレイアウトがそのまま突起電極 4 の端子レイアウトとなってしまう。即ち、上記した半導体装置 1 では、その内部において配線の引回しができないため、外部接続端子となる突起電極 4 のレイアウトの自由度が低いという問題点があった。

本発明は上記の点に鑑みてなされたものであり、半導体装置の製造効率及び信頼性の向上を図りうる半導体装置の製造方法及び半導体装置製造用金型及び半導体装置を提供することを目的とする。

また、本発明は、半導体装置の端子レイアウトの自由度を高めると共に信頼性の向上を図りうる半導体装置及びその製造方法及びその実装構造を提供することを目的とする。

#### 発明の開示

上記の課題は、下記的手段を講じることにより解決することができる。

本発明に係る半導体装置の製造方法では、突起電極が配設された複数の半導体素子が形成された基板を金型内に装着し、続いて前記突起電極の配設位置に封止樹脂を供給して前記突起電極及び前記基板を前記封止樹脂で封止し樹脂層を形成する樹脂封止工程と、前記突起電極の少なくとも先端部を前記樹脂層より露出させる突起電極露出工程と、前記基板を前記樹脂層と共に切断して個々の半導体素子に分離する分離工程とを具備することを特徴とするものである。

この構成によれば、樹脂封止工程を実施することにより、デリケートであるためハンドリング、テストが難しい突起電極は樹脂層により封止された状態となる。この樹脂層は、表面保護及び半導体素子の電極と突起電極との接合部において発生する応力を緩和する機能を奏する。続く突起電極露出工程では、突起電極の少なくとも先端部を樹脂層より露出させる処理が行なわれる。よって、突起電

極露出工程が終了した状態において、突起電極は外部の回路基板等と電氣的に接続可能な状態となる。続いて実施される分離工程では、樹脂層が形成された基板を樹脂層と共に切断して個々の半導体素子に分離する。これにより、個々の半導体装置が完成する。従って、

5 樹脂層は樹脂封止工程において形成されるため、半導体装置を実装する際にアンダーフィルレジンを充填処理する必要はなくなり、これにより実装処理を容易とすることができる。また、樹脂層となる封止樹脂は、半導体装置と実装基板との間の狭所ではなく、基板の突起電極の配設面に供給され金型によりモールド成形されるため、

10 突起電極の配設面の全面に確実に樹脂層を形成することができる。よって、樹脂層は全ての突起電極に対し保護機能を奏するため、加熱時において突起電極と実装基板の電極との接合部、及び突起電極と半導体素子の電極との接合部における破壊を確実に防止でき、信頼性を向上させることができる。

15 また、上記構成において、発明では、前記樹脂封止工程で用いられる封止樹脂は、封止処理後における前記樹脂層の高さが前記突起電極の高さと略等しい高さとなる量に計量されているようにすることもできる。この構成によれば、封止樹脂を封止処理後における樹脂層の高さが突起電極の高さと略等しい高さとなる量に計量することにより、樹脂封止工程において金型から余剰樹脂が流出したり、

20 逆に封止樹脂が少なく突起電極を確実に封止できなくなる不都合を防止することができる。

上記構成の半導体装置の製造方法において、前記樹脂封止工程で、前記突起電極と前記金型との間にフィルムを配設し、前記金型が前記フィルムを介して前記封止樹脂と接触するよう構成することもできる。この構成によれば、突起電極と金型との間にフィルムを配設し、金型がフィルムを介して封止樹脂と接するように構成したことにより、樹脂層が金型に直接触れないため離型性を向上することができると共に、離型剤なしの密着性の高い高信頼性樹脂の使用が可

25

能となる。また、樹脂層がフィルムに接着することにより、フィルムをキャリアとして使用することが可能となり、半導体装置の製造自動化に寄与することができる。

5 上記構成の半導体装置の製造方法において、前記樹脂封止工程で用いられる金型を、昇降可能な上型と、固定された第 1 の下型半体と、前記第 1 の下型半体に対して昇降可能な構成とされた第 2 の下型半体とよりなる下型とにより構成すると共に、樹脂封止工程が、  
10 前記突起電極が配設された複数の半導体素子が形成された基板を前記第 1 及び第 2 の下型半体が協働して形成するキャビティ内に装着すると共に、前記封止樹脂を前記キャビティ内に配設する基板装着工程と、前記上型を前記第 2 の下型半体と前記封止樹脂を加圧する方向に移動させることにより前記封止樹脂を加熱、溶融、圧縮し、  
15 前記突起電極を封止する樹脂層を形成する樹脂層形成工程と、先ず上型を第 1 の下型半体に対して分離する方向に移動し前記上型を前記樹脂層から離間させ、続いて第 2 の下型半体を第 1 の下型半体に対して昇降させることにより、前記樹脂層が形成された基板を前記金型から離型させる離型工程とを有するようにすることもできる。

この構成によれば、樹脂層は樹脂層形成工程において金型を用いて加熱、溶融、圧縮形成されるため、樹脂層を基板全体にわたり  
20 確実に形成することができる。これにより、基板に形成されている多数の突起電極全てに対し、突起電極を封止する状態に樹脂層を形成することができる。また、金型を構成する下型は、固定された第 1 の下型半体と、この第 1 の下型半体に対して昇降可能な構成とされた第 2 の下型半体とにより構成されているため、第 1 の下型半体  
25 に対し第 2 の下型半体を移動させることにより、離型機能を持たせることができ、樹脂層が形成された基板を容易に金型から取り出すことができる。

また、上記構成の半導体装置の製造方法において、前記樹脂封止工程で用いられる金型に余剰樹脂除去機構を設け、この余剰樹脂除

去機構により余剰樹脂を除去すると共に前記金型内における封止樹脂の圧力を制御することもできる。金型に余剰樹脂を除去すると共に封止樹脂の圧力を制御する余剰樹脂除去機構を設けたことにより、封止樹脂の計量を容易とすることができると共に、常に適正な樹脂量で突起電極の封止処理を行なうことができる。また、金型内における封止樹脂の圧力を制御することができるため、成形時における封止樹脂の圧力を均一化することができボイドの発生を防止することができる。

また、上記構成の半導体装置の製造方法において、前記樹脂封止工程で、封止樹脂としてシート状樹脂を用いるようにすることもできる。封止樹脂としてシート状樹脂を用いたことにより、確実に基板全体に樹脂層を形成することができる。また、基板中央に封止樹脂を配置した場合に要する中央から端部に向け樹脂が流れる時間を短縮できるため、樹脂封止工程の時間短縮を図ることができる。

また、前記半導体装置の製造方法において、前記封止樹脂を前記樹脂封止工程の実施前に予め前記フィルムに配設するようにすることもできる。これにより、フィルムの装着作業と封止樹脂の装填作業を一括的に行なうことができるため、作業の効率化を図ることができる。

また、上記封止樹脂を前記フィルムに複数個離間配設しておき、前記フィルムを移動させることにより、連続的に前記樹脂封止工程を実施するようにすることもできる。これにより樹脂封止工程の自動化を図ることができ、半導体装置の製造効率を向上させることができる。

また、前記樹脂封止工程で前記金型に前記基板を装着する前に補強板を装着しておくようにすることもできる。これにより、樹脂封止時に印加される熱や応力により基板が変形することを防止できると共に基板の持つ固有の反りを矯正するため、製造される半導体装置の歩留りを向上させることができる。



また、上記補強板として放熱性の良好な材料を選定するように構成することもできる。これにより、補強板を放熱板としても機能させることができ、製造される半導体装置の放熱特性を向上させることができる。

5       また、前記半導体装置の製造方法において、前記突起電極露出工程で前記樹脂層に覆われた突起電極の少なくとも先端部を前記樹脂層より露出させるため、レーザ光照射、エキシマレーザ、エッチング、機械研磨、及びブラストの内、少なくとも1の手段を用いることができる。樹脂層に覆われた突起電極の先端部を露出させる手段として、レーザ光照射或いはエキシマレーザを用いた場合には、容易かつ精度よく突起電極の先端部を露出させることができる。また、エッチング、機械研磨或いはブラストを用いた場合には、安価に突起電極の先端部を露出させることができる。

15       また、前記樹脂封止工程で用いられる前記フィルムの材質として弾性変形可能な材質を選定し、前記金型を用いて前記樹脂層を形成する際に前記突起電極の先端部を前記フィルムにめり込ませると共に、前記突起電極露出工程で前記フィルムを前記樹脂層から剝離させることにより、前記突起電極の先端部が前記樹脂層より露出させるようにすることもできる。フィルムの材質として弾性変形可能な材質を選定し、金型を用いて樹脂層を形成する際に突起電極の先端部をこのフィルムにめり込ませることにより、突起電極の先端部は樹脂層に封止されない状態とすることができる。従って、単にフィルムを樹脂層から剝離するだけの作業で、突起電極の先端部を樹脂層より露出させることができる。よって、樹脂層の形成後に樹脂層  
20       に対し突起電極の先端を露出させるための加工処理を簡単化することができる。突起電極露出工程の簡単化を図ることができる。

25       また、前記半導体装置の製造方法において、前記樹脂封止工程で用いられる封止樹脂として、異なる特性を有する複数の封止樹脂を用いることを特徴とするものである。樹脂封止工程で用いられる封

止樹脂として、異なる特性を有する複数の封止樹脂を用いたことにより、例えば異なる樹脂を積層した場合には、外側に位置する樹脂に硬質樹脂を用い、また内側に位置する樹脂に軟質樹脂を用いることが可能となる。また、半導体素子の外周位置に硬質樹脂を配設し、  
5 この硬質樹脂に囲繞される部分に軟質樹脂を配設することも可能となる。よって、硬質樹脂により半導体素子の保護を図ることができると共に、軟質樹脂により突起電極に印加される応力の緩和を図ることができる。

また、前記樹脂封止工程において、予め前記封止樹脂を前記補強板に配設しておくこともできる。また、前記補強板に金型に装着した状態において基板に向け延出する枠部を形成することにより凹部を形成し、前記樹脂封止工程の実施時において、前記補強板に形成された凹部を樹脂封止用のキャビティとして用いて前記基板に樹脂層を形成することもできる。このように、樹脂封止工程において  
15 予め封止樹脂を補強板に配設しておくことにより、また補強板に形成された凹部をキャビティとして用いることにより、補強板を金型の一部として用いることが可能となり、封止樹脂が直接金型に触れる位置を少なく或いは全く無くすることができるため、従来であれば必要とされた金型に付着した不要樹脂の除去作業が不要となり、  
20 樹脂封止工程における作業の簡単化を図ることができる。

また、前記半導体装置の製造方法において、前記樹脂封止工程で前記突起電極が配設された前記基板の表面に第1の樹脂層を形成した後、または同時に、前記基板の背面を覆うように第2の樹脂層を形成することを特徴とするものである。樹脂封止工程で突起電極が  
25 配設された基板の表面に第1の樹脂層を形成した後（または同時に）、この基板の背面を覆うように第2の樹脂層を形成したことにより、製造される半導体装置のバランスを良好とすることができる。即ち、半導体素子と封止樹脂は熱膨張率が異なるため、半導体素子の表面（突起電極が形成された面）のみに封止樹脂を配設した構成

では、半導体素子の上面と背面において熱膨張差が発生し、半導体素子に反りが発生するおそれがある。しかるに、本請求項のように半導体素子の表面及び背面を共に封止樹脂で覆うことにより、半導体素子の表面及び背面の状態を均一化することができ、半導体装置のバランスを良好とすることができる。これにより、熱印加時において半導体装置に反りが発生することを防止することができる。また、半導体素子の下面に配設する封止樹脂と、半導体素子の上面に配設する封止樹脂を異なる特性を有する樹脂を選定することも可能である。例えば、突起電極が形成された表面に配設される封止樹脂としては、突起電極に印加される応力を緩和しうる特性のものを選定することができ、また背面に配設される封止樹脂としては、半導体素子に外力が印加された場合にこの外力より半導体素子を保護しうる硬質の材質のものを選定することも可能となる。

また、前記樹脂封止工程で、前記フィルムとして前記突起電極と対向する位置に凸部が形成されたものを用い、前記凸部を前記突起電極に押圧した状態で前記樹脂層を形成することもできる。これにより、凸部が突起電極に押圧されている範囲においては封止樹脂は突起電極に付着しないため、フィルムを除去した時点で突起電極の一部（凸部が押圧されていた部分）は樹脂層から露出する。よって、容易かつ確実に突起電極の一部を樹脂層から露出させることができる。

また、前記突起電極露出工程で前記突起電極の少なくとも先端部を前記樹脂層より露出させた後に、前記突起電極の先端部に外部接続用突起電極を形成する外部接続用突起電極形成工程を実施することもできる。これにより、製造される半導体装置を実装基板に実装する時の実装性を向上させることができる。即ち、突起電極は半導体素子に形成された電極上に形成されるものであるため、必然的にその形状は小さくなる。よって、この小さな突起電極を実装基板に電氣的に接続する外部接続端子として用いる構成では、実装基板と

突起電極とが確実に接続されないおそれがある。しかるに、外部接続用突起電極は、半導体素子に形成されている突起電極と別体であるため自由に設計することが可能であり、実装基板の構成に適応させることができる。よって、半導体素子に形成されている小さな形状の突起電極の先端部に外部接続用突起電極を形成することにより、

5 半導体装置と実装基板との実装性を向上させることができる。

また、上記外部接続用突起電極形成工程で、前記突起電極と前記外部接続用突起電極を応力緩和機能を有する接合材を用いて接合させることもできる。よって、外部接続用突起電極に外力が印加され

10 応力が発生しても、この応力は外部接続用突起電極と突起電極との間に介在する接合材により応力緩和され、突起電極に伝達されることを防止することができる。これにより、外部応力により半導体素子にダメージが発生することを防止でき、半導体装置の信頼性を向上させることができる。

15 また、上記半導体装置の製造方法において、前記樹脂封止工程を実施する前に、予め前記基板の前記分離工程で切断される位置に切断位置溝を形成しておき、前記分離工程において、前記封止樹脂が充填された前記切断位置溝の形成位置で前記基板を切断することもできる。これにより、基板及び封止樹脂にクラックが発生することを

20 を防止することができる。即ち、仮に本請求項に係る切断位置溝を形成しない構成を想定すると、分離工程では表面に比較的薄い膜状の樹脂層が形成された基板を切断することとなる。よって、この切断方法では封止樹脂にクラックが発生するおそれがある。また、基板においては、切断位置には大きな応力が印加されるため、この応力により基板にクラックが発生するおそれがある。しかるに、切断

25 位置溝を形成することにより、この切断位置溝には樹脂封止工程において封止樹脂が充填される。そして分離工程では、この封止樹脂が充填された切断位置溝において基板及び封止樹脂は切断される。この際、切断位置溝内においては封止樹脂の厚さは大きいため、切

断処理により封止樹脂にクラックが発生することはない。また、封止樹脂は基板に対して硬度が小さく応力を吸収しうる作用があるため、切断処理により発生する応力は封止樹脂に吸収され弱められた状態で基板に印加されるため、基板にクラックが発生することも防止することができる。

また、前記樹脂封止工程を実施する前に、予め前記基板の前記分離工程で切断される位置を挟んで少なくとも一对の応力緩和溝を形成しておき、前記分離工程において、前記一对の応力緩和溝の間位置で前記基板を切断することもできる。樹脂封止工程を実施する前に予め基板の分離工程で切断される位置を挟んで少なくとも一对の応力緩和溝を形成しておき、分離工程において一对の応力緩和溝の間位置で基板を切断することにより、切断時に発生する応力が応力緩和溝より外側位置（この位置に突起電極、電子回路等が形成される）に影響を及ぼすことを防止することができる。即ち、切断位置において応力が発生し基板及び樹脂層にクラックが発生しても、この切断位置を挟んで配設されている応力緩和溝（封止樹脂が充填されている）により、切断位置で発生する応力は吸収される。よって、切断位置で発生する応力が応力緩和溝より外側位置に影響を及ぼすことはなく、よって突起電極及び電子回路等が形成されている領域にクラックが発生することを防止することができる。

また、前記半導体装置の製造方法では、突起電極を有する複数の半導体素子が形成された基板を切断することにより個々の半導体素子に分離する第1の分離工程と、分離された前記半導体素子をベース材に整列させて搭載した後、前記搭載された半導体素子を前記封止樹脂で封止し樹脂層を形成する樹脂封止工程と、前記突起電極の少なくとも先端部を前記樹脂層より露出させる突起電極露出工程と、隣接する前記半導体素子の間位置で前記ベース材と共に前記樹脂層を切断することにより、前記樹脂層が形成された半導体素子を個々分離する第2の分離工程とを具備することとすることができる。先

- ず第 1 の分離工程において、複数の半導体素子が形成された基板を切断することにより個々の半導体素子に分離する。また、樹脂封止工程では、分離された半導体素子をベース材に整列させて搭載する。この際、異なる種類の半導体素子をベース材に搭載することが可能である。そして、ベース材に搭載され半導体素子を前記封止樹脂で封止し樹脂層を形成し、続く突起電極露出工程では、突起電極の少なくとも先端部を樹脂層より露出させる。そして、第 2 の分離工程において、隣接する半導体素子の間位置でベース材と共に樹脂層を切断する。このように、分離された半導体素子をベース材に搭載し、樹脂封止を行なった上で再び第 2 の分離工程で分離することにより、異なる半導体素子を同一封止樹脂内に配設した半導体装置を製造することができる。また、第 2 の分離工程においては、請求項 28 と同様に切断時に発生する応力により基板及び樹脂層にクラックが発生することを防止することができる。
- また、前記半導体装置の製造方法では、外部と接続される外部接続電極が表面に形成された複数の半導体素子が形成された基板を金型内に装着し、続いて前記表面に封止樹脂を供給して前記外部接続電極及び前記基板を前記封止樹脂で封止し樹脂層を形成する樹脂封止工程と、前記外部接続電極が形成された位置で前記基板を前記樹脂層と共に切断して個々の半導体素子に分離する分離工程とを具備するようにすることもできる。樹脂封止工程において、外部接続電極が表面に形成された複数の半導体素子が形成された基板の表面に樹脂層を形成することにより、外部接続電極は樹脂層に覆われた状態となる。そして、続いて実施される分離工程では、外部接続電極が形成された位置で基板を樹脂層と共に切断して個々の半導体素子に分離する。よって、外部接続電極は、分離位置において基板と樹脂層との界面で外部に露出した状態となる。従って、この半導体装置の側部に露出した外部接続電極により半導体装置を実装基板に電氣的に接続することが可能となる。また、単に樹脂層が形成された

基板を外部接続電極が形成された位置で切断するのみで端子部を樹脂層から外部に露出させることができ、極めて容易に半導体装置を製造することができる。

5       また、上記分離工程実施前では、前記外部接続電極が前記基板に形成された隣接する半導体素子間で共有化されているようにすることもできる。これにより、1回の切断処理を行なうことにより隣接する2個の半導体装置において夫々外部接続電極を外部に露出することができる。よって、半導体装置の製造を効率よく行なうことができる。また、基板に不要部分が発生することを抑制できるため、  
10      基板の効率的な利用を図ることができる。

      また、上記半導体装置の製造方法において、少なくとも前記樹脂封止工程の実施後で、かつ前記分離工程を実施する前に、前記樹脂層または前記基板の背面に位置決め溝を形成することもできる。この位置決め溝を形成することにより、例えば製造された半導体装置  
15      に対し試験処理を行なう際、この位置決め溝を基準として試験装置に半導体装置を装着することができる。また、分離工程を実施する前に位置決め溝を形成することにより、複数の半導体装置に対して一括的に位置決め溝を形成するができ、位置決め溝の形成効率を向上させることができる。

20      また、上記位置決め溝は、前記樹脂層または前記基板の背面にハーフスクライブを行なうことにより形成されるようにすることもできる。これにより、分離工程で一般的に使用するスクライビング技術を用いて位置決め溝を形成できるため、容易かつ精度よく位置決め溝を形成することができる。

25      また、上記半導体装置の製造方法において、前記樹脂封止工程で、前記フィルムとして前記突起電極と干渉しない位置に凸部または凹部が形成されたものを用い、前記樹脂封止工程の終了後に、前記凸部または凹部により前記樹脂層上に形成される凹凸を位置決め部として用いることもできる。これにより、樹脂封止工程において樹脂

層に凸部または凹部が形成される。この樹脂層上に形成される凹凸は、製造される半導体装置の位置決め部として用いることができる。よって、例えば半導体装置に対し試験処理を行なう際に、この凸部または凹部を基準として試験装置に半導体装置を装着することが可能となる。

5       また、前記半導体装置の製造方法において、前記樹脂封止工程の終了後、位置決めの基準として用いる位置決め用突起電極の形成位置における封止樹脂を加工し、前記位置決め用突起電極と他の突起電極とを識別しうるようにすることもできる。これにより、この位置決め用突起電極を基準として試験装置に半導体装置を装着することが可能となる。また、位置決め用突起電極を識別化するための封止樹脂加工は、例えば突起電極露出工程で用いるエキシマレーザ、エッチング、機械研磨或いはブラスト等を用いることができ、この加工により半導体装置の製造設備が大きく変更されるようなことは  
10       ない。

15       本発明に係る半導体装置製造用金型は、昇降可能な上型と、基板の形状に対応しており固定された第1の下型半体と、前記第1の下型半体を囲繞するよう配設されると共に前記第1の下型半体に対して昇降可能な第2の下型半体とよりなる下型とにより構成され、前記上型と下型とが協働して樹脂充填が行なわれるキャビティを形成する構成としたことを特徴とするものである。金型を構成する下型は、固定された第1の下型半体と、この第1の下型半体に対して昇降可能な構成とされた第2の下型半体とにより構成されているため、  
20       第1の下型半体に対し第2の下型半体を移動させることにより、基板を金型から離型する際に離型機能を持たせることができ、よって  
25       樹脂層が形成された基板を容易に金型から取り出すことができる。

      また、上記半導体装置製造用金型において、樹脂成形時に余剰樹脂の除去処理を同時に行うと共に前記封止樹脂の圧力を制御する余剰樹脂除去機構を設けたこともできる。この余剰樹脂除去機構を設



けたことにより、封止樹脂の計量を容易とすることができると共に、常に適正な樹脂量で突起電極の封止処理を行なうことができる。また、金型内における封止樹脂の圧力を制御することができるため、成形時における封止樹脂の圧力を均一化することができボイドの発生を防止することができる。

また、前記第 1 の下型半体の前記基板が載置される部位に、前記基板を前記第 1 の下型半体に固定・離型させる固定・離型機構を設けることもできる。固定・離型機構を吸着動作させた時には、基板は第 1 の下型半体に固定されるため、樹脂封止処理において基板に反り等の変形が発生することを防止することができると共に、基板の持つ固有の反りを矯正することができる。また、固定・離型機構を離型動作させた時には、基板は第 1 の下型半体から離型方向に付勢されるため、基板の金型からの離型性を向上させることができる。

また、上記固定・離型機構を、前記第 1 の下型半体の前記基板が載置される部位に配設された多孔質部材と、前記多孔質部材に対し気体の吸引処理及び気体の供給処理を行なう吸排気装置とにより構成することもできる。多孔質部材は吸排気装置から気体が供給されることにより、基板に向けて気体を噴射する。よって、基板を金型から離型させる際に多孔質部材から基板に向けて気体を噴射することにより、基板の金型からの離型性を向上させることができる。また、吸排気装置が吸引処理を行なうことにより、基板は多孔質部材に向け吸引される。よって、樹脂封止工程において、基板に反り等の変形が発生することを防止することができると共に基板の持つ固有の反りを矯正することができる。更に、多孔質部材は第 1 の下型半体の基板が載置される部位に配設されているため、樹脂封止工程において封止樹脂の充填処理が行なわれても、多孔質部材は基板に覆われた状態となっているため、封止樹脂が多孔質部材に侵入することはない。また、離型時には基板の背面が直接離型方向に付勢されるため、離型性を向上させることができる。

また、前記キャビティを形成した状態において、前記第 1 の下型半体の上部の面積よりも第 2 の下型半体で囲繞される面積が広くなる部分を有する構成とすることもできる。これにより、離型性を向上できると共に段差部の形状を矩形状としたことにより段差部の形成を容易に行なうことができる。

また、発明に係る半導体装置は、少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備することを特徴とするものである。先端部を残し突起電極を封止する樹脂層が半導体素子に形成されているため、樹脂層に半導体素子、突起電極、実装基板、及びこれらが接続させる接合部位を保護する機能を持たせることができ、また樹脂層は実装処理前において既に半導体装置に形成されているため、半導体装置を実装する際に従来のようにアンダーフィルレジンを充填処理する必要はなくなり、これにより実装処理を容易とすることができる。

また、上記半導体装置において、前記半導体素子の前記突起電極が形成される表面に対し反対側となる背面に、放熱部材を配設した構成とすることもできる。半導体素子に放熱部材を配設したことにより、半導体装置の放熱特性を向上させることができると共に半導体装置の強度を向上させることができる。

また、本発明に係る半導体装置は、外部端子と電氣的に接続される外部接続電極が表面に形成された半導体素子と、前記外部接続電極を覆うように前記半導体素子の表面に形成された樹脂層とを具備し、前記半導体素子と前記樹脂層との界面において、前記外部接続電極が側方に向け露出した構成としたことを特徴とするものである。これにより、突起電極を形成することなく、外部接続電極を用いて半導体装置を実装することが可能となる。このように、突起電極を形成しないため、半導体装置の構成を簡単化することができ、コスト低減を図ることができる。また、外部接続電極は半導体装置の側

部に露出した構成であるため、半導体装置を実装基板に対し立設した状態で実装することが可能となり、半導体装置の実装密度を向上させることができる。

5       また、前記半導体装置において、前記樹脂層を異なる複数の樹脂により構成することができる。樹脂封止工程で用いられる封止樹脂として、異なる特性を有する複数の封止樹脂を用いたことにより、例えば異なる樹脂を積層した場合には、外側に位置する樹脂に硬質樹脂を用い、また内側に位置する樹脂に軟質樹脂を用いることが可能となる。また、半導体素子の外周位置に硬質樹脂を配設し、この  
10       硬質樹脂に囲繞される部分に軟質樹脂を配設することも可能となる。よって、硬質樹脂により半導体素子の保護を図ることができると共に、軟質樹脂により突起電極に印加される応力の緩和を図ることができる。

15       また、本発明に係る半導体装置は、少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する第1の樹脂層と、少なくとも前記半導体素子の背面を覆うように配設された第2の樹脂層とを具備することを特徴とするものである。樹脂封止工程で突起電極が配設された基板の表面に第1の樹脂層を  
20       形成した後（または同時）に、この基板の背面を覆うように第2の樹脂層を形成したことにより、製造される半導体装置のバランスを良好とすることができる。即ち、半導体素子と封止樹脂は熱膨張率が異なるため、半導体素子の表面（突起電極が形成された面）のみに封止樹脂を配設した構成では、半導体素子の上面と背面において  
25       熱膨張差が発生し、半導体素子に反りが発生するおそれがある。しかるに、本請求項のように半導体素子の表面及び背面を共に封止樹脂で覆うことにより、半導体素子の表面及び背面の状態を均一化することができる。半導体装置のバランスを良好とすることができる。これにより、熱印加時において半導体装置に反りが発生することを

防止することができる。また、半導体素子の下面に配設する封止樹脂と、半導体素子の上面に配設する封止樹脂を異なる特性を有する樹脂を選定することも可能である。例えば、突起電極が形成された表面に配設される封止樹脂としては、突起電極に印加される応力を緩和しうる特性のものを選定することができ、また背面に配設される封止樹脂としては、半導体素子に外力が印加された場合にこの外力より半導体素子を保護しうる硬質の材質のものを選定することも可能となる。

また、本発明に係る半導体装置は、少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する樹脂層と、前記樹脂層から露出した前記突起電極の先端部に形成された外部接続用突起電極とを具備することを特徴とするものである。突起電極露出工程で突起電極の少なくとも先端部を樹脂層より露出させた後に、突起電極の先端部に外部接続用突起電極を形成する外部接続用突起電極形成工程を実施したことにより、製造される半導体装置を実装基板に実装する時の実装性を向上させることができる。即ち、突起電極は半導体素子に形成された電極上に形成されるものであるため、必然的にその形状は小さくなる。よって、この小さな突起電極を実装基板に電氣的に接続する外部接続端子として用いる構成では、実装基板と突起電極とが確実に接続されないおそれがある。しかるに、外部接続用突起電極は、半導体素子に形成されている突起電極と別体であるため自由に設計することが可能であり、実装基板の構成に適応させることができる。よって、半導体素子に形成されている小さな形状の突起電極の先端部に外部接続用突起電極を形成することにより、半導体装置と実装基板との実装性を向上させることができる。

また、本発明に係る半導体装置の実装方法は、前記半導体装置を実装基板に対し立設状態で実装することを特徴とするものである。

これにより、半導体装置の実装密度を向上させることができる。

前記実装方法において、前記半導体装置を複数個並列状態に実装すると共に、隣接する前記半導体装置同士を接着剤により接合することもできる。更に、前記半導体装置を複数個並列状態に実装すると共に、前記複数の半導体装置を支持部材を用いて立設状態に支持することを特徴とするものである。これにより、複数の半導体装置をユニット化して扱うことが可能となり、よって実装時においてもユニット単位で実装基板に実装処理を行なうことができ、実装効率の向上を図ることができる。

また、本発明に係る半導体装置の実装方法では、前記半導体装置をインターポーザ基板を介して実装基板に実装することもできる。インターポーザ基板が介在する構成となるため、半導体装置を実装基板に実装する自由度を向上させることができる。即ち、例えばインターポーザ基板として多層配線基板を用いることにより、インターポーザ基板内で配線の引回しを行なうことができ、半導体装置の電極（突起電極、外部接続電極）と実装基板側の電極との整合性を容易に図ることができる。

なお、以上の構成の本発明は、後述する第1実施例ないし第29実施例（図1ないし図77）に対応する。

次に説明する本発明は、後述する第30ないし第53実施例（図1ないし図117E）に対応する。

本発明に係る半導体装置の製造方法は、少なくとも可撓性基材に半導体素子及びリードが配設された構成の配線基板を金型内に装着し、続いて前記半導体素子の配設位置に封止樹脂を供給して前記半導体素子を樹脂封止する樹脂封止工程と、前記配線基板に形成されたりードと電氣的に接続するよう突起電極を形成する突起電極形成工程とを有する半導体装置の製造方法において、前記半導体素子を樹脂封止する手段として、圧縮成形法を用いたことを特徴とするものである。樹脂封止工程では、配線基板は金型内に装着され、半導

体素子は封止樹脂により樹脂封止される。また、突起電極形成工程では、配線基板に形成されたリードと電氣的に接続するよう突起電極が形成される。この際、樹脂封止工程において半導体素子を樹脂封止する手段として圧縮成形法を用いている。封止樹脂を圧縮成形法を用いて形成することにより、半導体素子と配線基板との間に形成される狭い隙間部分にも確実に樹脂を充填することができる。また、圧縮成形法では成形圧力が低くてよいため、樹脂成形時に配線基板に変形が生じたり、また半導体素子と配線基板との電氣的接続部位（例えば、TAB接続、或いはワイヤ接続される）に負荷が印加されることを防止できる。これにより、樹脂封止工程において、半導体素子と配線基板との接続が切断されることを防止することができる。

また、上記半導体装置の製造方法において、前記配線基板を形成する際、前記半導体素子を収納するキャビティ部が形成された枠体を配設するように構成することもできる。半導体素子を収納するキャビティ部が形成された枠体を配線基板に配設することにより、枠体により可撓性を有する配線基板を支持することができると共に、半導体素子を枠体により保護することができる。

また、上記半導体装置の製造方法において、前記樹脂封止工程で、前記金型の前記配線基板と対向する位置に前記封止樹脂に対する離型性の良好なフィルムを配設し、前記金型が前記フィルムを介して前記封止樹脂と接触するよう構成することもできる。また、上記半導体装置の製造方法において、前記樹脂封止工程で また、請求項9記載の発明によれば、

延出部の先端部に半導体素子と接続される接続電極を形成しておき、折曲工程の実施後に、半導体素子と接続電極とを接続する素子接続工程を行なうことにより、延出部の折曲時においては半導体素子と接続電極とは接続されていない状態であるため、半導体素子と接続電極との電氣的接続の信頼性を向上することができる。

即ち、折曲工程前に半導体素子と接続電極とを接続しておく、延出部の折曲時に半導体素子と接続電極との接続位置に負荷（折り曲げ処理により発生する負荷）が印加されるおそれがある。この負荷が大きい場合には、半導体素子と接続電極との接続が切断されるおそれがある。しかるに、折曲工程の実施後に素子接続工程を行なうことにより、折曲時に発生する負荷が問題となることはなく、  
5 よって半導体素子と接続電極との電氣的接続の信頼性を向上することができる。

、前記金型の前記配線基板と対向する位置に前記封止樹脂に対する離型性の良好な板状部材を配設し、前記金型が前記板状部材を介して前記封止樹脂と接触するよう構成することもできる。封止樹脂が金型に直接触れないため離型性を向上することができ、また離型剤なしの密着性の高い高信頼性樹脂の使用が可能となる。  
10

また、上記半導体装置の製造方法において、前記板状部材として放熱性の良好な材料を選定した構成とすることもできる。板状部材として放熱性の良好な材料を選定したことにより、半導体素子で発生する熱は放熱板として機能する板状部材を介して放熱されるため、製造される半導体装置の放熱特性を向上させることができる。  
15

また、上記半導体装置の製造方法において、前記樹脂封止工程で用いられる金型に、余剰樹脂を除去すると共に前記金型内における封止樹脂の圧力を制御する余剰樹脂除去機構を設けた構成とすることもできる。樹脂封止工程で用いられる金型に、余剰樹脂を除去すると共に金型内における封止樹脂の圧力を制御する余剰樹脂除去機構を設けたことにより、封止樹脂の計量を容易とすることができる  
20 と共に、常に適正な樹脂量で突起電極の封止処理を行なうことができる。また、金型内における封止樹脂の圧力を制御することができるため、成形時における封止樹脂の圧力を均一化することができボイドの発生を防止することができる。  
25

また、上記半導体装置の製造方法において、前記配線基板に前記

半導体素子の形成位置より側方に長く延出した延出部を形成し、前記樹脂封止工程の終了後で前記突起電極形成工程の実施前に、前記延出部を折り曲げる折曲工程を実施し、前記突起電極形成工程において、折曲された前記延出部に前記突起電極を形成するよう構成することもできる。また、上記半導体装置の製造方法において、前記配線基板に前記半導体素子の形成位置より側方に長く延出した延出部を形成し、前記樹脂封止工程の実施前に、前記延出部を折り曲げる折曲工程を実施し、前記折曲工程を実施した後に、前記樹脂封止工程と前記突起電極形成工程を実施する構成とすることもできる。

5

10

突起電極の形成領域を広く取ることができるため、よって突起電極の配設ピッチを広く設定したり、また突起電極の配設数を多くすることが可能となる。この際、折曲工程の実施は樹脂封止工程の前であっても、また後であってもかまわない。

また、上記半導体装置の製造方法において、前記延出部の先端部に前記半導体素子と接続される接続電極を形成しておき、前記折曲工程の実施後に、前記半導体素子と前記接続電極とを接続する素子接続工程を行なう構成とすることもできる。これにより、延出部の屈曲時においては、半導体素子と接続電極とは接続されていない状態であるため、半導体素子と接続電極との信頼性を向上させることができる。

15

20

また、上記半導体装置の製造方法において、前記接続電極を千鳥状に配設すると共に、角部を曲線状に形成した構成とすることもできる。接続電極を千鳥状に配設することにより、各接続電極の面積を広くすることができるため、半導体素子との電氣的接続処理を簡単化することができる。また、接続電極の角部を曲線状に形成することにより、例えば半導体素子と接続電極との接続にワイヤボンディング法を用いた場合には、ボンディング治具（超音波溶接治具）が当接された時に発生する応力を分散することが可能となり、よって半導体素子と接続電極との電氣的接続処理を確実にこなうこ

25



とができる。

また、本発明に係る半導体装置は、半導体素子と、外部接続端子として機能する突起電極と、可撓性基材上に、前記半導体素子に一端が接続されると共に他端部が前記突起電極に接続されるリードが形成された配線基板と、前記半導体素子を封止する封止樹脂とを具備する半導体装置において、前記配線基板に前記半導体素子の形成位置より側方に長く延出すると共に折曲された延出部を形成し、前記延出部に前記突起電極が形成されていることを特徴とする半導体装置である。突起電極の形成領域を広く取ることができるため、  
よって突起電極の配設ピッチを広く設定したり、また突起電極の配設数を多くすることが可能となる。この際、折曲工程の実施は樹脂封止工程の前であっても、また後であってもかまわない。

また、上記半導体装置において、前記配線基板を支持すると共に前記半導体素子を収納するキャビティ部が形成された枠体が設けられている構成とすることができる。半導体素子を収納するキャビティ部が形成された枠体を配線基板に配設することにより、枠体により可撓性を有する配線基板を支持することができると共に、半導体素子を枠体により保護することができる。

また、上記半導体装置において、前記突起電極は前記リードを塑性変形することにより形成されたメカニカルバンプである構成とすることもできる。突起電極をリードを塑性変形することにより形成されるメカニカルバンプにより構成したことにより、リードを成形することによりバンプが形成されるため、別個にバンプ用のボール材を必要とすることはない。また、メカニカルバンプはリードを塑性変形する簡単な処理であるため、低コストでかつ容易に突起電極を形成することが可能となる。

次に説明する本発明の構成は、後述する第54実施例ないし第73実施例（図118Aないし図177）に対応する。

本発明に係る半導体装置は、単数または複数の半導体素子と、前

記半導体素子の一部或いは全部を封止する封止樹脂と、前記封止樹脂内に配設され、前記半導体素子と電氣的に接続する共にその一部が少なくとも前記封止樹脂の側面に露出して外部接続端子を形成する電極板とを具備することを特徴とするものである。この構成によれば、半導体素子を保護する封止樹脂内には電極板が存在し、この電極板は封止樹脂を補強する機能を奏するため、半導体素子の保護をより確実に行なうことができ、よって半導体装置の信頼性を向上することができる。また、電極板は半導体素子と外部接続端との間に位置するものであるため、半導体素子に直接外部接続端を接続する構成と異なり、電極板により半導体素子と外部接続端との間で配線の引回しを行なうことが可能となる。よって、電極板を設けることにより半導体装置の端子レイアウトの自由度を高めることができる。また、電極板は導電性金属よりなり、封止樹脂よりも熱伝導性が良好であるため、半導体素子で発生した熱は電極板を介して外部に放熱される。よって、半導体素子で発生した熱を効率よく放熱することができる。更に、電極板の外部接続端子は封止樹脂の側面に露出した構成とされているため、半導体装置を実装基板に実装した後においてもこの外部接続端子を用いて半導体素子の動作試験を行なうことが可能となる。

また、上記半導体装置において、前記半導体素子と前記電極板とをフリップチップ接合した構成とすることができる。これにより、小スペース内において確実に半導体素子と電極板とを接合することができ、半導体装置の小型化を図ることができる。また、接合部における配線長が短いためインピーダンスを低減できると共に、多ピン化にも対応することができる。

また、上記半導体装置において、前記電極板を前記封止樹脂の側面に加え底面にも露出させて外部接続端子を形成するよう構成することもできる。これにより、側面ばかりでなく底面においても実装を行なうことが可能となる。よって、半導体装置を実装する際、実

装構造の自由度を向上させることができ、よって例えば小スペース化を図りうる実装形態であるフェイスダウンボンディングにも対応することが可能となる。

5 また、上記半導体装置において、前記電極板に突出形成された突出端子を設けると共に、前記突出端子を前記封止樹脂の底面に露出させて外部接続端子を形成する構成とすることもできる。これにより、実装時に確実に外部接続端子を実装基板に接続することができる。また、電極板の外部接続端子以外の部分は封止樹脂に埋設された構成となるため、隣接する外部端子はこの封止樹脂により絶縁さ  
10 れる。このため、実装時にはんだにより隣接する外部接続端子間で短絡が発生するようなことはなく、実装時における信頼性を向上させることができる。

また、上記半導体装置において、前記突出端子は、前記電極板を塑性加工することにより前記電極板に一体的に形成することもでき  
15 る。突出端子を電極板を塑性加工することにより電極板に一体的に形成したことにより、突出端子を別部材により形成する構成に比べて部品点数の削減を図ることができると共に容易に形成することができる。

また、上記半導体装置において、前記突出端子は、前記電極板に  
20 配設した突起電極とすることもできる。これにより、半導体装置をBGA(Ball Grid Array)と同様に取り扱うことができ、実装性を向上させることができる。

また、上記半導体装置において、前記半導体素子の一部を前記封止樹脂より露出させた構成とすることもできる。また、上記半導体  
25 装置において、前記封止樹脂の前記半導体素子に近接する位置に放熱部材を配設した構成とすることもできる。半導体素子の一部を封止樹脂より露出させた構成としたことにより、或いは封止樹脂の半導体素子に近接する位置に放熱部材を配設したことにより、半導体素子で発生する熱を効率よく放熱することができる。

また、本発明に係る半導体装置の製造方法は、金属基板に対しパターン成形処理を行なうことにより電極板を形成する電極板形成工程と、前記電極板に半導体素子を搭載し電氣的に接続するチップ搭載工程と、前記半導体素子及び前記電極板を封止する封止樹脂を形成する封止樹脂形成工程と、個々の半導体装置の境界位置で、前記封止樹脂及び前記電極板を切断することにより個々の半導体装置を切り出す切断工程とを有することを特徴とするものである。電極板形成工程で金属基板に対しパターン成形処理を行なうことにより電極板を形成し、続くチップ搭載工程で電極板に半導体素子を搭載し電氣的に接続する。この際、パターン成形処理において任意の配線パターンを選定できるため、電極板により配線の引回しを行なうことが可能となり、これにより電極板に形成される外部接続端子の端子レイアウトに自由度を持たせることができる。また、封止樹脂形成工程で封止樹脂を形成することにより、半導体素子及び電極板は封止樹脂に封止される。よって、半導体素子及び電極板は封止樹脂により保護され、よって半導体装置の信頼性を向上させることができる。続いて実施される切断工程により、個々の半導体装置の境界位置で封止樹脂及び電極板を切断することにより個々の半導体装置が形成される。よって、電極板は切断位置に露出し、この露出部分を外部接続端子として用いることができる。

上記半導体装置の製造方法において、前記電極板形成工程で実施するパターン成形処理は、エッチング法またはプレス加工法を用いて行なうこととすることができる。電極板形成工程で実施するパターン成形処理として、半導体装置のリードフレーム形成法として一般に用いられているエッチング法またはプレス加工法を適用することにより、電極板を形成するのにリードフレーム形成法を利用することが可能となる。よって、設備の増加を伴うことなく、電極板形成工程を実施することができる。

上記半導体装置の製造方法において、前記チップ搭載工程で、前

記半導体素子を前記電極板に搭載する手段として、フリップチップ接合法を用いた構成とすることができる。これにより、小スペース内において確実に半導体素子と電極板とを接合することができ、半導体装置の小型化を図ることができる。また、接合部における配線長が短いためインピーダンスを低減できると共に、多ピン化にも対応することができる。

上記半導体装置の製造方法において、前記チップ搭載工程を実施する前に、前記半導体素子を放熱部材上に位置決めして取り付けるチップ取り付け工程を実施し、前記チップ搭載工程において、前記放熱部材に取り付けられた状態で前記半導体素子を前記電極板に搭載する構成とすることができる。チップ搭載工程を実施する前に、半導体素子を放熱部材上に位置決めして取り付けるチップ取り付け工程を実施することにより、チップ搭載工程では放熱部材に位置決めされた状態で半導体素子を電極板に搭載される。よって、チップ搭載工程において、個々の半導体素子の位置決めを行なう必要がなくなり、形状の大きな放熱部材と電極板とを位置決めすればよいいため、位置決め処理を容易化することができる。

上記半導体装置の製造方法において、前記電極板形成工程で、前記電極板より突出する突出端子を形成すると共に、前記封止樹脂形成工程で、前記突出端子が前記封止樹脂から露出するよう前記封止樹脂を形成する構成とすることができる。また、請求項 13 記載の発明によれば、電極板形成工程において、電極板より突出する突出端子を形成することにより、突起端子部の形成を電極板の形成と同時かつ一括的に行なうことができるため、半導体装置の製造工程の簡単化を図ることができる。また、封止樹脂形成工程で、この突出端子が封止樹脂から露出するよう封止樹脂を形成することにより、実装時に確実に外部接続端子を実装基板に接続することができると共に隣接する外部接続端子間で短絡が発生することを防止することができる。

また、本発明に係る半導体装置の実装構造は、上記半導体装置を実装基板に実装する半導体装置の実装構造において、前記半導体装置が装着される装着部と、前記封止樹脂の側面に露出した外部接続端子と接続するよう設けられたリード部とを有するソケットを用い、  
5 前記半導体装置を前記ソケットに装着して前記リード部と前記外部接続端子を接続した上で、前記リード部を前記実装基板に接合させることを特徴とするものである。ソケットを用いて半導体装置を実装基板に接合するため、半導体装置の装着脱を容易にでき、例えばメンテナンス等において半導体装置を交換する必要性が生じたような  
10 場合でも、容易に交換処理を行なうことができる。また、ソケットに設けられたリード部は通常半導体装置が装着される装着部の側部に配設されており、また半導体装置の外部接続端子は封止樹脂の側面に露出した構成である。このため、装着状態においてリード部と外部接続端子とは対向するためリード部を引き回すことなくリード  
15 部と外部接続端子との接続を行なうことができ、よってソケットの構造の簡単化を図ることができる。

また、本発明に係る半導体装置の実装構造は、上記半導体装置を実装基板に実装する半導体装置の実装構造において、前記外部端子を形成する前記突出端子にバンプを配設し、該バンプを介して前記  
20 半導体装置を前記実装基板に接合させることを特徴とするものである。外部端子を形成する突出端子にバンプを配設し、このバンプを介して半導体装置を実装基板に接合させる構造とすることにより、半導体装置をBGA(Ball Grid Array)と同様に実装することができ、実装性の向上及び多ピン化への対応を図ることができる。

25 また、本発明に係る半導体装置の実装構造は、前記外部接続端子の形成位置に対応した位置に配設された可撓可能な接続ピンと、前記接続ピンを位置決めする位置決め部材とにより構成される実装部材を用い、前記接続ピンの上端部を前記半導体装置の外部接続端子に接合すると共に、下端部を前記実装基板に接合することを特徴と

5 するものである。接続ピンの上端部を半導体装置の外部接続端子に接合すると共に下端部を実装基板に接合することにより、外部接続端子と実装基板との間には接続ピンが介在した構成となる。この接続ピンは可撓可能な構成であるため、例えば加熱時等に半導体装置側と実装基板側で熱膨張率差に起因して応力が発生しても、この応力は接続ピンが可撓することにより吸収される。よって、応力が印加されても外部接続端子と実装基板との接続を確実に維持することができ、実装の信頼性を向上させることができる。また、接続ピンは位置決め部材により外部接続端子の形成位置に対応した位置に位置決めされているため、実装時において個々の接続ピンと外部接続端子または実装基板との位置決め処理を行なう必要はなく、実装作業を容易に行なうことができる。

15 また、本発明に係る半導体装置は、少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備する半導体装置本体と、前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタポーザと、接着性及び押圧方向に対する導電性を有しており、前記半導体装置本体と前記インタポーザとの間に介装され、前記半導体装置本体を前記インタポーザに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタポーザとを電氣的に接続する異方性導電膜と、前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子とを具備することを特徴とする。半導体装置本体は、半導体素子の表面上に突起電極の先端部を残し樹脂層が形成されているため、この樹脂層が半導体素子及び突起電極を保護すると共に、アンダーフィルレジンとしても機能することとなる。また、インタポーザは、半導体装置本体が装着されると共にこの半導体装置本体が接続され

る配線パターンがベース部材上に形成された構成であるため、ベース部材上において任意の配線パターンを形成することができる。この配線パターンには、ベース部材に形成された孔を介して外部接続端子が接続される。この際、上記のように配線パターンを任意に設定5 できるため、配線パターンを引き回すことにより半導体装置本体に設けられた突起電極の形成位置に拘わらず外部接続端子の位置を設定することができる。よって、外部接続端子の端子レイアウトの自由度を高めることができる。また、異方性導電膜は接着性及び押圧方向に対する導電性を有しているため、この異方性導電膜を用いて10 半導体装置本体とインタポーザとを接合することができる。この際、異方性導電膜の有する接着性により半導体装置本体とインタポーザは機械的に接合され、また異方性導電膜の有する異方性導電性により半導体装置本体とインタポーザは電氣的に接合（接続）される。このように、異方性導電膜は接着性及び導電性の双方の特性15 を有しているため、各機能を別個の部材により行なう構成に比べて部品点数及び組み立て工数の低減を図ることができる。更に、異方性導電膜は可撓性を有し、かつ半導体装置本体とインタポーザの間に介装されるため、この異方性導電膜は緩衝膜として機能する。よって、異方性導電膜により、半導体装置本体とインタポーザとの20 間に発生する応力を緩和することができる。

上記半導体装置において、前記半導体装置本体に形成された前記突起電極の配設ピッチと、前記インタポーザに配設された前記外部接続端子の配設ピッチを同一ピッチとした構成とすることができる。半導体装置本体に形成された突起電極の配設ピッチと、インタポーザに配設された外部接続端子の配設ピッチを同一ピッチとしたこと25 により、インタポーザの形状を小さくすることができ、半導体装置の小型化を図ることができる。

また、上記半導体装置において、前記半導体装置本体に形成された前記突起電極の配設ピッチに対し、前記インタポーザに配設され



た前記外部接続端子の配設ピッチを大きく設定した構成とすることができる。これにより、インタポーザ上における配線パターンの引回しの自由度を更に向上することができる。

5       また、上記半導体装置において、前記インタポーザ上に、前記突起電極と対向する位置に孔を有する絶縁部材を配設した構成とすることができる。これにより、半導体装置本体をインタポーザに装着される際に印加される押圧力はこの孔の形成位置に集中するため孔内における導電率は向上し、よって半導体装置本体とインタポーザとの電氣的接続を確実にこなうことができる。

10       また、上記半導体装置において、前記インタポーザとしてTAB (Tape Automated Bonding)テープを用いた構成とすることができる。これにより、TABテープは半導体装置の構成部品として安価に供給されているため、インタポーザとしてTABテープを利用することにより半導体装置のコスト低減を図ることができる。

15       また、本発明に係る半導体装置の製造方法は、半導体素子の少なくとも表面上に突起電極を直接形成すると共に、該半導体素子の表面上に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成しインタ  
20       ポーザを形成するインタポーザ形成工程と、前記半導体装置本体と前記インタポーザとを接着性及び押圧方向に対する導電性を有した異方性導電膜を介して接合し、前記半導体装置本体を前記インタポーザに接着固定すると共に押圧されることにより前記半導体装置  
25       本体と前記インタポーザとを電氣的に接続する接合工程と、前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程とを具備することを特徴とするものである。半導体装置本体は、半導体素子の表面上に突起電極の先端部

- を残し樹脂層が形成されているため、この樹脂層が半導体素子及び突起電極を保護すると共に、アンダーフィルレジンとしても機能することとなる。また、インタポーザは、半導体装置本体が装着されると共にこの半導体装置本体が接続される配線パターンがベース部材上に形成された構成であるため、ベース部材上において任意の配線パターンを形成することができる。この配線パターンには、ベース部材に形成された孔を介して外部接続端子が接続される。この際、上記のように配線パターンを任意に設定できるため、配線パターンを引き回すことにより半導体装置本体に設けられた突起電極の形成位置に拘わらず外部接続端子の位置を設定することができる。よって、外部接続端子の端子レイアウトの自由度を高めることができる。また、異方性導電膜は接着性及び押圧方向に対する導電性を有しているため、この異方性導電膜を用いて半導体装置本体とインタポーザとを接合することができる。この際、異方性導電膜の有する接着性により半導体装置本体とインタポーザは機械的に接合され、また異方性導電膜の有する異方性導電性により半導体装置本体とインタポーザは電氣的に接合（接続）される。このように、異方性導電膜は接着性及び導電性の双方の特性を有しているため、各機能を別個の部材により行なう構成に比べて部品点数及び組み立て工数の低減を図ることができる。更に、異方性導電膜は可撓性を有し、かつ半導体装置本体とインタポーザの間に介装されるため、この異方性導電膜は緩衝膜として機能する。よって、異方性導電膜により、半導体装置本体とインタポーザとの間に発生する応力を緩和することができる。
- また、本発明に係る半導体装置は、少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備する半導体装置本体と、前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンが

ベース部材上に形成されたインタポーザと、前記半導体装置本体と前記インタポーザとの間に介装され、前記半導体装置本体を前記インタポーザに接着固定する接着剤と、前記半導体装置本体と前記インタポーザとを電氣的に接続する導電性部材と、前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子とを具備することを特徴とするものである。半導体装置本体は、半導体素子の表面上に突起電極の先端部を残し樹脂層が形成されているため、この樹脂層が半導体素子及び突起電極を保護すると共に、アンダーフィルレジンとしても機能することとなる。また、インタポーザは、半導体装置本体が装着されると共にこの半導体装置本体が接続される配線パターンがベース部材上に形成された構成であるため、ベース部材上において任意の配線パターンを形成することができる。この配線パターンには、ベース部材に形成された孔を介して外部接続端子が接続される。この際、上記のように配線パターンを任意に設定できるため、配線パターンを引き回すことにより半導体装置本体に設けられた突起電極の形成位置に拘わらず外部接続端子の位置を設定することができる。よって、外部接続端子の端子レイアウトの自由度を高めることができる。また、接着剤は半導体装置本体とインタポーザとを機械的に接合し、また導電性部材は半導体装置本体とインタポーザとを電氣的に接合（接続）する。このように、半導体装置本体とインタポーザとを接合する際行なわれる機械的接合と電氣的接合を別個の部材により行なうことにより、各機能（機械的接合機能、電氣的接合機能）に最適な部材を選定することができる。これにより、半導体装置本体とインタポーザとの機械的接合及び電氣的接合を共に確実に行なうことが可能となり、半導体装置の信頼性を向上させることができる。

更に、接着剤は固化した状態においても所定の可撓性を有し、かつ半導体装置本体とインタポーザの間に介装されるため、この接着

剤は緩衝膜として機能する。よって、接着剤により、半導体装置本体とインタポーザとの間に発生する応力を緩和することができる。

5 上記半導体装置において、前記導電性部材は、導電性ペーストとすることができる。これにより、単に導電性ペーストを半導体素子の突起電極またはインタポーザの配線パターンに塗布するだけで導電性部材の配設を行なうことができるため、半導体装置の組み立て作業の容易化を図ることができる。また、導電性ペーストの塗布方法としては、周知の技術である転写法や印刷法を用いることができ、よって効率よく導電性部材の配設作業を行なうことができる。

10 また、上記半導体装置において、前記導電性部材は、スタッドバンプである構成とすることができる。導電性部材をスタッドバンプにより構成したことにより、半導体素子の突起電極とインタポーザの配線パターンとはスタッドバンプを介して接合されることとなり、電氣的接続を確実に行なうことができる。

15 また、上記半導体装置において、前記導電性部材は、前記配線パターンと一体的に形成されると共に前記接着剤の配設位置を迂回して前記突起電極に接続するフライングリードとすることができる。導電性部材を配線パターンと一体的に形成されると共に接着剤の配設位置を迂回して突起電極に接続するフライングリードにより構成  
20 したことにより、フライングリードと突起電極との接続位置においては接着剤が介在しないため、フライングリードと突起電極との電氣的接続の信頼性を向上させることができる。また、フライング  
25 リードはバネ性を有しているため、接続時にフライングリードはバネ力をもって突起電極に圧接する。よって、これによってもフライングリードと突起電極との電氣的接続の信頼性を向上させることができる。

また、上記半導体装置において、少なくとも前記突起電極と前記フライングリードとの接続位置を樹脂封止する構成とすることができる。これにより、外力印加等によりフライングリードが変形する

ことを防止でき、半導体装置の信頼性を向上させることができる。

また、上記半導体装置において、前記導電性部材は、前記突起電極の形成位置に対応した位置に配設され、その上端部を前記半導体装置の突起電極に接合すると共に、下端部を前記外部接続端子に接合する接続ピンと、該接続ピンを位置決めする位置決め部材とにより構成することができる。接続ピンの上端部を半導体装置本体の突起電極に接合すると共に下端部をインタポーザに設けられた外部接続端子に接合することにより、突起電極と外部接続端子との間には接続ピンが介在した構成となる。この接続ピンは可撓可能な構成であるため、例えば加熱時等に半導体装置本体とインタポーザとの間に熱膨張率差に起因して応力が発生しても、この応力は接続ピンが可撓することにより吸収される。よって、応力が印加されても外部接続端子と突起電極との接続を確実に維持することができる。また、接続ピンは位置決め部材により突起電極の形成位置に対応した位置に位置決めされているため、実装時において個々の接続ピンと突起電極または外部接続端子との位置決め処理を行なう必要はなく、実装作業を容易に行なうことができる。

また、上記半導体装置において、前記位置決め部材は、可撓性部材により形成することができる。これにより、前記のように接続ピンが可撓しても、位置決め部材はこれに追随して可撓するため、半導体装置本体とインタポーザとの間に発生する応力を位置決め部材によっても吸収することができる。

また、本発明に係る半導体装置の製造方法は、半導体素子の少なくとも表面上に突起電極を直接形成すると共に、該半導体素子の表面上に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成しインタポーザを形成するインタポーザ形成工程と、前記半導体装置本体ま

たは前記インタポーザの少なくとも一方に導電性部材を配設する導電性部材配設工程と、前記半導体装置本体と前記インタポーザとを接着剤を介して接合すると共に、前記導電性部材により前記半導体装置本体と前記インタポーザとを電氣的に接続する接合工程と、前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程とを具備することを特徴とする。

半導体装置本体は、半導体素子の表面上に突起電極の先端部を残し樹脂層が形成されているため、この樹脂層が半導体素子及び突起電極を保護すると共に、アンダーフィルレジンとしても機能することとなる。また、インタポーザは、半導体装置本体が装着されると共にこの半導体装置本体が接続される配線パターンがベース部材上に形成された構成であるため、ベース部材上において任意の配線パターンを形成することができる。この配線パターンには、ベース部材に形成された孔を介して外部接続端子が接続される。この際、上記のように配線パターンを任意に設定できるため、配線パターンを引き回すことにより半導体装置本体に設けられた突起電極の形成位置に拘わらず外部接続端子の位置を設定することができる。よって、外部接続端子の端子レイアウトの自由度を高めることができる。また、接着剤は半導体装置本体とインタポーザとを機械的に接合し、また導電性部材は半導体装置本体とインタポーザとを電氣的に接合（接続）する。このように、半導体装置本体とインタポーザとを接合する際行なわれる機械的接合と電氣的接合を別個の部材により行なうことにより、各機能（機械的接合機能、電氣的接合機能）に最適な部材を選定することができる。これにより、半導体装置本体とインタポーザとの機械的接合及び電氣的接合を共に確実に行なうことが可能となり、半導体装置の信頼性を向上させることができる。更に、接着剤は固化した状態においても所定の可撓性を有し、かつ半導体装置本体とインタポーザの間に介装されるため、この接着剤

は緩衝膜として機能する。よって、接着剤により、半導体装置本体とインタポーザとの間に発生する応力を緩和することができる。

#### 図面の簡単な説明

5        図 1 は、本発明の第 1 実施例である半導体装置の製造方法の樹脂封止工程、及び本発明の第 1 実施例である半導体装置製造用金型を説明するための図である。 図 A 1 ～図 1 C は、従来の半導体装置及びその製造方法の一例を説明するための図である。

10       図 2 は、本発明の第 1 実施例である半導体装置の製造方法の樹脂封止工程を説明するための図である。

      図 3 は、本発明の第 1 実施例である半導体装置の製造方法の樹脂封止工程を説明するための図である。

      図 4 は、本発明の第 1 実施例である半導体装置の製造方法の樹脂封止工程を説明するための図である。

15       図 5 は、本発明の第 1 実施例である半導体装置の製造方法の樹脂封止工程を説明するための図である。

      図 6 は、本発明の第 1 実施例である半導体装置の製造方法の突起電極露出工程を説明するための図であり、(A) は樹脂封止工程終了直後の基板を示し、(B) は (A) の矢印 A で示す部分を拡大して示す図である。

20       図 7 は、本発明の第 1 実施例である半導体装置の製造方法の突起電極露出工程を説明するための図であり、(A) はフィルムを剥離している状態の基板を示し、(B) は (A) の矢印 B で示す部分を拡大して示す図である。

25       図 8 は、本発明の第 1 実施例である半導体装置の製造方法の内、分離工程を説明するための図である。

      図 9 は、本発明の第 1 実施例である半導体装置を説明するための図である。

      図 10 は、本発明の第 2 実施例である半導体装置の製造方法、及

び本発明の第 2 実施例である半導体装置製造用金型を説明するための図である。

図 1 1 は、本発明の第 3 実施例である半導体装置の製造方法を説明するための図である。

5 図 1 2 は、本発明の第 4 実施例である半導体装置の製造方法を説明するための図である。

図 1 3 は、本発明の第 5 実施例である半導体装置の製造方法を説明するための図である。

10 図 1 4 は、本発明の第 5 実施例である半導体装置の製造方法を説明するための図である。

図 1 5 は、封止樹脂としてシート状樹脂を用いた例を示す図である。

図 1 6 は、封止樹脂の供給手段としてポッティングを用いた例を示す図である。

15 図 1 7 は、封止樹脂をフィルム側に配設した例を示す図である。

図 1 8 は、本発明の第 6 実施例である半導体装置の製造方法を説明するための図である。

20 図 1 9 は、本発明の第 7 実施例である半導体装置の製造方法を説明するための図であり、(A) は樹脂封止工程終了直後の基板を示し、(B) は (A) の矢印 C で示す部分を拡大して示す図である。

図 2 0 は、本発明の第 7 実施例である半導体装置の製造方法を説明するための図であり、(A) はフィルムを剝離している状態の基板を示し、(B) は (A) の矢印 D で示す部分を拡大して示す図である。

25 図 2 1 は、本発明の第 7 実施例である半導体装置の製造方法を説明するための図である。

図 2 2 は、本発明の第 3 実施例である半導体装置製造用金型を説明するための図である。

図 2 3 は、本発明の第 4 実施例である半導体装置製造用金型を説



明するための図である。

図 2 4 は、本発明の第 5 実施例である半導体装置製造用金型を説明するための図である。

5 図 2 5 は、本発明の第 6 実施例である半導体装置製造用金型を説明するための図である。

図 2 6 は、本発明の第 2 実施例である半導体装置を説明するための図である。

図 2 7 は、本発明の第 3 実施例である半導体装置を説明するための図である。

10 図 2 8 は、本発明の第 8 実施例である半導体装置の製造方法を説明するための図である。

図 2 9 は、本発明の第 9 実施例である半導体装置の製造方法を説明するための図である。

15 図 3 0 は、本発明の第 1 0 実施例である半導体装置の製造方法を説明するための図である。

図 3 1 は、本発明の第 1 1 実施例である半導体装置の製造方法を説明するための図である。

図 3 2 は、本発明の第 1 2 実施例である半導体装置の製造方法を説明するための図（その 1）である。

20 図 3 3 は、本発明の第 1 2 実施例である半導体装置の製造方法を説明するための図（その 2）である。

図 3 4 は、本発明の第 1 3 実施例である半導体装置の製造方法を説明するための図である。

25 図 3 5 は、本発明の第 1 4 実施例である半導体装置の製造方法を説明するための図である。

図 3 6 は、本発明の第 1 5 実施例である半導体装置の製造方法を説明するための図である。

図 3 7 は、本発明の第 1 6 実施例である半導体装置の製造方法を説明するための図である。

図 3 8 は、本発明の第 1 7 実施例である半導体装置の製造方法を説明するための図である。

図 3 9 は、本発明の第 1 8 実施例である半導体装置の製造方法を説明するための図である。

5 図 4 0 は、図 3 9 で用いる基板を拡大して示す図である。

図 4 1 は、本発明の第 1 9 実施例である半導体装置の製造方法を説明するための図である。

図 4 2 は、本発明の第 2 0 実施例である半導体装置の製造方法を説明するための図である。

10 図 4 3 は、本発明の第 2 1 実施例である半導体装置の製造方法を説明するための図である。

図 4 4 は、本発明の第 2 2 実施例である半導体装置の製造方法を説明するための図である。

15 図 4 5 は、本発明の第 2 3 実施例である半導体装置の製造方法を説明するための図である。

図 4 6 は、位置決め溝が形成された半導体装置を示す斜視図である。

図 4 7 は、本発明の第 2 4 実施例である半導体装置の製造方法を説明するための図である。

20 図 4 8 は、本発明の第 2 5 実施例である半導体装置の製造方法を説明するための図である。

図 4 9 は、本発明の第 2 6 実施例である半導体装置の製造方法を説明するための図である。

25 図 5 0 は、本発明の第 2 7 実施例である半導体装置の製造方法を説明するための図である。

図 5 1 は、通常のバンプ構造を説明するための図である。

図 5 2 は、本発明の第 1 実施例である半導体装置の実装方法を説明するための図である。

図 5 3 は、本発明の第 2 実施例である半導体装置の実装方法を説

明するための図である。

図 5 4 は、本発明の第 3 実施例である半導体装置の実装方法を説明するための図である。

5 図 5 5 は、本発明の第 4 実施例である半導体装置の実装方法を説明するための図である。

図 5 6 は、本発明の第 5 実施例である半導体装置の実装方法を説明するための図である。

図 5 7 は、本発明の第 6 実施例である半導体装置の実装方法を説明するための図である。

10 図 5 8 は、本発明の第 7 実施例である半導体装置の実装方法を説明するための図である。

図 5 9 は、本発明の第 2 8 実施例である半導体装置の製造方法を説明するための図である。

15 図 6 0 は、本発明の第 2 9 実施例である半導体装置の製造方法を説明するための図（その 1）である。

図 6 1 は、本発明の第 2 9 実施例である半導体装置の製造方法を説明するための図（その 2）である。

図 6 2 は、本発明の第 2 9 実施例である半導体装置の製造方法を説明するための図（その 3）である。

20 図 6 3 は、本発明の第 4 実施例である半導体装置を説明するのための図である。

図 6 4 は、本発明の第 8 実施例である半導体装置の実装方法を説明するための図である。

25 図 6 5 は、本発明の第 9 実施例である半導体装置の実装方法を説明するための図である。

図 6 6 は、本発明の第 1 0 実施例である半導体装置の実装方法を説明するための図である。

図 6 7 は、本発明の第 1 1 実施例である半導体装置の実装方法を説明するための図である。

図 6 8 は、他の半導体装置の製造方法を説明するための図（その 1）である。

図 6 9 は、他の半導体装置の製造方法を説明するための図（その 2）である。

5 図 7 0 は、他の半導体装置の製造方法を説明するための図（その 3）である。

図 7 1 は、他の半導体装置の構成を説明するための図である。

図 7 2 は、他の半導体装置の製造方法を説明するための図（その 1）である。

10 図 7 3 は、他の半導体装置の製造方法を説明するための図（その 2）である。

図 7 4 は、他の半導体装置の製造方法を説明するための図（その 3）である。

15 図 7 5 は、他の半導体装置の製造方法を説明するための図（その 4）である。

図 7 6 は、本発明の第 6 実施例に係る半導体装置用金型の変形例を示す図である。

図 7 7 は、本発明の第 6 実施例に係る半導体装置用金型の変形例を示す図である。

20 図 7 8 は、本発明の第 3 0 実施例である半導体装置を説明するための図である。

図 7 9 は、本発明の第 3 0 実施例である半導体装置の製造方法を説明するための図（その 1）である。

25 図 8 0 は、本発明の第 3 0 実施例である半導体装置の製造方法を説明するための図（その 2）である。

図 8 1 は、本発明の第 3 1 実施例である半導体装置を説明するための図である。

図 8 2 は本発明の第 3 1 実施例である半導体装置の製造方法を説明するための図（その 1）である。

図 8 3 は、本発明の第 3 1 実施例である半導体装置の製造方法を説明するための図（その 2）である。

図 8 4 は、本発明の第 3 2 実施例である半導体装置を説明するための図である。

5 図 8 5 は、本発明の第 3 3 実施例である半導体装置を説明するための図である。

図 8 6 は、本発明の第 3 4 実施例である半導体装置を説明するための図である。

図 8 7 は、余剰樹脂除去機構を説明するための図である。

10 図 8 8 は、本発明の第 3 5 実施例である半導体装置を説明するための図である。

図 8 9 は、本発明の第 3 5 実施例である半導体装置の製造方法を説明するための図（その 1）である。

15 図 9 0 は、本発明の第 3 5 実施例である半導体装置の製造方法を説明するための図（その 2）である。

図 9 1 は、本発明の第 3 6 実施例である半導体装置及びその製造方法を説明するための図である。

図 9 2 は、本発明の第 3 7 実施例である半導体装置及びその製造方法を説明するための図である。

20 図 9 3 は、本発明の第 3 8 実施例である半導体装置及びその製造方法を説明するための図である。

図 9 4 は、本発明の第 3 9 実施例である半導体装置及びその製造方法を説明するための図である。

25 図 9 5 は、本発明の第 4 0 実施例である半導体装置及びその製造方法を説明するための図である。

図 9 6 は、本発明の第 4 1 実施例である半導体装置及びその製造方法を説明するための図である。

図 9 7 は、本発明の第 4 2 実施例である半導体装置及びその製造方法を説明するための図である。

図 9 8 は、本発明の第 4 3 実施例である半導体装置及びその製造方法を説明するための図である。

図 9 9 は、本発明の第 4 4 実施例である半導体装置及びその製造方法を説明するための図である。

5 図 1 0 0 は、本発明の第 4 5 実施例である半導体装置及びその製造方法を説明するための図である。

図 1 0 1 は、本発明の第 4 6 実施例である半導体装置及びその製造方法を説明するための図である。

10 図 1 0 2 は、本発明の第 4 7 実施例である半導体装置及びその製造方法を説明するための図である。

図 1 0 3 は、配線基板の他の実施例を示す図である（その 1）。

図 1 0 4 は、配線基板の他の実施例を示す図である（その 2）。

図 1 0 5 は、配線基板の他の実施例を示す図である（その 3）。

図 1 0 6 は、配線基板の他の実施例を示す図である（その 4）。

15 図 1 0 7 は、配線基板の他の実施例を示す図である（その 5）。

図 1 0 8 は、配線基板の他の実施例を示す図である（その 6）。

図 1 0 9 は、配線基板の他の実施例を示す図である（その 7）。

図 1 1 0 は、図 1 0 6 に示す配線基板の変形例を説明するための図である。

20 図 1 1 1 は、本発明の第 4 8 実施例である半導体装置及びその製造方法を説明するための図である。

図 1 1 2 は、本発明の第 4 8 実施例である半導体装置の製造方法を説明するための図（その 1）である。

25 図 1 1 3 は、本発明の第 4 8 実施例である半導体装置の製造方法を説明するための図（その 2）である。

図 1 1 4 は、本発明の第 4 9 実施例である半導体装置及びその製造方法を説明するための図である。

図 1 1 5 は、本発明の第 5 0 実施例である半導体装置及びその製造方法を説明するための図である。

図 1 1 6 は、本発明の第 5 1 乃至第 5 3 実施例である半導体装置を説明するための図である。

図 1 1 7 は、メカニカルバンプを適用した各種半導体装置を説明するための図である。

5 図 1 1 8 は、本発明の第 5 4 実施例である半導体装置を説明するための図である。

図 1 1 9 は、本発明の第 5 4 実施例である半導体装置の製造方法を説明するための図である（その 1）。

10 図 1 2 0 は、本発明の第 5 4 実施例である半導体装置の製造方法を説明するための図である（その 2）。

図 1 2 1 は、本発明の第 5 4 実施例である半導体装置の製造方法を説明するための図である（その 3）。

図 1 2 2 は、本発明の第 5 4 実施例である半導体装置の製造方法を説明するための図である（その 4）。

15 図 1 2 3 は、本発明の第 5 5 実施例である半導体装置を説明するための図である。

図 1 2 4 は、本発明の第 5 6 実施例である半導体装置を説明するための図である。

20 図 1 2 5 は、本発明の第 5 7 実施例である半導体装置を説明するための図である。

図 1 2 6 は、本発明の第 5 5 実施例である半導体装置の製造方法を説明するための図である（その 1）。

図 1 2 7 は、本発明の第 5 5 実施例である半導体装置の製造方法を説明するための図である（その 2）。

25 図 1 2 8 は、本発明の第 5 4 実施例である半導体装置の実装構造を説明するための図である。

図 1 2 9 は、本発明の第 5 5 実施例である半導体装置の実装構造を説明するための図である。

図 1 3 0 は、本発明の第 5 6 実施例である半導体装置の実装構造

を説明するための図である。

図 1 3 1 は、本発明の第 5 7 実施例である半導体装置の実装構造を説明するための図である。

5 図 1 3 2 は、本発明の第 5 8 実施例である半導体装置の実装構造を説明するための図である。

図 1 3 3 は、本発明の第 5 9 実施例である半導体装置の実装構造を説明するための図である。

図 1 3 4 は、本発明の第 6 0 実施例である半導体装置の実装構造を説明するための図である。

10 図 1 3 5 は、本発明の第 5 7 実施例である半導体装置を説明するための図である。

図 1 3 6 は、本発明の第 5 6 実施例である半導体装置の製造方法を説明するための図である（その 1）。

15 図 1 3 7 は、本発明の第 5 6 実施例である半導体装置の製造方法を説明するための図である（その 2）。

図 1 3 8 は、本発明の第 5 6 実施例である半導体装置の製造方法を説明するための図である（その 3）。

図 1 3 9 は、本発明の第 5 6 実施例である半導体装置の製造方法を説明するための図である（その 4）。

20 図 1 4 0 は、本発明の第 5 6 実施例である半導体装置の製造方法を説明するための図である（その 5）。

図 1 4 1 は、本発明の第 5 6 実施例である半導体装置の製造方法を説明するための図である（その 6）。

25 図 1 4 2 は、本発明の第 5 9 実施例である半導体装置を説明するための図である。

図 1 4 3 は、本発明の第 6 0 実施例である半導体装置を説明するための図である。

図 1 4 4 は、本発明の第 6 1 実施例である半導体装置を説明するための図である。



図 1 4 5 は、本発明の第 6 2 実施例である半導体装置を説明するための図である。

図 1 4 6 は、本発明の第 6 3 実施例である半導体装置を説明するための図である。

5 図 1 4 7 は、本発明の第 6 4 実施例である半導体装置を説明するための図である。

図 1 4 8 は、本発明の第 5 7 実施例である半導体装置の製造方法を説明するための図である。

10 図 1 4 9 は、本発明の第 6 5 実施例である半導体装置を説明するための図である。

図 1 5 0 は、本発明の第 5 8 実施例である半導体装置の製造方法を説明するための図である（その 1）。

図 1 5 1 は、本発明の第 5 8 実施例である半導体装置の製造方法を説明するための図である（その 2）。

15 図 1 5 2 は、本発明の第 6 6 実施例である半導体装置を説明するための図である。

図 1 5 3 は、本発明の第 5 9 実施例である半導体装置の製造方法を説明するための図である。

20 図 1 5 4 は、本発明の第 6 7 実施例である半導体装置を説明するための図である。

図 1 5 5 は、本発明の第 6 0 実施例である半導体装置の製造方法を説明するための図である（その 1）。

図 1 5 6 は、本発明の第 6 0 実施例である半導体装置の製造方法を説明するための図である（その 2）。

25 図 1 5 7 は、本発明の第 6 0 実施例である半導体装置の製造方法を説明するための図である（その 3）。

図 1 5 8 は、本発明の第 6 8 実施例である半導体装置を説明するための図である。

図 1 5 9 は、本発明の第 6 1 実施例である半導体装置の製造方法

を説明するための図である。

図 1 6 0 は、本発明の第 6 9 実施例である半導体装置を説明するための図である。

5 図 1 6 1 は、本発明の第 6 2 実施例である半導体装置の製造方法を説明するための図である（その 1）。

図 1 6 2 は、本発明の第 6 2 実施例である半導体装置の製造方法を説明するための図である（その 2）。

図 1 6 3 は、本発明の第 6 2 実施例である半導体装置の製造方法を説明するための図である（その 3）。

10 図 1 6 4 は、本発明の第 7 0 実施例である半導体装置を説明するための図である。

図 1 6 5 は、本発明の第 6 3 実施例である半導体装置の製造方法を説明するための図である。

15 図 1 6 6 は、本発明の第 7 1 実施例である半導体装置を説明するための図である。

図 1 6 7 は、本発明の第 6 4 実施例である半導体装置の製造方法を説明するための図である（その 1）。

図 1 6 8 は、本発明の第 6 4 実施例である半導体装置の製造方法を説明するための図である（その 2）。

20 図 1 6 9 は、本発明の第 6 4 実施例である半導体装置の製造方法を説明するための図である（その 3）。

図 1 7 0 は、本発明の第 6 4 実施例である半導体装置の製造方法を説明するための図である（その 4）。

25 図 1 7 1 は、本発明の第 6 4 実施例である半導体装置の製造方法を説明するための図である（その 5）。

図 1 7 2 は、本発明の第 7 2 実施例である半導体装置を説明するための図である。

図 1 7 3 は、本発明の第 6 5 実施例である半導体装置の製造方法を説明するための図である（その 1）。

図 1 7 4 は、本発明の第 6 5 実施例である半導体装置の製造方法を説明するための図である（その 2）。

図 1 7 5 は、本発明の第 6 5 実施例である半導体装置の製造方法を説明するための図である（その 3）。

5 図 1 7 6 は、本発明の第 7 3 実施例である半導体装置を説明するための図である。

図 1 7 7 は、本発明の第 6 6 実施例である半導体装置の製造方法を説明するための図である。

10 発明を実施するための最良の形態

次に本発明の実施の形態について図面と共に説明する。

図 1 乃至図 8 は本発明の第 1 実施例である半導体装置の製造方法を製造手順に沿って示しており、また図 9 は本発明の第 1 実施例である半導体装置の製造方法により製造される半導体装置 1 0 を示している。  
15

先ず、図 9（A）及び（B）を用いて、図 1 乃至図 8 に示す製造方法により製造される本発明の第 1 実施例となる半導体装置 1 0 について説明する。半導体装置 1 0 は、大略すると半導体素子 1 1，突起電極となるバンプ 1 2，及び樹脂層 1 3 等によりなる極めて簡単な構成とされている。  
20

半導体素子 1 1（半導体チップ）は、半導体基板に電子回路が形成されたものであり、その実装側の面には多数のバンプ 1 2 が配設されている。バンプ 1 2 は、例えば半田ボールを転写法を用いて配設された構成とされており、外部接続電極として機能するものである。本実施例では、バンプ 1 2 は半導体素子 1 1 に形成されている電極パッド（図示せず）に直接配設された構成とされている。  
25

また、樹脂層 1 3（梨地で示す）は、例えばポリイミド、エポキシ（PPS，PEK，PES，及び耐熱性液晶樹脂等の熱可塑性樹脂）等の熱硬化性樹脂よりなり、半導体素子 1 1 のバンプ形成側面

の全面にわたり形成されている。従って、半導体素子 11 に配設されているバンプ 12 は、この樹脂層 13 により封止された状態となるが、バンプ 12 の先端部は樹脂層 13 から露出するよう構成されている。即ち、樹脂層 13 は、先端部を残してバンプ 12 を封止するよう半導体素子 11 に形成されている。

上記構成とされた半導体装置 10 は、その全体的な大きさが略半導体チップ 11 の大きさと等しい、いわゆるチップサイズパッケージ構造となる。従って、半導体装置 10 は、近年特に要求されている小型化のニーズに十分対応することができる。

また、上記したように半導体装置 10 は半導体素子 11 上に樹脂層 13 が形成された構成とされており、かつこの樹脂層 13 は先端部を残しバンプ 12 を封止した構造とされている。このため、樹脂層 13 によりデリケートなバンプ 12 は保持されることとなり、よってこの樹脂層 13 は従来用いられていたアンダーフィルレジン 6 (図 7 8 参照) と同様の機能を奏することとなる。

即ち、樹脂層 13 により、半導体素子 11, バンプ 12, 実装基板 14, バンプ 12 と接続電極 15 との接合部位, 及びバンプ 12 と半導体素子 11 との接合部位の破壊を防止することができる。

図 9 (B) は、半導体装置 10 を実装基板 14 に実装する方法を説明するための図である。半導体装置 10 を実装基板 14 に実装するには、実装基板 14 に形成されている接続電極 15 とバンプ 12 を位置決めした上で実装を行なう。

この際、実装処理前において、半導体装置 10 には樹脂層 13 が予め半導体素子 11 に形成された構成とされている。よって、半導体装置 10 を実装基板 14 に実装処理する際、アンダーフィルレジンを半導体素子 11 と実装基板 14 との間に充填処理する必要はなくなり、これにより実装処理を容易とすることができる。

また、半導体装置 10 を実装基板 14 に実装する際、半田バンプ 12 を接続電極 15 に接合するために加熱処理を行なうが、半導体

素子 1 1 に配設された bumps 1 2 は樹脂層 1 3 により保持されているため、半導体素子 1 1 と実装基板 1 4 との間に熱膨張差が発生しても確実に実装処理を行なうことができる。

5 更に、半導体装置 1 0 を実装基板 1 4 に実装した後に熱が印加されたような場合においても、半導体素子 1 1 と実装基板 1 4 との熱膨張差が発生しても、樹脂層 1 3 により bumps 1 2 は保持されているため、bumps 1 2 と接続電極 1 5 との間で剥離が発生するようなことはない。よって、半導体装置 1 0 の実装における信頼性を向上させることができる。

10 続いて、上記構成とされた半導体装置 1 0 の製造方法（第 1 実施例に係る製造方法）について、図 1 乃至図 8 を用いて説明する。

半導体装置 1 0 は、大略すると半導体素子形成工程、bumps 形成工程、樹脂封止工程、突起電極露出工程、及び分離工程等を実施することにより形成される。この各工程の内、半導体素子形成工程は、  
15 基板に対しエキシマレーザ技術等を用いて回路形成を行なう工程であり、また bumps 形成工程は転写法等を用いて回路形成された半導体素子 1 1 上に bumps 1 2 を形成する構成である。

この半導体素子形成工程及び bumps 形成工程は、周知の技術を用いて実施されるものであり、本願発明の要部は樹脂封止工程以降にあるため、以下の説明では樹脂封止工程以降の各工程についてのみ  
20 説明するものとする。

図 1 乃至図 5 は樹脂封止工程を示している。

樹脂封止工程は、更に基板装着工程、樹脂層形成工程、及び離型工程に細分化される。樹脂封止工程が開始されると、先ず図 1 に示されるように、半導体素子形成工程及び bumps 形成工程を経ることにより多数の半導体素子 1 1 が形成された基板 1 6（ウェハ）を半導体装置製造用金型 2 0 に装着する。  
25

ここで、本発明の第 1 実施例となる半導体装置製造用金型 2 0（以下、単に金型 2 0 という）の構造について説明する。

金型 2 0 は、大略すると上型 2 1 と下型 2 2 とにより構成されている。この上型 2 1 及び下型 2 2 には、共に図示しないヒーターが内設されており、後述する封止樹脂 3 5 を加熱溶融しうる構成とされている。

5 上型 2 1 は、図示しない昇降装置により図中矢印 Z 1, Z 2 方向に昇降動作する構成とされている。また、上型 2 1 の下面はキャビティ面 2 1 a とされており、このキャビティ面 2 1 a は平坦面とされている。従って、上型 2 1 の形状は極めて簡単な形状とされており、安価に上型 2 1 を製造することができる。

10 一方、下型 2 2 は、第 1 の下型半体 2 3 と第 2 の下型半体 2 4 とにより構成されている。第 1 の下型半体 2 3 は、前記した基板 1 6 の形状に対応した形状とされており、具体的には基板 1 6 の径寸法より若干大きな径寸法に設定されている。基板 1 6 は、この第 1 の下型半体 2 3 の上面に形成されたキャビティ面 2 5 に装着される。

15 本実施例では、この第 1 の下型半体 2 3 は固定された構成とされている。

また、第 2 の下型半体 2 4 は、第 1 の下型半体 2 3 を囲繞するよう略環状形状とされている。この第 2 の下型半体 2 4 は、図示しない昇降装置により、第 1 の下型半体 2 3 に対して図中矢印 Z 1, Z 2 方向に昇降動作する構成とされている。また、第 2 の下型半体 2 4 の内周壁はキャビティ面 2 6 とされており、このキャビティ面 2 6 の上部所定範囲には、離型性を向上させる面より傾斜部 2 7 が形成されている。

25 樹脂封止工程の開始直後の状態では、図 1 に示すように、第 2 の下型半体 2 4 は第 1 の下型半体 2 3 に対して Z 2 方向に上動した状態となっており、よって前記した基板 1 6 は第 1 及び第 2 の下型半体 2 3, 2 4 が協働して形成する凹部（キャビティ）内に装着される。この際、基板 1 6 はバンプ 1 2 が形成された面が上側となるよう装着され、よって装着状態において基板 1 6 に形成されたバンプ

1 2は上型 2 1と対向した状態となっている。

上記のように下型 2 2に基板 1 6を装着すると、続いて上型 2 1の下部にフィルム 3 0を歪みの無い状態で配設すると共に、基板 1 6のバンプ 1 2上に封止樹脂 3 5を載置する。

5      フィルム 3 0は、例えばポリイミド、塩化ビニール、P C、P e t、静分解性樹脂、合成紙等の紙、金属箔、若しくはこれらの複合材を用いることが可能であり、後述する樹脂成形時に印加される熱により劣化しない材料が選定されている。また本実施例で用いるフィルム 3 0は、上記の耐熱性に加え、所定の弾性を有する材料が  
10      選定されている。ここでいう所定の弾性とは、後述する封止時において、バンプ 1 2の先端部がフィルム 3 0内にめり込むことが可能な程度の弾性をいう。

一方、封止樹脂 3 5は例えばポリイミド、エポキシ（P P S、P E E K、P E S及び耐熱性液晶樹脂等の熱可塑性樹脂）等の樹脂で  
15      あり、本実施例においてはこの樹脂を円柱形状に成形した構成のものを用いている。また、封止樹脂 3 5の載置位置は、図 2（下型 2 2の平面図である）に示されるように、基板 1 6の略中央位置に選定されている。以上が、基板装着工程の処理である。

尚、上記した基板装着工程において、フィルム 3 0を配設するタイ  
20      ミングは、下型 2 2に基板 1 6を装着した後に限定されるものではなく、下型 2 2に基板 1 6を装着する前に予めフィルム 3 0を配設しておく構成としてもよい。

上記のように基板装着工程が終了すると、続いて樹脂層形成工程が実施される。樹脂層形成工程が開始されると、金型 2 0による加熱により封止樹脂 3 5が溶融しうる温度まで昇温したことを確認した上で（尚、封止樹脂 3 5の高さが十分小さい場合は確認の必要はない）、上型 2 1がZ 1方向に可動される。  
25

上型 2 1をZ 1方向に可動することにより、先ず上型 2 1は第 2の下型半体 2 4の上面と当接する。この際、前記のように上型 2 1

の下部にはフィルム 30 が配設されているため、上型 21 が第 2 の下型半体 24 と当接した時点で、図 3 に示されるように、フィルム 30 は上型 21 と第 2 の下型半体 24 との間にクランプされた状態となる。この時点で、金型 20 内には、前記した各キャビティ面 24 a, 25, 26 により圍繞されたキャビティ 28 が形成される。

また、封止樹脂 35 は Z1 方向に動く上型 21 によりフィルム 30 を介して圧縮付勢され、かつ封止樹脂 35 は溶融しうる温度まで昇温されているため、同図に示されるように、封止樹脂 35 は基板 16 上にある程度広がった状態となる。

上型 21 が第 2 の下型半体 24 と当接すると、その後は上型 21 及び第 2 の下型半体 24 はフィルム 30 をクランプした状態を維持しつつ一体的に Z1 方向に下動を行なう。即ち、上型 21 及び第 2 の下型半体 24 は、共に Z1 方向に可動する。

これに対し、下型 22 を構成する第 1 の下型半体 23 は固定された状態を維持するため、キャビティ 28 の容積は上型 21 及び第 2 の下型半体 24 の Z1 方向の動きに伴い減少し、よって封止樹脂 35 はキャビティ 28 内で圧縮されつつ樹脂成形されることとなる（この樹脂成形法を圧縮成形法という）。

具体的には、基板 16 の中央に載置された封止樹脂 35 は加熱により軟化しており、かつ上型 21 の下動により圧縮されるため、封止樹脂 35 は上型 21 により押し広げられて中央位置より外周に向け進行してゆく。これにより、基板 16 に配設されているバンプ 12 は、中央位置から順次外側に向けて封止樹脂 35 より封止されていく。

この際、上型 21 及び第 2 の下型半体 24 の可動速度が速いと圧縮成形による圧縮圧が高くなり、バンプ 12 に損傷が発生することが考えられ、また上型 21 及び第 2 の下型半体 24 の可動速度が遅いと、製造効率等の低下が発生する。従って、上型 21 及び第 2 の下型半体 24 の可動速度は、上記した相反する問題点が共に発生し



ない適正な可動速度に選定されている。

上記した上型 2 1 及び第 2 の下型半体 2 4 の下動は、クランプされたフィルム 3 0 が基板 1 6 に形成されたバンプ 1 2 に圧接される状態となるまで行なわれる。また、フィルム 3 0 がバンプ 1 2 に圧接された状態で、封止樹脂 3 5 は基板 1 6 に形成された全てのバンプ 1 2 及び基板 1 6 を封止するよう構成されている。図 4 は、樹脂層形成工程が終了した状態を示している。樹脂層形成工程が終了した状態では、フィルム 3 0 は基板 1 6 に向け圧接されているため、バンプ 1 2 の先端部はフィルム 3 0 にめり込んだ状態となる。また、封止樹脂 3 5 が基板 1 6 の全面に配設されることにより、バンプ 1 2 を封止する樹脂層 1 3 が形成される。

また、封止樹脂 3 5 の樹脂量は予め計量されており、図 4 に示される樹脂層形成工程が終了した時点で、樹脂層 1 3 の高さがバンプ 1 2 の高さと同程度になるよう設定されている。このように、封止樹脂 3 5 の樹脂量を予め過不足のない適正量に計量しておくことにより、樹脂層形成工程において金型 2 0 から余剰な樹脂 3 5 が流出したり、逆に樹脂 3 5 が少なくバンプ 1 2 及び基板 1 6 を確実に封止できなくなる不都合を防止することができる。

樹脂層形成工程が終了すると、続いて離型工程が実施される。この離型工程では、先ず上型 2 1 を Z 2 方向に動かす。この際、樹脂層 1 3 が第 2 の下型半体 2 4 に形成された傾斜部 2 7 と当接した位置は固着した状態となっているため、基板 1 6 及び樹脂層 1 3 は下型 2 2 に保持された状態となっている。このため、上型 2 1 を Z 2 方向に動かした場合、上型 2 1 のみがフィルム 3 0 から離脱し上動することとなる。

続いて、第 2 の下型半体 2 4 を第 1 の下型半体 2 3 に対して Z 1 方向に若干量可動させる。図 5 の中心線より左側は、上型 2 1 が上動し、かつ第 2 の下型半体 2 4 が若干量 Z 1 方向に動かした状態を示している。このように、第 2 の下型半体 2 4 を第 1 の下型半体 2

3に対してZ1方向に可動させることにより、前記した傾斜部27と樹脂層13とを離間させることができる。

5      このように傾斜部27と樹脂層13とが離間すると、続いて第2の下型半体24はZ2方向に可動を開始する。これにより、第2の下型半体24の上面はフィルム30と当接すると共に傾斜部27は樹脂層13の側壁と当接し、よって第2の下型半体24の上動に伴い基板16をZ2方向に向けて移動付勢する。

10      フィルム30は樹脂層13と固着した状態を維持しているため、フィルム30が可動付勢されることにより、樹脂層13が形成された基板16は第1の下型半体23から離脱する。これにより、図5の中心線より右側に示されるように、樹脂層13が形成された基板16は金型20から離型される。

15      尚、図5に示す例では第1の下型半体23と樹脂層13とが固着した部分が存在するが、この固着領域は狭いため固着力は弱く、よって第2の下型半体24がZ2方向に動かすことにより、樹脂層13が形成された基板16を第1の下型半体23から確実に離型させることができる。

20      上記のように本実施例に係る樹脂封止工程では、樹脂層13は樹脂層形成工程において金型20を用いて圧縮成形される。また、樹脂層13となる封止樹脂35は、従来(図78参照)のように半導体装置1と実装基板5との間の狭所に充填されるのではなく、基板16のバンプ12が配設された面上に載置されモールド成形される。

25      このため、樹脂層13を基板16のバンプ12が形成されている面全体にわたり確実に形成することができ、また略バンプ12の高さと等しい狭い部分に確実に樹脂層13を形成することが可能となる。これにより、基板16に形成されている全てのバンプ12は樹脂層13により確実に封止されるため、樹脂層13により全てのバンプ12を確実に保持することが可能となる。よって、図9を用いて説明した加熱時において、バンプ12と実装基板14との接合部

における破壊を確実に防止でき、半導体装置 10 の信頼性を向上させることができる。

また、前記したように、金型 20 を構成する下型 22 は、固定された第 1 の下型半体 23 と、この第 1 の下型半体 23 に対して昇降可能な構成とされた第 2 の下型半体 24 とにより構成されている。このため、樹脂層 13 を形成した後に第 1 の下型半体 23 に対し第 2 の下型半体 24 を昇降動作させることにより、金型 20 に離型機能を持たせることができ、樹脂層 13 が形成された基板 16 を容易に金型 20 から取り出すことができる。

上記した樹脂封止工程が終了すると、続いて突起電極露出工程が実施される。図 6 及び図 7 は突起電極露出工程を示している。樹脂封止工程が終了した時点では、図 6 に示されるように、フィルム 30 は樹脂層 13 と固着した状態となっている。また、フィルム 30 は弾性可能な材料により構成されているため、樹脂層 13 が形成された状態で、バンプ 12 の先端部はフィルム 30 にめり込んだ状態となっている。即ち、バンプ 12 の先端部は樹脂層 13 に覆われていない状態となっている（この状態を図 6 (B) に拡大して示す）。

本実施例に係る突起電極露出工程では、図 7 (A) に示されるように、樹脂層 13 に固着されたフィルム 30 を樹脂層 13 から剥離する処理を行なう。このようにフィルム 30 を樹脂層 13 から剥離することにより、図 7 (B) に拡大して示すように、フィルム 30 にめり込んだ状態とされていたバンプ 12 の先端部は樹脂層 13 から露出することとなる。よって、この露出されたバンプ 12 の先端部を用いて実装処理を行なうことが可能となる。

このように、本実施例に係る突起電極露出工程は、単にフィルム 30 を樹脂層 13 から剥離するだけの簡単な処理である。このため、容易かつ効率よく突起電極露出処理を行なうことができる。

また、前記したようにフィルム 30 を金型 20 に装着する際、

フィルム 30 は歪みのないよう配設されており、かつ上型 21 のキャビティ面 24a は平坦な形状とされている。更に、フィルム 30 は均一な品質を有しており、その全面において均一な弾性特性を有している。従って、樹脂封止工程においてバンプ 12 がフィルム 30 にめり込む際、そのめり込み量は均一となる。

これにより、突起電極露出工程でフィルム 30 を樹脂層 13 から剥離した際、樹脂層 13 から露出するバンプ 12 の露出量は均一となり、半導体装置 10 の品質の一定化、及び実装時における接続電極 15 との接合性の均一化を図ることができる。

尚、上記した説明では、突起電極露出工程でフィルム 30 を樹脂層 13 から剥離した際、樹脂層 13 から完全にバンプ 12 が露出する構成を示したが、フィルム 30 を剥離した状態でバンプ 13 の先端が極薄くではあるが樹脂膜（封止樹脂 35）により覆われた構成としてもよい、この構成とする事により、樹脂膜はデリケートな性質を有するバンプ 13 の上端部を保護するため、バンプ 13 が外気と接触することにより酸化が発生する等の劣化を防止することができる。

また、バンプ 13 を実装基板に実装する際は、この樹脂膜は不要となるため除去する必要がある。この樹脂膜を除去するタイミングは、実装基板に実装する前であればどのタイミングで行なってもよい。

上記した突起電極露出工程が終了すると、続いて分離工程が実施される。

図 8 は分離工程を示している。同図に示されるように、分離工程では基板 16 を半導体素子 11 毎にダイサー 29 を用いて樹脂層 13 と共に切断する。これにより、先に説明した図 9 に示される半導体装置 10 が製造される。

尚、ダイサー 29 を用いたダイシング処理は、半導体装置の製造工程において一般的に採用されているものであり、特に困難を伴う

ものではない。また、基板 16 には樹脂層 13 が形成されているが、ダイサー 29 は樹脂層 13 をも十分に切断することができる能力を有している。

5 続いて、図 10 を用いて本発明の第 2 実施例である半導体装置の製造方法及び本発明の第 2 実施例である半導体装置製造用金型 20 A（以下、単に金型 20 A という）について説明する。尚、図 10 において、先に図 1 乃至図 9 を用いて説明した第 1 実施例に係る構成と同一構成については、同一符号を附してその説明を省略する。

10 先ず、本実施例に係る金型 20 A について説明する。

10 本実施例に係る金型 20 A も大略すると上型 21 と下型 22 A とにより構成されている。上型 21 及び下型 22 A を構成する第 1 の下型半体 23 は第 1 実施例に示したものと同一構成とされている。しかるに本実施例では、第 2 の下型半体 24 A に余剰樹脂を除去する余剰樹脂除去機構 40 を設けたことを特徴とするものである。

15 余剰樹脂除去機構 40 は、大略すると開口部 41、ポット部 42、及び圧力制御ロッド 43 等により構成されている。開口部 41 は第 2 の下型半体 24 A に形成された傾斜部 27 の一部に形成された開口であり、この開口部 41 はポット部 42 と連通した構成とされている。

20 ポット部 42 はシリンダ構造を有しており、このポット部 42 の内部にはピストン構造とされた圧力制御ロッド 43 が摺動可能に装着されている。この圧力制御ロッド 43 は、図示しない駆動機構に接続されており、図中矢印 Z1、Z2 方向に第 2 の下型半体 24 A に対して昇降動作可能な構成とされている。

25 続いて、上記構成とされた余剰樹脂除去機構 40 を具備した金型 20 A を用いて実施される、本発明の第 2 実施例に係る半導体装置の製造方法について説明する。尚、第 2 実施例では半導体製造工程の内、樹脂封止工程に特徴を有しているため、この樹脂封止工程についてののみ説明するものとする。

本実施例に係る樹脂封止工程が開始されると、基板装着工程が実施される。基板装着工程では、図 10 (A) に示されるように基板 16 を金型 20 A に装着する。

5 同図に示されるように、樹脂封止工程の開始直後の状態では、第 2 の下型半体 24 A は第 1 の下型半体 23 に対して Z2 方向に可動した状態となっており、また余剰樹脂除去機構 40 を構成する圧力制御ロッド 43 は Z2 方向の定位置に移動した状態となっている。

上記のように下型 22 A に基板 16 を装着すると、続いて上型 21 の部分 24 a にフィルム 30 を配設すると共に、基板 16 又は基板 16 のバンプ 12 上に封止樹脂 35 を載置する。

上記の基板装着工程が終了すると、続いて樹脂層形成工程が実施される。樹脂層形成工程が開始されると上型 21 は Z1 方向に可動され、これにより図 10 (B) に示されるように、上型 21 と第 2 の下型半体 24 A とは当接してフィルム 30 はクランプされた状態となる。

15 この時点で、金型 20 A 内には各キャビティ面 24 a, 25, 26 により囲繞されたキャビティ 28 が形成されるが、前記した余剰樹脂除去機構 40 を構成する開口部 41 は、このキャビティ 28 に開口した状態となっている。

20 上型 21 が第 2 の下型半体 24 A と当接すると、その後は上型 21 及び第 2 の下型半体 24 A はフィルム 30 をクランプした状態を維持しつつ一体的に Z1 方向に可動を行なう。これにより、樹脂 35 はキャビティ 28 内で圧縮されつつ樹脂成形される。

25 この際、バンプ 12 に対する損傷の発生を防止し、かつキャビティ 28 の全領域に適正に樹脂 35 を充填するためには、上型 21 及び第 2 の下型半体 24 A の Z1 方向速度を適正な可動速度に選定する必要があることは前述した通りである。上型 21 及び第 2 の下型半体 24 A の Z1 方向速度を適正化することは、換言すればキャビティ 28 内における樹脂 35 の圧縮圧力を適正化することと等価

である。

本実施例では、金型 20A に余剰樹脂除去機構 40 を設けることにより、上型 21 及び第 2 の下型半体 24A の Z1 方向速度に加え、圧力制御ロッド 43 を駆動することによっても樹脂 35 の圧縮圧力を制御しうる構成とされている。よって、圧力制御ロッド 43 が Z2 方向に作用する力を小さくすることによりキャビティ 28 内における封止樹脂 35 の圧力は低くなり、また圧力制御ロッド 43 が Z2 方向に作用する力を大きくすることによりキャビティ 28 内における封止樹脂 35 の圧力は高くなる。

例えば、封止樹脂 35 の樹脂量が形成しようとする樹脂層 13 の容量よりも多く、余剰樹脂によりキャビティ 28 内の圧力が上昇した場合には、適正な樹脂成形が行なえなくなるおそれがあるが、このような場合には、図 10 (C) に示されるように、余剰樹脂除去機構 40 の圧力制御ロッド 43 を Z1 方向に下動させることにより、余剰樹脂を開口部 41 を介してポット部 42 内に除去することができる。

よって、余剰樹脂除去機構 40 を設けることにより、樹脂層 13 の形成時に余剰樹脂の除去処理を同時に行うことができ、常に既定の圧縮力で樹脂成形することが可能となり、樹脂層 13 の形成を適正に行なうことができる。また、余剰樹脂が金型 20A から漏洩することを防止することができると共に、封止樹脂 35 の計量精度は第 1 実施例に比べて低くてもかまわないため封止樹脂 35 の計量の容易化を図ることができる。

樹脂層形成工程が終了し樹脂層 13 が形成されると、続いて離型工程が実施される。この離型工程における金型 20A の動作は、基本的には第 1 実施例と同様である。即ち、先ず上型 21 を Z2 方向に可動させると共に、第 2 の下型半体 24A を第 1 の下型半体 23 に対して Z1 方向に若干量可動させる。

図 10 (D) の中心線より左側は、上型 21 が Z2 方向に可動し、

かつ第2の下型半体24Aが若干量Z1方向に可動した状態を示している。このように、第2の下型半体24Aを第1の下型半体23に対してZ1方向に可動させることにより、前記した傾斜部27と樹脂層13とを離間させることができる。

- 5      また、本実施例の場合には、余剰樹脂除去機構40を設けることにより、開口部41の形成位置に余剰樹脂を除去したことによりバリが発生しているおそれがあるが、このバリも第2の下型半体24AがZ1方向に可動することにより除去することができる。

- 10      このように傾斜部27と樹脂層13とが離間すると、続いて第2の下型半体24AはZ2方向に可動を開始し、これにより第2の下型半体24Aの上面はフィルム30に当接すると共に傾斜部27は再び樹脂層13と当接し、基板16は金型20Aから離間する方向に移動付勢される。これにより、図10(D)の中心線より右側に示されるように、樹脂層13が形成された基板16は金型20A  
15      から離型される。

- また本実施例に係る製造方法では、樹脂成形時においてキャビティ28内の圧力を既定圧力に制御することができるため、樹脂35内に空気が残留し樹脂層13に気泡(ボイド)が発生することを防止できる。いま、仮に樹脂層13に気泡が発生した場合を想定すると、加熱処理時にこの気泡が膨張して樹脂層13にクラック等の損傷が発生するおそれがある。  
20

- しかるに、上記のように余剰樹脂除去機構40を設けることにより、樹脂層13に気泡が発生することを防止できるため、加熱時に樹脂層13に損傷が発生するおそれではなく半導体装置10の信頼性を向上させることができる。  
25

続いて、本発明の第3及び第4実施例に係る半導体装置の製造方法について説明する。

図11は本発明の第3実施例に係る半導体装置の製造方法を示しており、また図12は本発明の第4実施例に係る半導体装置の製造



方法を示している。尚、図 1 1 において図 1 乃至図 9 を用いて説明した第 1 実施例に係る構成と同一構成については同一符号を附してその説明を省略し、また図 1 2 において図 1 0 を用いて説明した第 2 実施例に係る構成と同一構成については同一符号を附してその説明を省略する。

第 3 及び第 4 実施例に係る製造方法は、フィルム 3 0 を用いずに樹脂層 1 3 を形成したことを特徴とするものである。このため、図 1 1 (A) 及び図 1 2 (A) に示されるように、前記した第 1 及び第 2 実施例と異なり基板装着工程においては、上型 2 1 の部分 2 4 a にフィルム 3 0 は配設されてない。

従って、基板装着工程に続き実施される樹脂層形成工程では、図 1 1 (B), (C) 及び図 1 2 (B), (C) に示されるように、上型 2 1 が直接封止樹脂 3 5 を押圧し圧縮成形処理を行なうこととなる。しかるに、上型 2 1 のキャビティ面 2 4 a は平坦面とされているため、良好な状態で樹脂層 1 3 の成形処理を行なうことができる。尚、剥離工程における処理は、前記した第 1 または第 2 実施例における処理と同一であるため、その説明は省略する。

上記のように、フィルム 3 0 を配設しない構成としても、樹脂層 1 3 を形成することができる。但し、第 3 及び第 4 実施例による製造方法では、フィルム 3 0 を設けていないため、樹脂層 1 3 が形成された状態でバンプ 1 2 は完全に樹脂層 1 3 に埋設された状態となる。

このため、樹脂封止工程を終了した後に実施される突起電極露出工程で、バンプ 1 2 の先端部のみを露出させるための処理が別個必要となる。尚、このバンプ 1 2 の先端部のみを露出させるための処理については、説明の便宜上後述するものとする。

続いて、本発明の第 5 実施例である半導体装置の製造方法を説明する。

図 1 3 及び図 1 4 は、本発明の第 5 実施例である半導体装置の製

造方法を示している。尚、図 1 3 及び図 1 4 において図 1 乃至図 9 を用いて説明した第 1 実施例に係る構成と同一構成については同一符号を附してその説明を省略する。

5 本実施例に係る製造方法では、基板装着工程で金型 2 0 に基板 1 6 を装着する前に、図 1 3 (A) に示されるように、第 1 の下型半体 2 3 に補強板 5 0 を装着しておくことを特徴とするものである。この補強板 5 0 は所定の機械的強度及び放熱性を有する材料が選定されており、具体的には例えばアルミニウム製の板材により構成されている。また、補強板 5 0 の径寸法は、基板 1 6 の径寸法より若干大きくなるよう設定されている。また、この補強板 5 0 の表面には、熱硬化性の接着剤（図示せず）が塗布されている。

10 上記構成とされた補強板 5 0 の金型 2 0 への装着は、単に第 1 の下型半体 2 3 上に補強板 5 0 を載置するだけの作業であるため、極めて容易に行なうことができ、補強板 5 0 を設けても樹脂封止工程が面倒となるようなことはない。

15 続いて、樹脂封止工程における補強板 5 0 の機能について説明する。

20 基板装着工程が終了し樹脂層形成工程が開始されると、前記したように上型 2 1 及び第 2 の下型半体 2 4 が Z 1 方向に可動し、封止樹脂 3 5 によるバンプ 1 2 の封止処理が開始される。この時、金型 2 0 は封止樹脂 3 5 が溶融しうる程度の温度まで昇温されている。また、前記した熱硬化性の接着剤は、比較的低い温度で熱硬化する材質に選定されている。従って、樹脂層形成工程が開始後、比較的短時間で補強板 5 0 は基板 1 6 に接着し一体化する。尚、補強板 5 0 は、予め基板 1 6 に接着しておく構成としてもよい。

25 ところで、図 1 3 (B), (C) に示されるように、本実施例においても樹脂層 1 3 の形成は、圧縮成形法を用いて行なわれる。この圧縮成形法により樹脂層 1 3 を形成する方法では、上型 2 1 により封止樹脂 3 5 及び溶融した樹脂 3 5 を押圧するため、基板 1 6 に

は大きな圧力が作用する。

また、樹脂層 13 を形成するためには封止樹脂 35 を溶融させる  
5 必要があり、このため金型 20 にはヒーターが組み込んである。こ  
このヒーターが発生する熱は金型 20 内に装着された基板 16 にも印  
加される。従って、基板 16 は、上記した圧縮形成による圧力及び  
10 ヒーターが発生する熱により変形する可能性がある。しかるに本  
実施例では、基板装着工程において基板 16 を金型 20 に装着前に  
補強板 50 を装着しておき、この補強板 50 を基板 16 に接合する  
構成としているため、樹脂層形成工程において基板 16 は補強板 5  
0 により補強された構成となっている。このため、圧縮形成による  
15 圧力やヒーターによる熱が基板 16 に印加されても、基板 16 の変  
形することを防止でき、よって製造される半導体装置の歩留りを向  
上させることができる。

図 14 は、樹脂層 13 の形成が終了し、金型 20 から離型された  
15 状態の基板 16 を示している。同図に示されるように、基板 16 を  
金型 20 から離型した状態において、補強板 50 は基板 16 に接着  
された状態を維持している。そして、樹脂層形成工程が終了した後  
に実施される分離工程（図 8 参照）で、この補強板 50 も合わせて  
20 ダイサー 29 により切断される。

これにより、個々の半導体装置にも補強板 50 は配設された構成  
となる。また前記したように、補強板 50 は放熱性の良好な材料が  
選定されているため、個々の半導体装置に分離された後において、  
25 補強板 50 は放熱板として機能することとなる。このため、本実施  
例に係る製造方法により製造される半導体装置の放熱特性を向上さ  
せることができる。

図 15 乃至図 17 は、前記した各実施例の変形例を示している。  
尚、各図において図 1 乃至図 9 を用いて説明した第 1 実施例に係る  
構成と同一構成については同一符号を附してその説明を省略する。

前記した各実施例においては、封止樹脂として封止樹脂 35 を用い、

これを金型 20, 20A に装着された基板 16 上に載置して樹脂封止を行なう構成としていた。図 15 乃至図 17 の示す変形例は、封止樹脂の他の供給態様を示すものである。

5 図 15 に示す例では、封止樹脂としてシート状樹脂 51 を用いたことを特徴とするものである。このようにシート状樹脂 51 を用いることにより、確実に基板 16 の全体に樹脂層 13 を形成することができる。

10 また、基板 16 の中央に封止樹脂 35 を配置し場合には、溶融した樹脂が中央から端部に向け流れる必要があるため、成形時間を長く要してしまう。これに対しシート状樹脂 51 は、基板 16 の上部を覆うように配設されるため、溶融した樹脂は流れることなく直接下部に位置するバンプ 12 を封止することとなる。このため、樹脂封止処理に要する時間を短縮できるため、樹脂封止工程の時間短縮を図ることができる。

15 また、図 16 に示す例では、封止樹脂として液状樹脂 52 を用いたことを特徴とするものである。液状樹脂 52 は流動性が高いため、短時間で確実にバンプ 12 を封止することができる。

20 更に、図 17 に示す例では、樹脂封止工程の実施前に予め封止樹脂 35A をフィルム 30 に接着剤 53 を用いて配設しておくことを特徴とするものである。尚、封止樹脂 35 を溶融した上で、フィルム 30 にこの封止樹脂 35 を配設し、その後に固化させることによりフィルム 30 に封止樹脂 35 を配設した構成としてもよい。

25 このように、封止樹脂 35A を基板 16 上ではなくフィルム 30 に配設しておくことにより、基板装着工程において、フィルム 30 の装着作業と封止樹脂 35A の装填作業を一括的に行なうことができ、基板装着作業の効率化を図ることができる。

続いて、本発明の第 6 実施例である半導体装置の製造方法について説明する。図 18 は、第 6 実施例である製造方法における樹脂封止工程を示している。尚、図 18 において、図 1 乃至図 9 を用い

て説明した第1実施例に係る構成と同一構成については同一符号を附してその説明を省略する。

先に、図17を用いて樹脂封止工程の実施前に予め封止樹脂35Aをフィルム30に1個のみ配設しておく方法について説明した。  
5 これに対し本実施例では、封止樹脂35Aをフィルム30に所定の間隔をおいて多数連続的に配設したことを特徴とするものである。また、フィルム30は、図示しない搬送装置により図中矢印方向に搬送される構成とされている。

図18(A)において、金型20より左側に位置するのは、樹脂層13が形成された基板16であり、樹脂層13がフィルム30に固着することにより、基板16もフィルム30に装着された状態となっている。また、金型20の内部に位置する封止樹脂35Aは、  
10 今回樹脂封止処理が行なわれるものである。更に、金型20より右側に位置する封止樹脂35Aは、次回の樹脂封止処理において用いられるものである。

図18(A)に示す状態は、基板装着工程が終了した状態を示しており、既に基板16は金型20に装着された状態となっている。また、本実施例では、基板16を装着する前に補強板50を装着する方法を例に挙げている。

20 基板装着工程が終了し樹脂封止工程が開始されると、図18(B)に示すように、上型21及び第2の下型半体24はZ1方向に可動し、封止樹脂35Aによりバンプ12を封止する処理が行なわれる。そして、更に上型21及び第2の下型半体24がZ1方向に可動することにより、図18(C)に示されるように、基板16上  
25 に樹脂層13が形成される。

樹脂封止工程が終了すると、先に図5を用いて説明したと同様の離型工程が実施され、樹脂層13が形成された基板16は金型20から離型される。この際、前記したように樹脂層13がフィルム30に固着することにより、基板16もフィルム30に装着された状

態となっている。

上記のように樹脂封止工程が終了すると、続いてフィルム 30 の搬送装置が起動し、フィルム 30 は次の封止樹脂 35 A が金型 20 に装着される位置まで搬送される。また、このフィルム 30 による搬送操作と共に、金型 20 に対し補強板 50 及び基板 16 (樹脂層 13 が形成されていないもの) が金型 20 に装着され (即ち、基板装着工程を実施し)、これにより再び図 18 (A) に示す状態となる。以降、上記した処理を繰り返し実施する。

上記のように、本実施例に係る方法によれば、封止樹脂 35 A を樹脂封止処理時に邪魔にならない程度の間隔で離間配設しておき、樹脂封止処理が終了した時点でフィルム 30 を移動させ、次に樹脂封止処理を行なう封止樹脂 35 A を金型 20 に自動装着することにより、連続的に樹脂封止工程を実施することが可能となり、よって半導体装置の製造効率を向上させることができる。

続いて、本発明の第 7 実施例である半導体装置の製造方法を説明する。

図 19 乃至図 21 は、第 7 実施例である半導体装置の製造方法を説明するための図である。尚、図 19 乃至図 21 において、図 1 乃至図 9 を用いて説明した第 1 実施例に係る構成と同一構成については同一符号を附してその説明を省略するものとする。

前記した第 1 実施例に係る製造方法では、フィルム 30 として弾性変形可能な材質のものを選定し、よって樹脂封止工程における圧縮成形時においてバンプ 12 の先端部をフィルム 30 にめり込ませることにより、突起電極露出工程でフィルム 30 を樹脂層 13 から剥離するだけでバンプ 12 の先端部を露出させる構成としていた。

しかるに、バンプ 12 の先端部が適宜量だけめり込むような弾性を有したフィルム 30 の選定は困難である。また、図 18 に示したようにフィルム 30 を搬送用のキャリアとしても用いた場合には、弾性変形可能なフィルム 30 では搬送時に伸縮してしまい、基板 1

6 及び封止樹脂 3 5 A の搬送処理を適正に行なえないおそれがある。

そこで、このような問題点を解決するためには、弾性変形を行なわないか、或いは弾性変形を殆ど行なわない（以下、まとめて「弾性変形しない」と記載する）フィルム 3 0 A を用いる必要が生じる。

5 本実施例では、フィルム 3 0 A として弾性変形しない材質が選定されている。しかるに、フィルム 3 0 A として弾性変形しない材質を用いても、樹脂封止工程で行なわれる処理は図 1 乃至図 5 で説明したと同様に実施することができる。

図 1 9 乃至図 2 1 は、本実施例における突起電極露出工程を示している。樹脂封止工程が終了した時点では、図 1 9 に示されるように、フィルム 3 0 A は樹脂層 1 3 と固着した状態となっている。しかるに、フィルム 3 0 A は弾性変形しない材料により構成されているため、樹脂層 1 3 が形成された状態でバンプ 1 2 はフィルム 3 0 にめり込んだ状態とはなっておらず、従ってバンプ 1 2 は樹脂層 1 3 にその全体が封止された状態となっている（この状態を図 1 9 (B) に拡大して示す）。

10

15

この状態において、図 2 0 (A) に示されるように樹脂層 1 3 に固着されたフィルム 3 0 A を樹脂層 1 3 から剥離する処理を行なう。しかるに、フィルム 3 0 A を樹脂層 1 3 から剥離しても、図 2 0 (B) に拡大して示すように、バンプ 1 2 はその全体が樹脂層 1 3 に封止された状態を維持する。

20

また、この図 2 0 (B) に示されるバンプ 1 2 の全体が樹脂層 1 3 に封止された状態は、先に図 1 1 及び図 1 2 を用いて説明したフィルム 3 0, 3 0 A を用いない樹脂封止工程を実施した場合においても発生する。

25

このように、バンプ 1 2 の全体が樹脂層 1 3 に封止された状態では、これを分離処理し半導体装置を形成しても、実装基板 1 4 との電氣的接続を行なえない。よって、バンプ 1 2 の先端部を樹脂層 1 3 から露出させるための処理が必要となる。図 2 1 (A) は、バン

プ 1 2 の先端部を樹脂層 1 3 から露出させるための方法を示している。

5 本実施例では、図 2 1 (A) に示されるように、バンプ 1 2 の先端部を樹脂層 1 3 から露出させる手段としてレーザ照射装置 6 0 を用いている。レーザ照射装置 6 0 としては、例えば樹脂に対する加工性の良好な炭酸ガスレーザの使用が考えられる。

10 また、レーザ照射装置 6 0 による樹脂層 1 3 の切削深さは、レーザ照射装置 6 0 のエネルギーを適宜設定することにより調整することができる。よって、樹脂層 1 3 から露出させるバンプ 1 2 の先端量を精度よく設定することができる。

15 図 2 1 (A) に示されるように、レーザ照射装置 6 0 を用いてレーザ光を樹脂層 1 3 上で操作させることにより、全てのバンプ 1 2 の先端部を樹脂層 1 3 から露出させることができる。図 2 1 (B) は、レーザ加工処理が終了し、樹脂層 1 3 からバンプ 1 2 の先端部が露出した状態を示している。

20 このように、バンプ 1 2 の先端部を樹脂層 1 3 から露出させる処理を行なうことにより、フィルム 3 0 A として弾性変形しない材質のものを用いても、また図 1 1 及び図 1 2 を用いて説明したフィルム 3 0, 3 0 A を用いない樹脂封止工程を実施した場合であっても、実装基板 1 4 に対し適正に実装処理を行なうことができる半導体装置を製造することができる。

25 尚、バンプ 1 2 の先端部を樹脂層 1 3 から露出させる処理は、レーザ光照射に限定されるものではなく、その他にエキシマレーザ、エッチング、機械研磨、及びブラスト等の利用が考えられる。この場合、エキシマレーザを用いた場合には、容易かつ精度よく突起電極の先端部を露出させることができる。また、エッチング、機械研磨或いはブラストを用いた場合には、安価に突起電極の先端部を露出させることができる。

続いて、本発明に係る半導体装置製造用金型の実施例について



図 2 2 乃至図 2 5 を用いて説明する。

図 2 2 は、本発明の第 3 実施例である半導体装置製造用金型 2 0 C（以下、金型 2 0 C という）を示している。尚、以下説明する図 2 2 乃至図 2 5 において、図 1 に示した第 1 実施例に係る金型 2 0 C と同一構成については同一符号を附してその説明を省略する。

本実施例に係る半導体装置製造用金型 2 0 C は、第 1 の下型半体 2 3 C の基板 1 6 が載置される部位に、この基板 1 6 を第 1 の下型半体 2 3 C に固定或いは離型させる固定・離型機構 7 0 を設けたことを特徴とするものである。この固定・離型機構 7 0 は、大略すると多孔質部材 7 1、吸排気装置 7 3、び配管 7 4 等により構成されている。

多孔質部材 7 1 は、例えば多孔質セラミック或いは多孔質金属、多孔質樹脂等により構成されており、その内部を気体（例えば空気）が通過できる構成とされている。

また、多孔質部材 7 1 の下部には配管 7 3 が形成されており、この配管 7 3 は集合された上で給排気装置 7 2 に接続された構成とされている。給排気装置 7 2 は例えばコンプレッサ又は負圧発生装置であり、配管 7 3 に対して圧縮空気を供給する圧送モードと、配管 7 3 に対して吸引処理を行なう吸引モードとに切替え処理を行いうる構成とされている。

従って、給排気装置 7 2 が圧送モードとなることにより、圧縮空気は配管 7 3 を介して多孔質部材 7 1 に供給され、多孔質部材 7 1 より外部に噴射される。この時、第 1 の下型半体 2 3 C に基板 1 6 が載置されている場合には、基板 1 6 は離脱方向に付勢されることとなる。この状態は、図 2 2 に中心線より右側に図示される状態であり、以下この状態を離型状態という。

一方、給排気装置 7 2 が吸引モードとなることにより、給排気装置 7 2 は配管 7 3 を介して吸引処理を行なう。よって、この吸引処理により発生する負圧は多孔質部材 7 1 に以下される。この時、第

1の下型半体23Cに基板16が載置されている場合には、基板16は多孔質部材71に向け吸引されることとなる。この状態は、図22に中心線より左側に図示される状態であり、以下この状態を固定状態という。

- 5 上記のように、金型20Cに固定・離型機構70を設けることにより、固定状態においては、基板16は第1の下型半体23Cに固定されるため、樹脂封止処理において基板16に反り等の変形が発生することを防止することができる。また、基板16が持つ固有の反りを矯正することもできる。更に、離型状態となっている時には、
- 10 基板16は第1の下型半体23Cから離脱付勢されるため、基板16の金型20Cからの離型性を向上させることができる。

図23は、本発明の第4実施例である半導体装置製造用金型20D（以下、金型20Dという）を示している。

- 15 前記した第1実施例に係る金型20では、第1の下型半体23が固定されており、第2の下型半体24が第1の下型半体23に対し昇降動作する構成とされていた。これに対し、本実施例に係る金型20Dは、第2の下型半体24Dが固定されており、第1の下型半体23Dが第2の下型半体24Dに対して昇降動作する構成としたことを特徴とするものである。

- 20 本実施例のように、第1の下型半体23Dが第2の下型半体24Dに対して昇降動作する構成としても、離型工程において確実に樹脂層13が形成された基板16を金型20から離型させることができる。尚、図23において、中心線より左側に示されるのが第1の下型半体23Dが上動した状態であり、また中心線より右側に示されるのが第1の下型半体23Dが下動した状態である。

- 25 図24は、本発明の第5実施例である半導体装置製造用金型20E（以下、金型20Eという）を示している。

前記した第1実施例に係る金型20では、第2の下型半体24の内周側壁には傾斜部27を形成することにより離型性を向上させる

構成とされていた。これに対し、本実施例に係る金型 20 E は、  
キャビティ 28 を形成した状態において、第 1 の下型半体 23 の上  
部の面積よりも第 2 の下型半体 24 E で囲繞される面積が広くなる  
部分を有する構成とすることにより、第 2 の下型半体 24 E が第 1  
5 の下型半体 23 と接する部位に矩形状の段差部 74 が形成された構  
成となっている。

上記のように、第 2 の下型半体 24 E に段差部 74 を形成しても  
離型性を向上させることができ、また段差部 74 の形状が略矩形状  
であるため段差部 74 の形成を容易に行なうことができる。

10 尚、図 24 において、中心線より左側に示される状態は、樹脂層  
13 から離脱するために第 2 の下型半体 24 E が樹脂封止位置から  
下動した状態であり、また中心線より右側に示されるのは、第 2 の  
下型半体 24 E が上動して樹脂層 13 が形成された基板 16 が金型  
20 E から離型した状態である。

15 図 25 は、本発明の第 6 実施例である半導体装置製造用金型 20  
F（以下、金型 20 F という）を示している。

本実施例に係る金型 20 F は、上型 21 F，下型 22 F（第 1 の  
下型半体 23 F，第 2 の下型半体 24 F）の樹脂層 13 との接触面  
に、付着処理膜 75 を形成したことを特徴とするものである。この  
20 付着処理膜 75 は、樹脂層 13 となる樹脂とは付着しない材料が選  
定されているため、よって離型時において容易に樹脂層 13 が形成  
された基板 16 を金型 20 F から離型させることができる。

図 76 及び図 77 は、第 6 実施例の変形例を示している。図 76  
は、第 1 の下型半体 23 の上面の面積に対し基板 16 の面積が小さ  
25 い場合、第 1 の下型半体 23 の上面にフィルム 30 D を配設したも  
のである。これにより、封止樹脂 35 と第 1 の下型半体 23 とが直  
接接触する面積を小さくすることができ、離型性を向上させること  
ができる。

尚、本実施例において、先に図 22 を用いて説明したような吸引

処理を行なう場合には、予めフィルム 30D の必要箇所に小孔（真空用孔）を形成しておけばよい。

5       また、図 77 は、第 1 の下型半体 23 の上面の面積と基板 16 の面積とが略等しくされた構成を示している。前記した各実子例では、第 1 の下型半体 23 の上面の面積に対し基板 16 の面積が小さい構成であったため、樹脂封止処理が行なわれると、樹脂層 13 は基板 16 の側部位置（側面部）にも配設された構成となっていた。

10       これに対し、第 1 の下型半体 23 の上面の面積と基板 16 の面積を略等しくすることにより、樹脂層 13 は基板 16 の上面のみに形成される構成となる。このように、基板 16 の使用形態に応じ、樹脂層 13 を基板 16 の上面のみ、或いは上面部に加え側面部を含む範囲に選択的に配設することが可能となる。

15       尚、図 77 の構成では、離型性を向上させる機構としては、上型 21 に関してはフィルム 30 を用い、また下型 22 に関しては不着処理膜 75（図 25 参照）を用いた。

      続いて、本発明の第 2 及び第 3 実施例である半導体装置について説明する。

20       図 26 は本発明の第 2 実施例である半導体装置 10A を示しており、また図 27 は本発明の第 3 実施例である半導体装置 10B を示している。尚、図 26 及び図 27 において図 9 に示した第 1 実施例に係る半導体装置 10 と対応する構成については同一符号を附して説明する。

25       第 2 実施例に係る半導体装置 10A は、ステージ部材 80 に複数の半導体素子 11 を搭載しモジュール化された構成とされている。また、樹脂層 13 は先端部を残しバンプ 12 を封止すると共に、各半導体素子 11 の側部までも封止した構成とされている。更に、ステージ部材 80 は放熱性の良好な材料（例えば、銅またはアルミニウム）により形成されている。

      上記構成とされた半導体装置 10A は、ステージ部材 80 として

放熱性の良好な材料を用いているため、複数の半導体素子 11 を搭載しても高い放熱性を維持することができる。

また、第 3 実施例に係る半導体装置 10 B は、図 26 に示される半導体装置 10 A において、ステージ部材 80 の外周側部にダム部 81 を形成したことを特徴とするものである。このダム部 81 のステージ部材 80 の素子搭載面からの高さ H2 (図 27 中、矢印で示す) は、半導体素子 11 の素子搭載面からの高さ H1 (図中、矢印で示す) に対して高くなるよう構成されている。

更に、ダム部 81 のステージ部材 80 の素子搭載面からの高さ H2 は、半導体素子 11 の素子搭載面からバンプ 12 の先端部までの高さ H3 (図中、矢印で示す) に対して所定量低くなるよう構成されている。

上記構成とすることにより、ダム部 81 とステージ部材 80 とにより構成される凹部内に樹脂層 13 を形成するために樹脂を充填すると、ダム部 81 の上端まで樹脂を充填した時点でバンプ 12 の先端部を残しバンプ 12 を封止することができる。よって、バンプ 12 の先端部を露出させた状態の樹脂層 13 を容易に形成することができる。

また、上記した第 2 及び第 3 実施例に係る半導体装置 10 A, 10 B において、樹脂層 13 の上面に追加配線を形成することにより、複数の半導体素子 11 をこの追加配線により相互接続して機能化させることができる。

続いて、本発明の第 8 実施例について説明する。図 28 は、第 8 実施例に係る半導体装置の製造方法を説明するための図であり、樹脂封止工程が終了した状態の基板 16 を示している。また、図 28 (A) は基板 16 の全体図であり、図 28 (B) は基板 16 の部分拡大図である。尚、図 28 において、図 1 乃至図 9 を用いて説明した第 1 実施例に係る構成と同一構成については同一符号を附してその説明を省略するものとする。

前記した第 1 実施例に係る半導体装置の製造方法では、樹脂層 13 を一種類の封止樹脂 35 により形成した構成とされていた。ところで、この樹脂層 13 には種々の機能が要求されており、例えば基板 16 を保護する点からは樹脂層 13 は硬質樹脂の方が望ましく、  
5 また実装時等において bumps 12 に印加される応力を緩和する点からは樹脂層 13 は軟質樹脂の方が望ましい。しかるに、これらの要求を一種類の樹脂で全て満足させることは、実際には不可能である。

そこで、本実施例では、樹脂封止工程で用いられる封止樹脂として、異なる特性を有する複数の封止樹脂を用い、よって複数（本実施例では 2 種）の樹脂層 13 A, 13 B を形成することを特徴とするものである。図 28 に示す例では、樹脂層 13 A と樹脂層 13 B を積み重ねて積層した構造を示している。

このように、複数の樹脂層 13 A, 13 B を形成するには、樹脂封止工程で先ず金型内に樹脂層 13 A となる封止樹脂を装填して樹脂層 13 A を形成し、次に金型内に樹脂層 13 B となる封止樹脂を装填して樹脂層 13 B を形成する。或いは、予め樹脂層 13 A となる封止樹脂の上部に樹脂層 13 B となる封止樹脂を積層した構造の封止樹脂を作成しておき、1 回の樹脂封止処理で樹脂層 13 A 及び樹脂層 13 B を一括的に形成する方法を用いてもよい。

20 本実施例のように複数の樹脂層 13 A, 13 B を基板 16 に積層することにより、例えば外側に位置する樹脂層 13 B として硬質樹脂を用い、また内側に位置する樹脂層 13 A として軟質樹脂を用いることが可能となる。この構成とした場合、基板 16 は硬質樹脂よりなる樹脂層 13 B により確実に保護される構成となり、また実装  
25 時等に bumps 12 に印加される応力は軟質樹脂よりなる樹脂層 13 A により吸収することができる。よって、本実施例に係る製造方法で製造される半導体装置の信頼性を向上させることができる。

続いて、本発明の第 9 実施例について説明する。

図 29 は、第 9 実施例に係る半導体装置の製造方法を説明するた

めの図である。尚、図 29 において、図 1 乃至図 9 を用いて説明した第 1 実施例に係る構成と同一構成については同一符号を附してその説明を省略するものとする。

5 本実施例においても、前記した第 8 実施例と同様に樹脂封止工程で用いられる封止樹脂として、異なる特性を有する複数（本実施例では 2 種）の封止樹脂を用いたことを特徴としている。しかるに、前記した第 8 実施例では互いに異なる樹脂層 13A, 13B を積層した構造であったが、本実施例では樹脂層 13B を基板 16 の外周位置に配設し、この樹脂層 13B に囲繞される部分に樹脂層 13A  
10 を配設した構造としたことを特徴としている（図 29（C）参照）。以下、本実施例における半導体装置の製造方法について説明する。

図 29（A）は、本実施例に係る半導体装置の製造方法における樹脂封止工程を示している。本実施例に係る樹脂封止工程で用いる金型 20G は、第 1 実施例において図 1 を用いて説明した金型 20  
15 の構造に対して上下が逆となった構造を有しているが、説明の便宜上、金型 20G の各構成は第 1 実施例で説明した金型 20 と対応した符号及び名称で示している。また、本実施例では、前記した第 5 実施例と同様に補強板 50 を有した構造となっている。

20 補強板 50 は第 1 の下型半体 23 に装着されており、また補強板 50 の下面（基板 16 と対向する面）には、樹脂層 13A となる封止樹脂 35A 及び樹脂層 13B となる封止樹脂 35B が予め配設されている。この樹脂層 13B となる封止樹脂 35B は補強板 50 の外周位置に配設されており、また樹脂層 13A となる封止樹脂 35A は封止樹脂 35B に囲繞されるようにその内部に配設されている。  
25 更に、バンプ 12 が形成された基板 16 は、フィルム 30 を介して上型 21 上に載置されている。

上記のように基板 16 及び封止樹脂 35A, 35B が配設された補強板 50 が金型 20G 内に装着されると、第 1 の下型半体 23 は上型 21 に向け移動し、よって封止樹脂 35A, 35B の圧縮成形

5 が実施され、樹脂層 13 A, 13 B が形成される。この際、上記したように封止樹脂 35 B は補強板 50 の外周位置に配設され、また封止樹脂 35 A は封止樹脂 35 B に囲繞されるよう配設されているため、樹脂成形された状態において、樹脂層 13 B は基板 16 の外周位置に形成され、また樹脂層 13 A は封止樹脂 35 B に囲繞されるよう形成される。

上記の樹脂封止工程が終了すると、図 29 (B) に示されるように、突起電極露出工程が実施されてフィルム 30 が除去され、これにより図 29 (C) に示される半導体装置 10 C が形成される。

10 上記の製造方法によれば、例えば基板 16 (半導体素子) の外周位置に配設される樹脂層 13 B として硬質樹脂を選定し、この樹脂層 13 B に囲繞される樹脂層 13 A として軟質樹脂を選定することが可能となる。よって、本実施例により製造される半導体装置 10 C は、その外周側部が硬質樹脂よりなる樹脂層 13 B に囲繞された  
15 構成となるため、基板 16 は補強板 50 及びこの樹脂層 13 B により確実に保護された構造となる。よって、半導体装置 10 C の信頼性を向上させることができる。

また、樹脂層 13 B の内側に位置する樹脂層 13 A は、軟質樹脂により形成されているため、バンプ 12 に対し実装時等に応力が印  
20 加されても、この応力は軟質樹脂よりなる樹脂層 13 A において吸収されたため、バンプ 12 に印加される応力の緩和を図ることができる。よって、これによっても半導体装置 10 C の信頼性を向上させることができる。

続いて、本発明の第 10 及び第 11 実施例について説明する。

25 図 30 は第 10 実施例に係る半導体装置の製造方法を説明するための図であり、また図 31 は第 11 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 30 及び図 31 において、図 1 乃至図 9 を用いて説明した第 1 実施例、及び図 29 を用いて説明した第 9 実施例に係る構成と同一構成については同一符号を附して



その説明を省略するものとする。

図 3 0 に示す第 1 0 実施例に係る製造方法では、前記した第 9 実施例と同様に樹脂封止工程において予め封止樹脂 3 5 を補強板 5 0 に配設しておくことを特徴とするものである。また、図 3 1 に示す第 1 1 実施例に係る製造方法では、補強板 5 0 A に枠部 5 4 を一体的に設けると共に、この補強板 5 0 A に予め封止樹脂 3 5 を配設しておくことを特徴とするものである。

このように、樹脂封止工程において予め封止樹脂 3 5 を補強板 5 0, 5 0 A に配設しておくことにより、補強板 5 0, 5 0 A を金型 2 0 G の一部として用いることが可能となる。具体的には、補強板 5 0, 5 0 A を第 1 の下型半体 2 3 の一部として用いることができる。

これにより、封止樹脂 3 5 が直接第 1 の下型半体 2 3 (金型 2 0 G) に触れる面積を少なくすることができ、従来であれば必要とされた金型に付着した不要樹脂の除去作業を不要とすることができ、樹脂封止工程における作業の簡単化を図ることができる。

特に、第 1 1 実施例に係る製造方法では、補強板 5 0 A に枠部 5 4 を設けることにより、補強板 5 0 A の基板 1 6 と対向する位置には凹部 5 5 が形成され、この凹部 5 5 をキャビティとして用いることが可能となる。図 3 0 に示される平板状の補強板 5 0 を用いた構成では、封止樹脂 3 5 は第 2 の下型半体 2 4 に触れてしまい、この接触部分における不要樹脂の除去作業は必要となる。

しかるに、図 3 1 に示される第 1 1 実施例では封止樹脂 3 5 が金型 3 0 G に全く触れない構成とすることができ、よって金型 2 0 G に付着した不要樹脂の除去作業を全く不要とすることができ。

また、上記した第 1 0 及び第 1 1 実施例において、補強板 5 0, 5 0 A を放熱性の良好な材料により形成することにより、半導体装置 1 0 D, 1 0 E の放熱特性を向上させることができる。尚、図 3 0 (B) は第 1 0 実施例に係る製造方法により製造される半導体装

置 1 0 D を示しており、図 3 1 ( B ) は第 1 1 実施例に係る製造方法により製造される半導体装置 1 0 E を示している。

続いて、本発明の第 1 2 実施例について説明する。

5 図 3 2 及び図 3 3 は、第 1 2 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 3 2 及び図 3 3 において、図 1 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。

10 本実施例に係る製造方法は、樹脂封止工程において、先ず前記した各実施例と同様にバンプ 1 2 が形成された基板 1 6 の表面に樹脂層 1 3 ( 第 1 の樹脂層 ) を形成した後、基板 1 6 の背面に第 2 の樹脂層 1 7 を形成することを特徴とするものである。以下、図 3 2 及び図 3 3 を用いて本実施例における具体的な樹脂封止処理について説明する。

15 図 3 2 ( A ) ~ 図 3 2 ( B ) は、基板 1 6 のバンプ 1 2 が形成され表面に第 1 の樹脂層 1 3 を圧縮成形する工程を示している。この図 3 2 ( A ) ~ 図 3 2 ( B ) に示した処理は、第 1 実施例において図 1 ~ 図 4 を用いて説明した処理と全く同一の処理である。このため、第 1 の樹脂層 1 3 の形成処理についての説明は省略するものとする。

20 図 3 2 ( A ) ~ 図 3 2 ( B ) の処理を実施することにより基板 1 6 の表面 ( バンプ形成面 ) に第 1 の樹脂層 1 3 が形成されると、基板 1 6 を金型 2 0 から取出、上下を逆にして再び金型 2 0 に装着する。即ち、基板 1 6 のバンプ 1 2 が形成された面が第 1 の下型半体 2 3 と対向するよう、基板 1 6 を金型 2 0 に装着する。そして、図 25 3 3 ( D ) に示されるように、第 1 の下型半体 2 3 上に載置された基板 1 6 の上面に第 2 の封止樹脂 3 6 を載置する。

続いて、図 3 3 ( E ) に示されるように、上型 2 1 及び第 2 の下型半体 2 4 を下動させることにより、第 2 の封止樹脂 3 6 を圧縮成形する。これにより、図 3 3 ( F ) に示されるように、基板 1 6 の

背面側にも第 2 の樹脂層 1 7 が形成される。

図 3 3 (G) は、本実施例の製造方法により製造された半導体装置 1 0 E を示している。同図に示されるように、半導体装置 1 0 E は、バンプ 1 2 が形成された基板 1 6 (半導体素子) の表面に第 1 の樹脂層 1 3 が圧縮成形されると共に、基板 1 6 の背面には第 2 の樹脂層 1 7 が圧縮成形された構成となっている。

上記のように、樹脂封止工程でバンプ 1 2 が配設された基板 1 6 の表面に第 1 の樹脂層 1 3 を形成した後に、この基板 1 6 の背面を覆うように第 2 の樹脂層 1 7 を形成したことにより、製造される半導体装置 1 0 E のバランスを良好とすることができる。

即ち、基板 1 6 (半導体素子) と封止樹脂は熱膨張率が異なるため、基板 1 6 の表面 (バンプ 1 2 形成された面) のみに第 1 の樹脂層 1 3 を配設した構成では、基板 1 6 の表面と背面において熱膨張差が発生して基板 1 6 に反りが発生するおそれがある。

しかるに、本実施例の製造方法のように基板 1 6 の表面及び背面を共に樹脂層 1 3, 1 7 で覆うことにより、基板 1 6 の表面及び背面の状態を均一化することができ、半導体装置 1 0 E のバランスを良好とすることができる。これにより、熱印加時等において半導体装置 1 0 E に反りが発生することを防止することができる。

また、本実施例に係る製造方法では、基板 1 6 の表面に配設する第 1 の樹脂層 1 3 と、基板 1 6 の背面に配設する第 2 の樹脂層 1 7 とを異なる特性を有する樹脂に選定することも可能である。例えば、第 1 の樹脂層 1 3 として軟質の樹脂を選定することにより、バンプ 1 2 に印加される応力を緩和することができる。

また、背面に配設される第 2 の樹脂層 1 7 として硬質の樹脂を選定することにより、外力が印加された場合に基板 1 6 を確実に保護することができる。更に、第 2 の樹脂層 1 7 として放熱特性の良好な樹脂を選定することにより、半導体装置 1 0 E の放熱特性を向上させることができる。

続いて、本発明の第 1 3 実施例について説明する。

図 3 4 は、第 1 3 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 3 4 において、図 1 乃至図 9 を用いて説明した第 1 実施例、及び図 3 2, 図 3 3 を用いて説明した第 1 2 実施例と同一構成については同一符号を附してその説明を省略するものとする。

本実施例における製造方法においても、基板 1 6 の表面に第 1 の樹脂層 1 3 を形成すると共に、基板 1 6 の背面に第 2 の樹脂層 1 7 を形成する。しかるに、図 3 2 及び図 3 3 を用いて説明した第 1 2 実施例に係る製造方法では、先ず図 3 2 (A) ~ (C) の工程を実施することにより第 1 の樹脂層 1 3 を形成し、次に第 1 の樹脂層 1 3 が形成された基板 1 6 を金型 2 0 から取り出して上下を逆にし、その上で図 3 3 (D) ~ (F) の工程を実施することにより第 2 の樹脂装置 1 7 を形成していた。このため、第 1 2 実施例に係る製造方法では、2 回の圧縮成形処理を必要としてしまい、半導体装置 1 0 E の製造効率が良好であるとはいえなかった。

そこで、本実施例に係る製造方法では、1 回の圧縮成形で第 1 及び第 2 の樹脂層 1 3, 1 7 を同時に形成しうるようにしたことを特徴とするものである。このため本実施例では、樹脂封止工程において基板 1 6 を金型 2 0 に装着する際、図 3 4 (A) に示されるように、先ず第 2 の封止樹脂 3 6 を金型 2 0 に装着した上で基板 1 6 を第 2 の封止樹脂 3 6 に載置されるよう装着し、更にその上部に第 1 の封止樹脂 3 5 を配設する構成とした。この際、第 2 の封止樹脂 3 6 は基板 1 6 の背面側と当接し、また第 1 の封止樹脂 3 5 は基板 1 6 のバンプ 1 2 が形成されている表面上に載置されるようにしている。

図 3 4 (B) は、圧縮成形を実施している状態を示している。同図に示されるように、基板 1 6 は第 1 の封止樹脂 3 5 と第 2 の封止樹脂 3 6 とに挟まれた状態であるため、基板 1 6 の表面及び背面に

同時に封止樹脂 35, 36 を圧縮成形することができる。また、図 34 (C) は圧縮成形が終了し、基板 16 の表面に第 1 の樹脂層 13 が、また基板 16 の背面に第 2 の樹脂層 17 が形成された状態を示している。

5       尚、図 34 (D) は、本実施例に係る製造方法により製造された半導体装置であり、その構成は第 12 実施例で製造された半導体装置 10E と同一構成である（本実施例に係る製造方法により製造された半導体装置も符号 10E で示す）。上記のように、本実施例による製造方法では第 12 実施例の製造方法のように基板 16 を上  
10       下逆にする作業は不要となり、第 1 の樹脂層 13 と第 2 の樹脂層 17 を 1 回の圧縮成形処理により一括的に形成することができるため、半導体装置 10E の製造効率を向上させることができる。

続いて、本発明の第 14 実施例について説明する。

15       図 35 は、第 14 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 35 において、図 1 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。

前記した各実施例においては、突起電極として球状バンプを例に挙げて説明したが、本実施例では突起電極としてストレートバンプ  
20       18 を用いたことを特徴とするものである。このストレートバンプ 18 は円柱形状を有しており、例えばメッキ法を用いて形成される。このように、ストレートバンプ 18 は円柱形状を有しているため、その先端部の面積は球形状とされたバンプ 12 に比べて広がっている。

25       本実施例のように突起電極の構造をストレートバンプ 18 としても、樹脂封止工程及び突起電極露出工程は、前記した各実施例と同様の処理により行なうことができる。図 35 (A), (B) は、樹脂封止工程において、ストレートバンプ 18 が形成された基板 16 を金型 20（図示せず）に装着した状態を示している。尚、図 35

(B)は、図35(A)の部分拡大図である。この装着状態において、ストレートバンプ18の先端部にはフィルム30Aが装着される。

5 このフィルム30Aは、図19に示したものと同一構成であり、容易に弾性変形しない構成とされている。この状態の基板16に対して樹脂封止処理が実施されることにより、フィルム30Aと基板16の表面との間には樹脂層13が圧縮成形される。

10 樹脂封止工程が終了すると、図35(C)に示されるように樹脂層13に固着されたフィルム30Aを樹脂層13(梨地で示す)から剥離する処理を行なう。しかるに、フィルム30Aを樹脂層13から剥離しても、図35(D)に拡大して示すように、ストレートバンプ18はその先端部を除き樹脂層13に埋設された状態を維持する。

15 ところで、図19乃至図21を用いて先に説明した第7実施例では、バンプ12が球形状とされていたため、その全体が樹脂層13に封止された状態では、樹脂層13から露出する面積が小さく、よって図21に示されるようなバンプ12を樹脂層13から露出させる処理が行なわれていた。

20 これに対し、本実施例では円柱形状を有したストレートバンプ18を用いているため、樹脂層13から露出した先端部の面積は広くなっている。よって、図35(D)に示されるように、単にフィルム30Aを樹脂層13から剥離した状態のままでも、十分に電氣的な接続を行なうことができる。よって、球状のバンプ12を用いた場合には必要となるバンプ12を樹脂層13から露出させる処理を  
25 不要とすることができ、半導体装置の製造工程の簡単化を図ることができる。

尚、本実施例において更に電氣的な接続性を向上させる必要がある場合には、ストレートバンプ18を樹脂層13から露出させる処理を実施してもよい。また、以下の説明において単にバンプ12と

いう場合には球状形状のバンプ１２とストレートバンプ１８を総称するものとし、個別に説明する必要がある場合には球状バンプ１２、ストレートバンプ１８と分けて称することとする。

続いて、本発明の第１５実施例について説明する。

5 図３６は、第１５実施例に係る半導体装置の製造方法を説明するための図である。尚、図３６において、図１乃至図９を用いて説明した第１実施例、及び図３５を用いて説明した第１４実施例と同一構成については同一符号を附してその説明を省略するものとする。

10 本実施例に係る製造方法では、突起電極露出工程を実施することによりバンプ１２の少なくとも先端部を樹脂層１３から露出させた後に、このバンプ１２（本実施例ではストレートバンプ１８を用いている）の先端部にもう一つのバンプである外部接続用突起電極９０（以下、外部接続用バンプという）を形成することを特徴とする。

15 この外部接続用バンプ９０は、外部接続用突起電極形成工程を実施することにより形成される。この外部接続用突起電極形成工程は、一般に実施されているバンプ形成技術を適用することが可能であり、転写法、メッキ法、或いはディンプルプレート法等を適用することができる。そして、突起電極露出工程を実施した後にこの外部接続用突起電極形成工程を実施することにより、ストレートバンプ１８  
20 の先端部には外部接続用バンプ９０が形成される。

本実施例のように、突起電極露出工程を実施した後に外部接続用突起電極形成工程を実施し、ストレートバンプ１８の先端部に外部接続用バンプ９０を形成したことにより、半導体装置を実装基板に実装する際の実装性を向上させることができる。

25 即ち、バンプ１２は基板１６（半導体素子）に形成された電極上に形成されるものであるため、必然的にその形状は小さくなる。よって、この小さなバンプ１２を実装基板に電氣的に接続する外部接続端子として用いた場合には、実装基板とバンプ１２とが確実に接続されないおそれがある。

しかるに、本実施例で設ける外部接続用バンプ 90 は、基板 16 に形成されているバンプ 12 と別体であるため、基板 16 及びバンプ 12 に影響されず自由に設計することが可能であり（但し、バンプ 12 と電氣的に接続させる必要はある）、実装基板の構成に適応させることができる。よって、バンプ 12 の先端部に外部接続用バンプ 90 を配設することにより、外部接続用バンプ 90 が設けられた半導体装置と実装基板との実装性を向上させることができる。

続いて、本発明の第 16 実施例について説明する。

図 37 は、第 16 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 37 において、図 1 乃至図 9 を用いて説明した第 1 実施例、及び図 36 を用いて説明した第 15 実施例と同一構成については同一符号を附してその説明を省略するものとする。

本実施例では、外部接続用バンプ 90 を形成する外部接続用突起電極形成工程において、バンプ 12 と外部接続用突起電極とを応力緩和機能を有する接合材 91（以下、応力緩和接合材という）を用いて接合させることを特徴とするものである。また本実施例では、外部接続用突起電極としてポール電極 92 を用いていることも特徴としている。

応力緩和接合材 91 は、例えば実装時に印加される温度よりも高い融点を有したはんだを適用することができる。また、ポール電極 92 としては、例えばパラジウムのワイヤを用いることができる。バンプ 12 とポール電極 92 は応力緩和接合材 91 により接合される。また、はんだは比較的軟質な金属であるため、バンプ 12 とポール電極 92 との接合位置においては、応力緩和接合材 91 を構成するはんだが変形することにより、ポール電極 92 に印加された応力を吸収することができる。

本実施例によれば、バンプ 12 とポール電極 92 は応力緩和機能を有する応力緩和接合材 91 により接合されるため、ポール電極 92 に外力が印加され応力が発生しても、この応力は応力緩和接合材



フィルム 30 B が取り除かれた状態を示している。前記したように、凸部 19 がバンプ 12 を押圧している領域においてはバンプ 12 に封止樹脂 35 が付着しないため、フィルム 30 B が取り除かれた状態において、この領域は樹脂層 13 から露出した状態となる。かつ、  
5 本実施例においてバンプ 12 が樹脂層 13 から露出する面積は、前記した第 1 実施例の方法に比べて広がっている。

よって、本実施例による製造方法によれば、大掛かりな設備を用いることなく、容易かつ確実にバンプ 12 を樹脂層 13 から露出させることができる。また、樹脂層 13 から露出されるバンプ 12 の  
10 面積は広いため、例えば図 38 (E) に示すように、バンプ 12 の先端部に外部接続用バンプ 90 を設ける場合においても、確実にバンプ 12 と外部接続用バンプ 90 とを接合することができる。

続いて、本発明の第 18 実施例について説明する。

図 39 及び図 40 は、第 18 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 39 及び図 40 において、図 1  
15 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。

本実施例では、基板 16 に形成されるバンプ 12 A の形成方法及びその構造に特徴を有するものである。このバンプ 12 A は、基板  
20 16 の表面に設けられた接続電極 98 上に形成される。バンプ 12 A を形成するには、先ず接続電極 98 の上部にコア部 99 (梨地で示す) を形成する。このコア部 99 は、弾性を有する樹脂 (例えば、ポリイミド等) により形成されている。

コア部 99 を接続電極 98 上に形成する具体的方法としては、先  
25 ず基板 16 の全面にコア部 99 となる樹脂 (感光性のポリイミド) を所定の厚さとなるようスピンコートし、続いてホトリソグラフィ技術を用いて接続電極 98 以外の位置の樹脂を除去する。これにより、接続電極 98 上にコア部 99 が形成される。

続いて、このコア部 99 の表面全体を覆うように導電膜 100 が

形成される。この導電膜 1 0 0 はメッキ法或いはスパッタリング法等の薄膜形成技術を用いて形成され、その基板側端部は接続電極 9 8 と電氣的に接続される。導電膜 1 0 0 の材質としては、ある程度の弾性を有すると共に電氣的抵抗の低い金属が選定されている。以上  
5 上の処理を実施することにより、バンプ 1 2 A は形成される。尚、  
図中 1 0 2 は絶縁膜である。

上記の説明から明らかなように、バンプ 1 2 A はコア部 9 9 の表面に導電膜 1 0 0 が形成された構成とされている。前記のようにコア部 9 9 は弾性を有しており、かつ導電膜 1 0 0 もある程度の弾性を有した材料により形成されているため、例えば実装時等において  
10 バンプ 1 2 A に外力が作用し応力が発生しても、この応力はコア部 9 9 及び導電膜 1 0 0 が弾性変形することにより吸収される。よって、この応力が基板 1 6 に印加されることを防止でき、基板 1 6 にダメージが発生することを抑制することができる。

ここで、バンプ 1 2 A の樹脂層 1 3 に対する高さについて説明する。図 3 9 (A) は、バンプ 1 2 A の先端部が樹脂層 1 3 よりも突出した構成を示している。この構成では、バンプ 1 2 A は樹脂層 1 3 より広く露出しているため、外部接続用バンプ 9 0 を設けた場合には、バンプ 1 2 A と外部接続用バンプ 9 0 との接合面積は広くなり、  
20 確実にバンプ 1 2 A と外部接続用バンプ 9 0 とを接合することができる。

また、図 3 9 (B) は、バンプ 1 2 A の先端部と樹脂層 1 3 の表面とが同一面とされた構成を示している。この構成を有した半導体装置は、L C C (Leadless Chip Carrier) 構造の半導体装置として  
25 用いることが可能となり、実装密度の向上を図ることができる。

また、図 3 9 (C) は、バンプ 1 2 A の先端部が樹脂層 1 3 の表面よりも低い位置にある構成を示している。従って、樹脂層 1 3 にはバンプ 1 2 A を露出するための凹部 1 0 1 が形成されている。この構成では、外部接続用バンプ 9 0 を設けた場合には、凹部 1 0 1

が外部接続用バンプ 9 0 の位置決めを行なう機能を奏するため、図 3 9 (A) に示した構成に比べてバンプ 1 2 A と外部接続用バンプ 9 0 との位置決め処理を容易に行なうことができる。

5 一方、本実施例においては、図 4 0 に示されるように、基板 1 6 (半導体素子) に設けられた電極パッド 9 7 とバンプ 1 2 A が形成される接続電極 9 8 とが離間した構成となっており、電極パッド 9 7 と接続電極 9 8 は引出し配線 9 6 により接続された構成となっている。

10 図 3 9 に示されるように、バンプ 1 2 A の先端部に外部接続用バンプ 9 0 を設ける構成においては、実装性の向上を図る面から一般に外部接続用バンプ 9 0 はバンプ 1 2 A より大きく設定される。従って、バンプ 1 2 A の隣接するピッチ間距離が小さい場合には、隣接配置される外部接続用バンプ 9 0 同士が接触するおそれがある。

15 そこで図 4 0 に示す例では、電極パッド 9 7 と接続電極 9 8 とを引出し配線 9 6 を用いて接続することにより、バンプ 1 2 A が形成される接続電極 9 8 のピッチを大きくしている。これにより、隣接する外部接続用バンプ 9 0 間で干渉が発生することを回避することができる。

20 続いて、本発明の第 1 9 実施例について説明する。

20 図 4 1 は、第 1 9 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 4 1 において、図 1 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。

25 本実施例に係る製造方法では、図 4 1 (A) に示されるように、樹脂封止工程を実施する前に、後に実施される分離工程において基板 1 6 が切断される位置 (図中、破線 X で示す。以下、切断位置という) に比較的幅広の切断位置溝 1 0 5 を形成しておく。この切断位置溝 1 0 5 の幅寸法は、少なくとも後述するダイサー 2 9 の幅寸法より大きく設定されている。

また、続いて実施される樹脂封止工程においては、樹脂層 1 3 を形成すると共に、この切断位置溝 1 0 5 内にも封止樹脂 3 5 を充填して切断位置樹脂層 1 0 6 を形成する。そして、樹脂封止工程の終了後に実施される分離工程において、図 4 1 (B) に示されるように、切断位置樹脂層 1 0 6 が充填された切断位置溝 1 0 5 内の切断位置 X で基板 1 6 をダイサー 2 9 を用いて切断する。これにより、図 4 1 (C) に示されるように、基板 1 6 は切断される。

上記した本実施例により製造方法によれば、分離工程において基板 1 6 及び樹脂層 1 3 にクラックが発生することを防止することができる。以下、この理由について説明する。

いま、仮に切断位置溝 1 0 5 を形成しない構成を想定すると、分離工程では表面に比較的薄い膜状の樹脂層 1 3 が形成された基板 1 6 を切断することとなる。ダイサー 2 9 を用いた切断処理は、非常に大きな応力が基板 1 6 に印加される。このため、この切断方法では薄い樹脂層 1 3 が基板 1 6 から剝離したり、また樹脂層 1 3 及び基板 1 6 にクラックが発生するおそれがある。

これに対して本実施例の製造方法では、切断位置 X に幅広の切断位置溝 1 0 5 を形成することにより、分離工程では切断位置樹脂層 1 0 6 が形成された切断位置溝 1 0 5 内において切断処理が行われることとなる。この際、切断位置樹脂層 1 0 6 の厚さは、他の部分に形成された樹脂層 1 3 の厚さに比べて厚くなっており、その機械的強度は強くなっている。かつ、切断位置樹脂層 1 0 6 は基板 1 6 に比べて可撓性を有しているため、発生する応力を吸収する機能を奏する。

よって、切断処理により発生する応力は切断位置樹脂層 1 0 6 に吸収され弱められた状態で基板 1 6 に印加されるため、樹脂層 1 3 及び基板 1 6 にクラックが発生することを防止することができ、半導体装置の製造歩留りを高めることができる。

また、図 4 1 (C) に示されるように、分離工程が終了した時点

で、基板 1 6 の側面には切断位置樹脂層 1 0 6 が露出され構成となる。よって、基板 1 6 の側部は切断位置樹脂層 1 0 6 により保護された構成となり、外部環境の影響を基板 1 6 が直接受けることを抑制することができる。

5 更に、半導体装置の搬送処理にはハンドリング装置が用いられるが、このハンドリング装置が切断位置樹脂層 1 0 6 が露出した部分を把持するよう構成することも可能となり、よってハンドリング装置により基板 1 6 が傷つけられることを防止することもできる。

続いて、本発明の第 2 0 実施例について説明する。

10 図 4 2 は、第 2 0 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 4 2 において、図 1 乃至図 9 を用いて説明した第 1 実施例、及び図 4 1 を用いて説明した第 1 9 実施例と同一構成については同一符号を附してその説明を省略するものとする。

15 前記した第 1 9 実施例に係る製造方法では、切断位置 X に切断位置溝 1 0 5 を形成した構成としたが、本実施例に係る製造方法では、図 4 2 (A) に示されるように、基板 1 6 が切断される切断位置 X を挟んで一对の応力緩和溝 1 1 0 a, 1 1 0 b を形成したことを特徴とするものである。従って、分離工程においては、一对の応力緩和溝 1 1 0 a, 1 1 0 b の間位置で基板 1 6 は切断されることとなる。

20 また、応力緩和溝 1 1 0 a, 1 1 0 b を形成することにより、樹脂封止工程においては、図 4 2 (B) に示されるように、応力緩和溝 1 1 0 a, 1 1 0 b の内部には応力緩和樹脂層 1 1 1 a, 1 1 1 b が形成される。この応力緩和樹脂層 1 1 1 a, 1 1 1 b は、他の  
25 部分に形成される樹脂層 1 3 の厚さに比べて厚くなっており、その機械的強度は強くなっている。かつ、応力緩和樹脂層 1 1 1 a, 1 1 1 b は基板 1 6 に比べて可撓性を有しているため、発生する応力を吸収する機能を奏する。

上記構成において、分離工程において一对の応力緩和溝 1 1 0 a,

1 1 0 bの間位置で基板 1 6 を切断すると、応力緩和溝 1 1 0 a,  
1 1 0 bの間に位置する基板 1 6 (以下、この部分を基板切断部 1  
6 a という) には大なる応力が印加される。従って、基板切断部 1  
6 a 及びその上部に形成された樹脂層 1 3 にはクラックが発生する  
5 可能性がある。しかるに、この基板切断部 1 6 a の形成位置にはバ  
ンプ 1 2 及び電子回路等の重要な構成要素は形成されていないため、  
クラックが発生しても問題となることはない。

一方、基板切断部 1 6 a を切断することにより発生する応力は、  
側方に向け伝達されるが、基板切断部 1 6 a の両側部には応力緩和  
10 樹脂層 1 1 1 a, 1 1 1 b が充填された応力緩和溝 1 1 0 a, 1 1  
0 b が形成されているため、切断時に発生する応力は応力緩和溝 1  
1 0 a, 1 1 0 b において吸収される。

よって、基板切断部 1 6 a で発生する応力が応力緩和溝 1 1 0 a,  
1 1 0 b の形成位置より外側(基板 1 6 の電子回路が形成されてい  
15 る側)に影響を及ぼすことはなく、バンプ 1 2 及び電子回路等が形  
成されている領域にクラックが発生することを防止することができる。  
尚、図 4 2 (C) は分離工程が終了した状態を示している。

続いて、本発明の第 2 1 実施例について説明する。

図 4 3 は、第 2 1 実施例に係る半導体装置の製造方法を説明する  
20 ための図である。尚、図 4 3 において、図 1 乃至図 9 を用いて説明  
した第 1 実施例、及び図 4 1 を用いて説明した第 1 9 実施例と同一  
構成については同一符号を附してその説明を省略するものとする。

本実施例に係る製造方法では、樹脂封止工程を実施する前に、第  
1 の分離工程を実施することにより基板 1 6 を個々の半導体素子 1  
25 1 2 に分離する。この個々の半導体素子 1 1 2 には、夫々バンプ 1  
2 及び電子回路(図示せず)が形成されている。

この第 1 の分離工程が終了すると、続いて樹脂封止工程が実施さ  
れる。この樹脂封止工程では、図 4 3 (A) に示されるように、第  
1 の分離工程において分離された半導体素子 1 1 2 をベース材とな

るフィルム部材 1 1 3 に整列させて搭載する。この際、半導体素子 1 1 2 は接着剤を用いてフィルム部材 1 1 3 に搭載される。また、図 4 3 (A) に示されるように、隣接する半導体素子 1 1 2 の間には間隙部 1 1 4 が形成されるよう整列される。

5 上記のようにフィルム部材 1 1 3 上に半導体素子 1 1 2 が搭載されると、樹脂の圧縮成形処理が行なわれ、各半導体素子 1 1 2 の表面には樹脂層 1 3 が形成されると共に、間隙部 1 1 4 には切断位置樹脂層 1 0 6 が形成される。続いて、バンプ 1 2 の少なくとも先端部を樹脂層 1 3 より露出させる突起電極露出工程が実施される。図 10 4 3 (B) は、以上の各処理が終了した状態を示している。

以上の処理が終了すると、続いて第 2 の分離工程が実施される。この第 2 の分離工程では、隣接する半導体素子 1 1 2 の間位置、即ち切断位置樹脂層 1 0 6 が形成されている位置で切断処理が行なわれ、フィルム部材 1 1 3 と共に切断位置樹脂層 1 0 6 は切断される。15 これにより、図 4 3 (C) に示されるように、樹脂層 1 3 が形成された半導体素子 1 1 2 は分離され、続いて図 4 3 (D) に示されるようにフィルム部材 1 1 3 が除去される。

上記した本実施例の製造方法では、第 1 の分離工程において予め基板 1 6 を切断することにより個々の半導体素子 1 1 2 に分離するため、樹脂封止工程において半導体素子 1 1 2 をフィルム部材 1 1 3 に搭載する際、異なる種類の半導体素子 1 1 2 をベース材に搭載20 することが可能となる。

よって、同一樹脂層 1 3 内に複数の半導体素子を配設する場合、異なる種類及び特性の半導体素子 1 1 2 を組み合わせて配設することが可能となり、設計の自由度を向上させることができる。尚、本25 実施例においても、図 4 1 を用いて説明した第 1 9 実施例の効果を得ることができることは勿論である。

続いて、本発明の第 2 2 実施例について説明する。

図 4 4 は、第 2 2 実施例に係る半導体装置の製造方法を説明する

ための図である。尚、図 4 4 において、図 4 3 を用いて説明した第 2 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。

5 本実施例に係る製造方法は、図 4 3 を用いて説明した第 2 1 実施例と略同一であるが、第 2 1 実施例では樹脂封止工程においてベース材としてフィルム部材 1 1 3 を用いたのに対し、本実施例では放熱板 1 1 5 をベース材として用いた点で差異を有するものである。

10 従って、樹脂封止工程においては、半導体素子 1 1 2 はこの放熱板 1 1 5 上に搭載され、また第 2 の分離工程では放熱板 1 1 5 は切断位置樹脂層 1 0 6 と共に切断される。しかるに、第 2 1 実施例では第 2 の分離工程の終了後にフィルム部材 1 1 3 を除去するが、本実施例においては第 2 の分離工程が終了した後に放熱板 1 1 5 を除去する処理は行なわない構成とした。これにより、製造される半導体装置には放熱板 1 1 5 が残存する構成となり、よって半導体装置  
15 の放熱特性を向上させることができる。

続いて、本発明の第 2 3 実施例について説明する。

図 4 5 及び図 4 6 は、第 2 3 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 4 5 及び図 4 6 において、図 1 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。  
20

本実施例に係る製造方法では、少なくとも樹脂封止工程の実施後で、かつ分離工程を実施する前に、図 4 6 に示されるように、樹脂層 1 3 に位置決め溝 1 2 0 を形成することを特徴とするものである。

25 このように、樹脂層 1 3 に位置決め溝 1 2 0 を形成することにより、例えば製造された半導体装置 1 0 F に対し試験処理を行なう際、この位置決め溝 1 2 0 を基準として試験装置に装着することができる。また、分離工程を実施する前に位置決め溝 1 2 0 を形成することにより、複数の半導体装置 1 0 F に対して一括的に位置決め溝 1 2 0 を形成することができ、位置決め溝 1 2 0 の形成効率を向上さ



せることができる。

この位置決め溝 1 2 0 を形成するには、例えば図 4 5 に示されるように、ダイサー 2 9 を用いて樹脂層 1 3 にハーフスクライプを行なうことにより形成することができる。このように、ハーフスクライプを行なうことにより位置決め溝 1 2 0 を形成することにより、分離工程で一般的に使用するスクライビング技術を用いて位置決め溝 1 2 0 を形成できるため、容易かつ精度よく位置決め溝を形成することができる。

続いて、本発明の第 2 4 実施例について説明する。

図 4 7 は、第 2 4 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 4 7 において、図 1 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。

本実施例に係る製造方法では、少なくとも樹脂封止工程の実施後で、かつ分離工程を実施する前に、図 4 7 に示されるように、基板 1 6 の背面に位置決め溝 1 2 1 を形成することを特徴とするものである。尚、図 4 7 (B) は図 4 7 (A) の部分拡大図である。

このように、基板 1 6 の背面に位置決め溝 1 2 1 を形成することにより、第 2 3 実施例と同様に位置決め溝 1 2 1 を基準として半導体装置の位置決めを行なうことができる。特に、半導体装置を実装する時における位置決めは、バンプ 1 2 が実装基板側に向いているため、樹脂層 1 3 に位置決め溝 1 2 0 を形成しても、これを上部から認識することはできない。

しかるに、本実施例のように基板 1 6 の背面に位置決め溝 1 2 1 を形成しておくことにより、半導体装置の実装時においても位置決め溝 1 2 1 を認識することができ、精度の高い実装処理を行なうことが可能となる。尚、位置決め溝 1 2 1 の形成は、第 2 3 実施例と同様にダイサー 2 9 を用いて基板 1 6 の背面にハーフスクライプを行なうことにより形成することができる。

続いて、本発明の第 2 5 実施例及び第 2 6 実施例について説明する。

図 4 8 は第 2 5 実施例に係る半導体装置の製造方法を説明するための図であり、また図 4 9 は第 2 6 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 4 8 及び図 4 9 において、  
5 図 1 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。

第 2 5 実施例に係る製造方法は、前記した第 2 3 及び第 2 4 実施例と同様に、位置決め溝 1 2 2 を形成する点に特徴を有する。図 4  
10 8 (C) は、本実施例により樹脂層 1 3 に形成された位置決め溝 1 2 2 を示している。

位置決め溝 1 2 2 を形成するには、先ず図 4 8 (A) に示されるように、脂封止工程でフィルム 3 0 C としてバンプ 1 2 と干渉しない位置に凸部 3 1 が形成されたものを用いる。図 4 8 (B) は、樹脂封止工程において、凸部 3 1 を有するフィルム 3 0 C が基板 1 6  
15 と対向配置された状態を示している。同図に示されるように、凸部 3 1 はバンプ 1 2 と対向しない位置に位置している。従って、樹脂封止工程の終了後、この凸部 3 1 により樹脂層 1 3 には位置決め溝 1 2 2 が形成される。

一方、第 2 6 実施例に係る製造方法は、樹脂層 1 3 に位置決め突起 1 2 3 を形成する点に特徴を有する。図 4 9 (C) は、本実施例により樹脂層 1 3 に形成された位置決め突起 1 2 3 を示している。  
20

位置決め突起 1 2 3 を形成するには、先ず図 4 9 (A) に示されるように、脂封止工程でフィルム 3 0 C としてバンプ 1 2 と干渉しない位置に凹部 3 2 が形成されたものを用いる。図 4 9 (B) は、樹脂封止工程において、凹部 3 2 を有するフィルム 3 0 C が基板 1  
25 6 と対向配置された状態を示している。同図に示されるように、凹部 3 2 はバンプ 1 2 と対向しない位置に位置している。従って、樹脂封止工程の終了後、この凹部 3 2 により樹脂層 1 3 には位置決め

突起 1 2 3 が形成される。

5 上記した第 2 5 実施例及び第 2 6 実施例によれば、樹脂封止工程でバンプ 1 2 と干渉しない位置に凸部 3 1 または凹部 3 2 が形成されたフィルム 3 0 C を用いることにより、樹脂層 1 3 に位置決めの基準となる位置決め溝 1 2 2 或いは位置決め突起 1 2 3 を形成することができる。よって、例えば半導体装置に対し試験或いは実装処理を行なう際、この位置決め溝 1 2 2 或いは位置決め突起 1 2 3 基準として位置決め処理を行なうことが可能となり、位置決め処理の簡単化を図ることができる。

10 続いて、本発明の第 2 7 実施例について説明する。

図 5 0 は、第 2 7 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 5 0 において、図 1 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。

15 本実施例に係る製造方法では、複数配設されるバンプ 1 2 の内、位置決めの基準となるバンプ 1 2 (以下、このバンプ 1 2 を位置決め用バンプ 1 2 B という) を設定しておき、樹脂封止工程の終了後、この位置決め用バンプ 1 2 B の形成位置における樹脂層 1 3 を加工することにより、通常バンプ 1 2 と位置決め用バンプ 1 2 B とを識別しうるようにしたことを特徴とするものである。尚、位置決め用バンプ 1 2 B 自体の構成は、通常バンプ 1 2 と同一構成である。

20 図 5 0 (A) は、樹脂封止工程及び突起電極露出工程が終了した状態の基板 1 6 を示している。この状態では、樹脂層 1 3 は基板 1 6 上に均一の膜厚で形成されており、よってバンプ 1 2 と位置決め用バンプ 1 2 B とを識別することはできない。

25 そこで本実施例では、図 5 0 (B) に示されるように、位置決め用バンプ 1 2 B の近傍位置における樹脂層 1 3 の膜厚を薄くする加工を行なった。これにより、通常バンプ 1 2 と位置決め用バンプ 1 2 B とを識別することが可能となる。また、位置決め用バンプ 1

2 Bを識別化するための樹脂加工は、例えば前記した突起電極露出工程で用いるエキシマレーザ、エッチング、機械研磨或いはブラスト等を利用することができ、よって樹脂加工を行なうことにより半導体装置の製造設備が大きく変更されるようなことはない。

5       ここで、バンプ12と位置決め用バンプ12Bとを識別する方法について説明する。図50(C)は位置決め用バンプ12Bを拡大して示す図であり、また図50(D)は位置決め用バンプ12Bを上部から見た図である。一方、図51(A)は、通常のバンプ12を拡大して示す図であり、また図51(B)は通常のバンプ12を上部から見た図である。

10       前記したように、位置決め用バンプ12Bは通常のバンプ12と同一構成であるため、各バンプ12、12Bの構成のみでは識別を行なうことはできない。しかるに、各バンプ12、12Bは球状或いはラグビーボール状の形状を有しているため、樹脂層13に埋設されている深さによって上部から見た径寸法が変化する。

15       即ち、通常のバンプ12は樹脂層13に深く埋設され露出している面積が小さいため、図51(B)に示されるように上部から見た径寸法L2は小さくなる。これに対し、位置決め用バンプ12Bは上記した樹脂加工を行なうことにより樹脂層13から大きく露出されており、従って図50(D)に示されるように上部から見た径寸法L1は大きくなっている( $L1 > L2$ )。

20       よって、上部から見た各バンプ12、12Bの径寸法を検出することにより、通常のバンプ12と位置決め用バンプ12Bとを識別することができる。これにより、位置決め用バンプ12Bを基準として半導体装置の位置決め処理を行なうことが可能となる。

25       続いて、上記した各実施例により製造される半導体装置の実装方法について説明する。

      図52は第1実施例である実装方法を示している。図52(A)は、前記した第1実施例に係る製造方法により製造された半導体装

置 1 0 の実装方法を示しており、はんだペースト等の接合材 1 2 5 を用いて bumps 1 2 を実装基板 1 4 に接合する構造としている。また、図 5 2 (B) は、前記した第 1 4 実施例に係る製造方法により製造された半導体装置 1 0 G の実装方法を示しており、はんだペースト等の接合材 1 2 5 を用いてストレート bumps 1 8 を実装基板 1 4 に接合する構造としている。更に、図 5 2 (C) は、前記した第 1 5 実施例に係る製造方法により製造された半導体装置 1 0 H の実装方法を示しており、bumps 1 2 の先端部に配設された外部接続用 bumps 9 0 により実装基板 1 4 に接合する構造としている。

図 5 3 は第 2 実施例である実装方法を示している。同図に示される実装方法は、半導体装置 1 0 を実装基板 1 4 に実装した後、アンダーフィルレジン 1 2 6 を配設したことを特徴とするものである。

図 5 3 (A) は半導体装置 1 0 に形成された bumps 1 2 を直接実装基板 1 4 に接合した後にアンダーフィルレジン 1 2 6 を配設した構成であり、また図 5 3 (B) は bumps 1 2 を接合材 1 2 5 を介して実装基板 1 4 に接合した後にアンダーフィルレジン 1 2 6 を配設した構成である。

前記したように、前記した各実施例により製造される半導体装置 1 0, 1 0 A ~ 1 0 H は、基板 1 6 の表面に樹脂層 1 3, 1 3 A, 1 3 B が形成されているため、基板 1 6 の保護はこの樹脂層 1 3, 1 3 A, 1 3 B により確実に行なわれている。

しかるに、bumps 1 2, 1 8, 9 0 が実装基板 1 4 と接合される部位において、各 bumps 1 2, 1 8, 9 0 は露出しており酸化するおそれがある。また、実装基板 1 4 と基板 1 6 の熱膨張率に大きな差異がある場合には、各 bumps 1 2, 1 8, 9 0 と実装基板 1 4 との接合位置に大きな応力が印加されるおそれがある。よって、上記した接合位置に発生する酸化防止及び応力緩和のために、アンダーフィルレジン 1 2 6 を配設する構成としてもよい。

図 5 4 は第 3 実施例である実装方法を示している（外部接続用 bumps

ンプ 90 を有した半導体装置 10 H を例に挙げている)。本実施例に係る実装方法では、実装時に放熱フィン 127, 128 を半導体装置 10 H に配設したことを特徴とするものである。

5 図 54 (A) は、1 個の半導体装置 10 H に対し放熱フィン 127 を設けた構成であり、また図 54 (B) は複数 (図では 2 個) の半導体装置 10 H に対し放熱フィン 128 を設けた構成である。尚、半導体装置 10 H の実装基板 14 への実装手順は、放熱フィン 127, 128 に半導体装置 10 H を固定した上で実装基板 14 に実装しても、また半導体装置 10 H を実装基板 14 に実装した後に放熱  
10 フィン 127, 128 を固定することとしてもよい。

図 55 は第 4 実施例である実装方法を示している。本実施例では複数の半導体装置 10 をインターポーザ基板 130 を用いて実装基板 14 に実装する方法を採用している。半導体装置 10 はバンプ 12 によりインターポーザ基板 130 に接合されており、また各インター  
15 ターポーザ基板 130 は基板接合用バンプ 129 により夫々電氣的に接続された構成とされている。このため、インターポーザ基板 130 は、その上面及び下面に夫々接続電極 130 a, 130 b が形成されており、この各接続電極 130 a, 130 b は内部配線 130 c により接続された構成とされている。

20 本実施例の実装方法によれば、半導体装置 10 を複数個積層状態で配設することができるため、実装基板 14 の単位面積における半導体装置 10 の実装密度を向上させることができる。特に、本実施例の構成は、半導体装置 10 がメモリである場合に有効である。

25 図 56 は第 5 実施例である実装方法を示している。本実施例では、先に図 26 を用いて説明した第 2 実施例に係る半導体装置 10 A をインターポーザ基板 131 に搭載した上で、このインターポーザ基板 131 を実装基板 14 に実装する方法を示している。本実施例で用いているインターポーザ基板 131 は多層配線基板であり、その上面に半導体装置 10 A が接続される上部電極が形成されると共に、

下面には実装基板 1 4 と接合するための実装用バンプ 1 3 6 が配設されている。

5 また、図 5 7 は第 6 実施例である実装方法を示している。本実施例では、第 2 実施例に係る半導体装置 1 0 A を第 1 のインターポーザ基板 1 3 1 に搭載し、これを更に他の電子部品 1 3 5 と共に第 2 のインターポーザ基板 1 3 2 に搭載した上で、この第 2 のインターポーザ基板 1 3 2 を実装基板 1 4 に実装する方法を示している。第 2 のインターポーザ基板 1 3 2 も多層配線基板であり、その上面に第 1 のインターポーザ基板 1 3 1 及び電子部品 1 3 5 が接続される上部電極が形成されると共に、下面には実装基板 1 4 と接合するための実装用バンプ 1 3 7 が配設されている。

更に、図 5 8 は第 7 実施例である実装方法を示している。図 5 7 に示した第 6 実施例である実装方法では、第 2 のインターポーザ基板 1 3 2 の上面のみに半導体装置 1 0 A が搭載された第 1 のインターポーザ基板 1 3 1 及び電子部品 1 3 5 を配設し、下面には実装用バンプ 1 3 7 を配設した構成とされていた。

これに対し、本実施例では第 2 のインターポーザ基板 1 3 3 の上面及び下面の双方に半導体装置 1 0 A が搭載された第 1 のインターポーザ基板 1 3 1 及び電子部品 1 3 5 を配設したものである。尚、外部との電氣的な接続は、第 2 のインターポーザ基板 1 3 3 の側端部（図中、左端部）に形成されたカードエッジコネクタ 1 3 8 により行なう構成とされている。

図 5 5 乃至図 5 8 を用いて説明した各実装方法では、半導体装置 1 0、1 0 A と実装基板 1 4（或いはカードエッジコネクタ 1 3 8 が接続されるコネクタ）との間にインターポーザ基板 1 3 1～1 3 3 が介在する構成となる。このインターポーザ基板 1 3 1～1 3 3 は多層配線基板であるため、基板内における配線の引回しを容易かつ自由度を持って行なうことができ、半導体装置 1 0、1 0 A のバンプ 1 2（外部接続用バンプ 9 0）と実装基板 1 4（或いはコネク

タ) 側の電極との整合性を容易に図ることができる。

続いて、本発明の第 28 実施例である半導体装置の製造方法、及び本発明の第 4 実施例である半導体装置について説明する。

5 5 先ず、図 63 を用いて本発明の第 4 実施例である半導体装置 10 J について説明する。尚、図 63 において、図 9 を用いて説明した第 1 実施例に係る半導体装置 10 と同一構成については同一符号を附してその説明を省略するものとする。本実施例に係る半導体装置 10 J は、大略すると基板 16 (半導体素子)、樹脂層 13、及び外部接続電極 140 等により構成されている。基板 16 は半導体素子として機能するものであり、その表面には電子回路と共に外部端子と電氣的に接続される外部接続電極 140 が形成されている。また、樹脂層 13 は基板 16 の表面を覆うように形成されており、よって外部接続電極 140 も樹脂層 13 に封止された構成となっている。

15 しかるに、本実施例に係る半導体装置 10 J は、この外部接続電極 140 が基板 16 と樹脂層 13 との界面において外部接続電極 140 が側方に向け露出した構成とされていることを特徴としている。即ち、半導体装置 10 J は bumps を有しておらず、bumps の代わりに半導体装置 10 J の側部において露出した外部接続電極 140 により実装基板等と電氣的に接続される構成とされている。

20 25 このように、本実施例に係る半導体装置 10 J は bumps を形成することなく外部接続電極 140 を用いて半導体装置 10 J を実装することが可能となるため、半導体装置 10 J の構成及び製造工程の簡単化を図ることができ、コスト低減及び製造効率の向上を図ることができる。また、外部接続電極 140 は半導体装置 10 J の側部に露出した構成であるため、後に詳述するように半導体装置 10 J を実装基板 14 に対し立設した状態で実装することが可能となる。

続いて、本発明の第 28 実施例である半導体装置の製造方法について説明する。第 28 実施例に係る製造方法は、図 63 に示した半



導体装置 10 J を製造する方法である。

本実施例に係る半導体装置の製造方法では、バンプ形成工程は実施せず、半導体素子形成工程を実施した後に直ちに樹脂封止工程が実施される。半導体素子形成工程においては、基板 16 の表面に所定の電子回路が形成されると共に、先に図 40 を用いて説明したように引出し配線 96 及び接続電極 98 等が形成される。そして、この半導体素子形成工程において、接続電極 98 の上部に外部接続電極 140 が形成される。

図 59 は、半導体素子形成工程が終了した状態の基板 16 を示している。同図に示されるように、本実施例では外部接続電極 140 の形成位置は、1 個の半導体素子に相当する矩形領域（図中、実線で囲まれた領域）の一辺にまとめて配設されている。

上記の基板形成工程が終了すると、続いて樹脂封止工程が実施される。この樹脂封止工程において、基板 16 は金型に装着されて樹脂層 13 の圧縮成形が行なわれる。尚、樹脂封止工程は前記した第 1 実施例と同じ処理を行なうため、その説明は省略する。

樹脂封止工程が終了することにより、基板 16 の全面に樹脂層 13 が形成される。よって、基板形成工程において形成された引出し配線 96 及び接続電極 98 等も樹脂層 13 に封止された構成となる。このように樹脂封止工程が終了すると、本実施例ではバンプが形成されていないため、突起電極露出工程を行なうことなく分離工程が実施される。

本実施例では、この分離工程において外部接続電極 140 が形成された位置で基板 16 を切断することを特徴とするものである。図 59 において、破線で示す位置が基板 16 の切断位置である。この切断位置で基板 16 を樹脂層 13 と共に切断することにより、外部接続電極 140 はその一部が切断され、よって外部接続電極 140 が基板 16 と樹脂層 13 との界面において外部接続電極 140 が側方に向け露出した構成の半導体装置 10 J が製造される。

上記したように、本実施例に係る製造方法によれば、前記した各実施例で必要とされたバンプ形成工程及び突起電極露出工程が不要となり、また単に樹脂層 1 3 が形成された基板 1 6 を外部接続電極 1 4 0 が形成された位置で切断するのみでこの外部接続電極 1 4 0 を樹脂層 1 3 から外部に露出させることができ、容易に半導体装置 1 0 J を製造することができる。

続いて、本発明の第 2 9 実施例である半導体装置の製造方法について図 6 0 乃至図 6 2 を用いて説明する。第 2 9 実施例に係る製造方法も、図 6 3 に示した半導体装置 1 0 J を製造する方法である。尚、図 6 0 乃至図 6 2 において、図 5 9 で示した構成と同一構成については同一符号を付してその説明を省略する。

前記したように、図 5 9 を用いて説明した第 2 8 実施例に係る製造方法では、容易に半導体装置 1 0 J を製造することができる。しかるに、第 2 8 実施例に係る製造方法では、分離工程において図 5 9 に破線で示す位置と、実線で示す位置との 2 箇所において切断処理を行わなければならない、また図中矢印 W で示す部分は不要部分となっていた（この不要部分は捨てられていた）。よって、第 2 8 実施例に係る製造方法では、分離工程における切断効率が悪く、また基板 1 6 の有効利用という面においても不利であった。

これに対し、本実施例では先に説明した第 2 8 実施例に比べ分離工程の簡略化及び基板 1 6 の有効利用を図ったものである。以下、本実施例に係る製造方法について説明する。

図 6 0 は、本実施例において半導体素子形成工程が終了した状態の基板 1 6 を示している。図 6 0 (A) は基板 1 6 の全体を示す図であり、また図 6 0 (B) は基板 1 6 に形成された複数の半導体素子の内、図 6 0 (A) に符号 1 1 a, 1 1 b で示す半導体素子を拡大して示している。

図 6 0 (B) に示されるように、本実施例においても外部接続電極 1 4 0 の形成位置は、矩形状とされた半導体素子 1 1 a, 1 1 b

の一辺にまとめて配設されているが、本実施例では外部接続電極 140 が隣接する半導体素子 11a, 11b 間で共有化されていることを特徴としている。

5 上記の基板形成工程が終了すると、続いて樹脂封止工程が実施され、図 61 に示されるように基板 16 の表面に樹脂層 13 が形成される。よって、基板形成工程において形成された引出し配線 96 及び接続電極 98 等も樹脂層 13 に封止された構成となる。

樹脂封止工程が終了すると、続いて分離工程が実施され、外部接続電極 140 が形成された位置で基板 16 を切断する。図 61 (10 B) において、破線で示す位置が基板 16 の切断位置である。

この切断位置で基板 16 を樹脂層 13 と共に切断することにより外部接続電極 140 はその略中央位置で切断され、図 62 に示されるように、外部接続電極 140 が基板 16 と樹脂層 13 との界面において外部接続電極 140 が側方に向け露出した構成の半導体装置 15 10J が製造される。

この際、前記したように本実施例においては、隣接する半導体素子 11a, 11b 間で外部接続電極 140 が共有化されている。このため、1 回の切断処理を行なうことにより隣接する 2 個の半導体素子 11a, 11b において夫々外部接続電極 140 を外部に露出 20 することができる。

よって、半導体装置 10J の製造効率を高めることができ、また本実施例の製造方法によれば図 59 に矢印 W で示した不要部分が発生することはない、基板 16 の効率的な利用を図ることができる。

25 続いて、本発明の第 8 乃至第 11 実施例である半導体装置の実装方法について説明する。尚、第 8 乃至第 11 実施例に係る半導体装置の実装方法は、図 63 に示した半導体装置 10J を実装基板 14 に実装する方法である。

図 64 は、本発明の第 8 実施例である半導体装置 10J の実装方法を示している。本実施例に係る実装方法は、単一の半導体装置 1

0 Jを実装基板 1 4 に実装するものである。

前記したように、半導体装置 1 0 Jはその側部に外部接続電極 1 4 0 が露出した構成である。このため、この外部接続電極 1 4 0 が露出した側面 1 4 1 を実装基板 1 4 と対向するよう実装することにより、半導体装置 1 0 Jを実装基板 1 4 に対し立設した状態で実装することが可能となる。

図 6 4 (A) に示す例では、はんだペースト等の接合材 1 4 2 を用いて外部接続電極 1 4 0 と実装基板 1 4 とを接合し、これにより半導体装置 1 0 Jを実装基板 1 4 に対し立設した状態で実装したものである。また、図 6 4 (B) に示す例では、外部接続電極 1 4 0 に予め外部接続用バンプ 1 4 3 を配設しておき、この外部接続用バンプ 1 4 3 を実装基板 1 4 に接合することにより、半導体装置 1 0 Jを実装基板 1 4 に対し立設した状態で実装したものである。

上記のように、半導体装置 1 0 Jを実装基板 1 4 に対し立設状態で実装することにより、半導体装置 1 0 Jを寝せた状態で実装基板 1 4 に実装する構成に比べ半導体装置 1 0 Jの実装面積を小さくすることができ、よって半導体装置 1 0 Jの実装密度を向上させることができる。

図 6 5 及び図 6 6 は、本発明の第 9 及び第 1 0 実施例である半導体装置 1 0 Jの実装方法を示している。各実施例に係る実装方法は、複数（本実施例では 4 個）の半導体装置 1 0 Jを実装基板 1 4 に実装するものである。

図 6 5 に示される第 9 実施例では、半導体装置 1 0 Jを複数個立設させると共にこれを並列状態に実装し、かつ隣接する半導体装置 1 0 Jを接着剤 1 4 4 により接合することを特徴とするものである。この隣接する半導体装置 1 0 J間の接着は、本実施例においては実装基板 1 4 に接合する前に行なう構成としているが、半導体装置 1 0 Jを実装基板 1 4 に接合する際に合わせて半導体装置 1 0 J間の接着処理を行なう構成としてもよい。

また、半導体装置 10 J と実装基板 14 との接合は、図 6 4 ( B ) と同様に、外部接続電極 140 に予め外部接続用バンプ 143 を配設しておき、この外部接続用バンプ 143 を実装基板 14 に接合することにより実装する方法を用いている。しかるに、半導体装置 10 J と実装基板 14 の接合は、図 6 4 ( A ) に示した接合材 142 を用いる方法を採用してもよい。

一方、図 6 6 に示される第 10 実施例では、半導体装置 10 J を複数個立設させると共にこれを並列状態に実装し、かつ隣接する半導体装置 10 J を支持部材 145 を用いて立設状態に支持することを特徴とするものである。また、本実施例における半導体装置 10 J と実装基板 14 との接合は、第 9 実施例に係る実装方法と同様に、外部接続用バンプ 143 を用いる方法を採用している。

支持部材 145 は放熱性の良好な金属により構成されており、隣接する半導体装置 10 J を隔離する隔壁 146 が形成されている。各半導体装置 10 J は一対の隔壁 146 間に接着剤を用いて接着され、これにより半導体装置 10 J は支持部材 145 に固定される。

尚、半導体装置 10 J を支持部材 145 に固定する手段は接着に限定されるものではなく、例えば接着剤を用いることなく一対の隔壁 146 が半導体装置 10 J を挟持することにより固定する構成としてもよい。

上記した第 9 及び第 10 実施例に係る半導体装置 10 J の実装方法によれば、複数の半導体装置 10 J をユニット化して扱うことが可能となる。よって実装時において複数の半導体装置 10 J を一括的にユニット単位で実装基板 14 に実装処理を行なうことが可能となり、これにより半導体装置 10 J の実装効率を向上させることができる。

図 6 7 は、本発明の第 11 実施例である半導体装置 10 J の実装方法を示している。本実施例に係る実装方法では、複数（本実施例では 4 個）の半導体装置 10 J をインターポーザ基板 147 を介し

て実装基板 1 4 に実装することを特徴とするものである。

本実施例では、先に図 6 5 を用いて説明した第 9 実施例に係る実装方法を適用した複数の半導体装置 1 0 J をインターポーザ基板 1 4 7 に搭載した上で、このインターポーザ基板 1 4 7 を実装基板 1 4 に実装する方法を示している。本実施例で用いているインターポーザ基板 1 4 7 は多層配線基板であり、その上面に各半導体装置 1 0 J が接続される上部電極 1 4 8 が形成されると共に、下面に形成された下部電極 1 4 9 は実装基板 1 4 と接合するための実装用バンプ 1 3 6 が配設されている。また、上部電極 1 4 8 と下部電極 1 4 9 は、インターポーザ基板 1 4 7 の内部に形成された内部配線 1 5 0 により接続されている。

本実施例に係る実装方法によれば、半導体装置 1 0 J と実装基板 1 4 との間にインターポーザ基板 1 4 7 が介在する構成となるため、半導体装置 1 0 J を実装基板 1 4 に実装する自由度を向上させることができる。

続いて、前記してきた各半導体装置 1 0, 1 0 A ~ 1 0 J と異なる他の半導体装置 1 6 0 の構成及びその製造方法について説明する。図 6 8 及び図 6 9 は半導体装置 1 6 0 の製造方法を説明するための図であり、また図 7 0 は半導体装置 1 6 0 の構成を示す図である。

図 7 0 に示されるように、半導体装置 1 6 0 は大略すると、複数の半導体素子 1 6 1, インターポーザ基板 1 6 2, 外部接続用バンプ 1 6 3, 及び樹脂層 1 6 4 等により構成されている。

複数の半導体素子 1 6 1 は、電子部品 1 6 5 と共にインターポーザ基板 1 6 2 の上面に搭載されている。インターポーザ基板 1 6 2 の上面には上部電極 1 6 6 が形成されており、この上部電極 1 6 6 と半導体素子 1 6 1 とはワイヤ 1 6 8 を用いて接続されている。

また、インターポーザ基板 1 6 2 の下面には下部電極 1 6 7 が形成されており、この下部電極 1 6 7 には外部接続用バンプ 1 6 3 が

接続されている。このインターポーザ基板 1 6 2 にはスルーホール 1 6 9 が形成されており、このスルーホール 1 6 9 により上部電極 1 6 6 と下部電極 1 6 7 は電氣的に接続されている。これにより、半導体素子 1 6 1 と外部接続用バンプ 1 6 3 は電氣的に接続された構成となる。更に、樹脂層 1 6 4 は上記した圧縮成形技術を用いて形成されており、インターポーザ基板 1 6 2 の上面を覆うように形成されている。

このように、半導体素子 1 6 1 をワイヤ 1 6 8 を用いて外部（インターポーザ基板 1 6 2）に電氣的に接続する構成の半導体装置 1 6 0 においても、圧縮成形技術を用いて樹脂層 1 6 4 を形成することは可能である。

一方、上記構成とされた半導体装置 1 6 0 を製造するには、図 6 8 に示すように、先ずインターポーザ基板 1 6 2 の上面に半導体素子 1 6 1 を接着剤を用いて搭載する。この時必要があれば、付設する電子部品 1 6 5 も合わせて搭載する。続いて、インターポーザ基板 1 6 2 の上面に形成されている上部電極 1 6 6 と半導体素子 1 6 1 の上部に形成されているパッドとの間にワイヤボンディングを実施してワイヤ 1 6 8 を配設する。次に、インターポーザ基板 1 6 2 の下面に形成された下部電極 1 6 7 に、例えば転写法等を用いて外部接続用バンプ 1 6 3 を配設する。

上記のようにインターポーザ基板 1 6 2 に半導体素子 1 6 1， 外部接続用バンプ 1 6 3， 及びワイヤ 1 6 8 が配設されると、このインターポーザ基板 1 6 2 は樹脂封止用の金型に装着され、圧縮成形法を用いてインターポーザ基板 1 6 2 の表面に樹脂層 1 6 4 が形成される。図 6 9 は、表面に樹脂層 1 6 4 が形成されたインターポーザ基板 1 6 2 を示している。続いて、このインターポーザ基板 1 6 2 を図 6 9 に破線で示される所定切断位置で切断することにより、図 7 0 に示される半導体装置 1 6 0 が形成される。

また、図 7 1 乃至図 7 5 も前記してきた各半導体装置 1 0， 1

0 A ~ 1 0 J と異なる他の半導体装置 1 7 0, 1 7 0 A の構成及びその製造方法を説明するための図である。図 7 1 は半導体装置 1 7 0 の構成を説明するための図であり、図 7 2 及び図 7 3 は半導体装置 1 7 0 の製造方法を説明するための図である。また、図 7 4 は半導体装置 1 7 0 A の構成を説明するための図であり、図 7 5 は半導体装置 1 7 0 A の製造方法を説明するための図である。

半導体装置 1 7 0 は、大略すると半導体素子 1 7 1, 樹脂パッケージ 1 7 2, 及び金属膜 1 7 3 とからなる極めて簡単な構成とされている。半導体素子 1 7 1 は、その上面に複数の電極パッド 1 7 4 が形成されている。また、樹脂パッケージ 1 7 2 は、例えばエポキシ樹脂を前記した圧縮成形技術を用いて成形した構成とされている。この樹脂パッケージ 1 7 2 の実装面 1 7 5 には、樹脂突起 1 7 7 が一体的に形成されている。

また、金属膜 1 7 3 は、樹脂パッケージ 1 7 2 に形成された樹脂突起 1 7 7 を覆うように形成されている。この金属膜 1 7 3 と前記した電極パッド 1 7 4 との間にはワイヤ 1 7 8 が配設されており、このワイヤ 1 7 8 により金属膜 1 7 3 と半導体素子 1 7 1 は電氣的に接続した構成となっている。

上記構成とされた半導体装置 1 7 0 は、従来の S S O P のようなインナーリードやアウターリードが不要となり、インナーリードからアウターリードへの引き回しのための面積や、アウターリード自身の面積が不要となり、半導体装置 1 7 0 の小型化を図ることができる。

また、従来の B G A のような半田ボールを形成するために搭載基板を用いる必要がなくなるため、半導体装置 1 7 0 のコスト低減を図ることができる。更に、樹脂突起 1 7 7 及び金属膜 1 7 3 は、協働して B G A タイプの半導体装置の半田バンプと同等の機能を奏するため、実装性を向上することができる。

次に、半導体装置 1 7 0 の製造方法について図 7 2 及び図 7 3 を



用いて説明する。半導体装置 1 7 を製造するには、図 7 2 に示されるリードフレーム 1 8 0 を用意する。このリードフレーム 1 8 0 は、例えば銅 (C u) により形成されており、前記した樹脂突起 1 7 7 の形成位置に対応する位置に、樹脂突起 1 7 7 の形状に対応した凹部 1 8 1 が形成されている。更に、この凹部 1 8 1 の表面には、金属膜 1 7 3 が形成されている。

上記構成とされたリードフレーム 1 8 0 には、先ず半導体素子 1 7 1 が搭載される。半導体素子 1 7 1 がリードフレーム 1 8 0 に搭載される、続いてリードフレーム 1 8 0 はワイヤボンディング装置に装着され、半導体素子 1 7 1 に形成された電極パッド 1 7 4 と、リードフレーム 1 8 0 に形成されている金属膜 1 7 3 との間にワイヤ 1 7 8 が配設される。これにより、半導体素子 1 7 1 と金属膜 1 7 3 は電氣的に接続された構成となる。図 7 2 は、以上の説明した処理が終了した状態を示している。

上記したワイヤ 1 7 8 の配設処理が終了すると、続いてリードフレーム 1 8 0 上に半導体素子 1 7 1 を封止するよう樹脂パッケージ 1 7 2 を形成する。本実施例では、樹脂パッケージ 1 7 2 を圧縮成形により形成している。図 7 3 は、樹脂パッケージ 1 7 2 が形成されたリードフレーム 1 8 0 を示している。

上記した樹脂パッケージ 1 7 2 の形成処理が終了すると、図 7 3 に破線で示す位置で切断処理が行なわれると共に、樹脂パッケージ 1 7 2 をリードフレーム 1 8 0 から分離され半導体装置 1 7 0 を形成する分離工程が実施される。この分離工程は、リードフレーム 1 8 0 をエッチング液に浸漬させて溶解することにより行なわれる。この分離工程で用いられるエッチング液は、リードフレーム 1 8 0 のみを溶解し、金属膜 1 7 3 は溶解しない性質を有するエッチング液を選定している。

従って、リードフレーム 1 8 0 が完全に溶解されることにより、樹脂パッケージ 1 7 2 はリードフレーム 1 8 0 から分離される。こ

の際、金属膜 173 は樹脂突起 177 に配設された状態となるため、  
図 71 に示す半導体装置 170 が形成される。このように、リード  
フレーム 180 を溶解することにより樹脂パッケージ 172 をリー  
ドフレーム 180 から分離する方法を用いることにより、リードフ  
5 レーム 180 からの樹脂パッケージ 172 の分離処理を確実にかつ容  
易に行うことができ、歩留りを向上することができる。

一方、図 74 に示される半導体装置 170A は、一つの樹脂パッ  
ッケージ 172 内に複数の半導体素子 171 を配設した構成としたも  
のである。このように、一つの樹脂パッケージ 172 内に複数の半  
10 導体素子 171 を配設することにより、半導体装置 170A の多機  
能化を図ることができる。尚、この半導体装置 170A の製造方法  
は、図 72 及び図 73 を用いて説明した製造方法と略同一であり、  
図 75 (B) で示す切断箇所が異なる程度の差異である。このため、  
半導体装置 170A の製造方法に関する詳細説明は省略するものと  
15 する。

図 78 乃至図 80 は本発明の第 30 実施例である半導体装置及び  
その製造方法を示している。先ず、図 78 を用いて本発明の第 30  
実施例である半導体装置 210 について説明する。尚、以下説明す  
る各実施例においては、T-BGA (Tape-Ball Grid Array) 構造の  
20 半導体装置を例に挙げて本発明を説明するが、他の BGA 構造の半  
導体装置においても本発明を適用することができる。

半導体装置 210 は、大略すると半導体素子 211、配線基板 2  
12、枠体 213、突起電極 214、及び封止樹脂 215 等により  
構成されている。

25 半導体素子 211 はいわゆるベアチップであり、その下面には複  
数のバンプ電極 216 が形成されている。この半導体素子 211 は、  
フリップチップボンディングされることにより配線基板 212 に電  
氣的にまた機械的に接続されている。

配線基板 212 は、ベースフィルム 217 (可撓性基材)、リー

ド 2 1 8 及び絶縁膜 2 1 9 (ソルダーレジスト) 等により構成されている。ベースフィルム 2 1 7 は例えばポリイミド等の可撓性を有した絶縁性フィルムであり、このベースフィルム 2 1 7 には例えば銅箔等の導電性金属膜により所定パターンのリード 2 1 8 が形成されている。

また、ベースフィルム 2 1 7 はリード 2 1 8 及び絶縁膜 2 1 9 に比べてその厚さが大であり、また機械的強度も高く設定されている。よって、リード 2 1 8 及び絶縁膜 2 1 9 はベースフィルム 2 1 7 に保持された構成とされている。また、上記のようにベースフィルム 2 1 7 は可撓性を有しており、かつリード 2 1 8 及び絶縁膜 2 1 9 は膜厚が薄いため、配線基板 2 1 2 は折り曲げ可能な構成とされている。更に、このベースフィルム 2 1 7 の略中央位置には、半導体素子 2 1 1 を装着するための装着孔 2 1 7 a が形成されている。

一方、リード 2 1 8 は半導体素子 2 1 1 に配設されたバンプ電極 2 1 6 の数に対応して複数個形成されており、インナーリード部 2 2 0 及びアウターリード部 2 2 1 を一体的に形成した構成とされている。インナーリード部 2 2 0 はリード 2 1 8 の内側に位置する部分であり、半導体素子 2 1 1 のバンプ電極 2 1 6 が接合される部位である。また、アウターリード部 2 2 1 はインナーリード部 2 2 0 に対し外周に位置する部分であり、突起電極 2 1 4 が接続される部位である。

また、絶縁膜 2 1 9 はポリイミド等の絶縁性の樹脂膜であり、突起電極 2 1 4 の形成位置には接続孔 2 1 9 a が形成されている。この接続孔を介してリード 2 1 8 と突起電極 2 1 4 とは電氣的に接続される構成とされている。この絶縁膜 2 1 9 によりリード 2 1 8 は保護される構成となっている。

一方、枠体 2 1 3 は例えば銅或いはアルミニウム等の金属材料により形成されている。この枠体 2 1 3 の中央部には、前記したベースフィルム 2 1 7 に形成された装着孔 2 1 7 a と対向するよう構成

されたキャビティ 2 2 3 が形成されている。本実施例においては、キャビティ 2 2 3 は枠体 2 1 3 を上下に貫通した穴として構成されている。また、この枠体 2 1 3 は平面視した状態で矩形状とされており、従ってキャビティ 2 2 3 が形成されることにより枠体 2 1 3  
5 は矩形枠状形状を有した構造となる。

前記した配線基板 2 1 2 は上記構成とされた枠体 2 1 3 の下面に接着剤 2 2 2 により接合され、これにより可撓性を有した配線基板 2 1 2 は枠体 2 1 3 に固定された構成となる。また、配線基板 2 1 2 が枠体 2 1 3 に配設された状態において、前記したリード 2 1 8  
10 のインナーリード部 2 2 0 はキャビティ 2 2 3 内に延出するよう構成されている。半導体素子 2 1 1 は、このキャビティ 2 2 3 内に延出したインナーリード部 2 2 0 にフリップチップ接合され、従って半導体素子 2 1 1 はキャビティ 2 2 3 内に位置した構成となる。

また、リード 2 1 8 のアウターリード部 2 2 1 は枠体 2 1 3 の下  
15 面側に位置するよう配設されており、このアウターリード部 2 2 1 には突起電極 2 1 4 が配設される。本実施例では、突起電極 2 1 4 として半田バンプを用いており、この突起電極 2 1 4 は半田ボールを絶縁膜 2 1 9 に形成された接続孔 2 1 9 a を介してアウターリード部 2 2 1 に接合することにより形成される。

20 この際、上記したように突起電極 2 1 4 が配設されるアウターリード部 2 2 1 は枠体 2 1 3 の下面側に位置しており、可撓性を有する配線基板 2 1 2 を用いてもアウターリード部 2 2 1 は枠体 2 1 3 により可撓変形が規制されている。よって、可撓性を有する配線基板 2 1 2 を用いても、配設される突起電極 2 1 4 の位置にバラツ  
25 キが発生するようなことはなく、実装性を向上させることができる。

また、半導体素子 2 1 1 が装着されたキャビティ 2 2 3 内には封止樹脂 2 1 5 が配設されている。この封止樹脂 2 1 5 は、後述するように圧縮成形法を用いて形成される。キャビティ 2 2 3 内に封止樹脂 2 1 5 を配設することにより、半導体素子 2 1 1、バンプ電極

216, 及びリード218のインナーリード部220は樹脂封止された構成となるため、半導体素子211及びリード218のインナーリード部220を確実に保護することができる。

5 続いて、上記構成とされた半導体装置210の製造方法（第30実施例に係る製造方法）について、図79を用いて説明する。

半導体装置210は、大略すると半導体素子211を形成する半導体素子形成工程、配線基板212を形成する配線基板形成工程、突起電極214を形成する突起電極形成工程、半導体素子211を配線基板212に搭載する素子搭載工程、封止樹脂215により半導体素子211等を樹脂封止する樹脂封止工程、各種信頼性試験を行なう試験工程等の種々の工程を実施することにより製造される。

この各工程の内、半導体素子形成工程、配線基板形成工程、突起電極形成工程、素子搭載工程、及び試験工程は、周知の技術を用いて実施されるものであり、本願発明の要部は樹脂封止工程以降にあるため、以下の説明では樹脂封止工程のみについて説明するものとする。

図79は樹脂封止工程の第30実施例を示している。

樹脂封止工程が開始されると、先ず図79に示されるように、半導体素子形成工程、配線基板形成工程、及び素子搭載工程等を経ることにより半導体素子211が搭載された配線基板212を半導体装置製造用金型224（以下、単に金型という）に装着する。

ここで、金型224の構造について説明する。金型224は、大略すると上型225と下型226とにより構成されている。この上型225及び下型226には、共に図示しないヒーターが内設されており、後述する成形前状態の封止樹脂（成形前の封止樹脂を特に符号227を附して示す）を加熱溶融しうる構成とされている。

上型225は、図示しない昇降装置により図中矢印Z1, Z2方向に昇降動作する構成とされている。また、上型225の下面はキャビティ面225aとされており、このキャビティ面225aは

平坦面とされている。従って、上型 2 2 5 の形状は極めて簡単な形状とされており、安価に上型 2 2 5 を製造することができる。

一方、下型 2 2 6 は第 1 の下型半体 2 2 8 と第 2 の下型半体 2 2 9 とによりなり、第 1 の下型半体 2 2 8 は第 2 の下型半体 2 2 9 の内部に配設された構成とされている。この第 1 及び第 2 の下型半体 2 2 8, 2 2 9 は、夫々図示しない昇降機構により矢印 Z 1, Z 2 方向に独立して移動可能な構成とされている。

また、本実施例では、第 1 の下型半体 2 2 8 の上面に形成されたキャビティ面 2 3 0 に樹脂フィルム 2 3 1 が配設され、この樹脂フィルム 2 3 1 の上部に封止樹脂 2 2 7 が載置されて樹脂封止処理が行なわれる。ここで用いる樹脂フィルム 2 3 1 は、例えばポリイミド、塩化ビニール、P C, P e t, 静分解性樹脂を用いることが可能であり、後述する樹脂成形時に印加される熱により劣化しない材料が選定されている。

樹脂封止工程では、先ず半導体素子 2 1 1 が搭載された配線基板 2 1 2 を金型 2 2 4 に装着する。具体的には、上型 2 2 5 と第 2 の下型半体 2 2 9 とを離間させ、両者の間に配線基板 2 1 2 を装着する。続いて、上型 2 2 5 と第 2 の下型半体 2 2 9 とが近接するよう移動させて、上型 2 2 5 と第 2 の下型半体 2 2 9 とにより配線基板 2 1 2 を挟持する。図 7 9 は、上型 2 2 5 と第 2 の下型半体 2 2 9 との間に配線基板 2 1 2 を挟持させることにより、配線基板 2 1 2 が金型 2 2 4 に装着された状態を示している。

また、第 1 の下型半体 2 2 8 上に載置された封止樹脂 2 2 7 は、例えばポリイミド、エポキシ (P P S, P E E K, P E S 及び耐熱性液晶樹脂等の熱可塑性樹脂) 等の樹脂であり、本実施例においては、この樹脂を円柱形状に成形した構成のものを用いている。また、封止樹脂 2 2 7 の載置位置は、配線基板 2 1 2 に搭載された半導体素子 2 1 1 と対向するように、第 1 の下型半体 2 2 8 の略中央位置に選定されている。

上記のように配線基板 2 1 2 が金型 2 2 4 に装着されると、続いて封止樹脂 2 2 7 のの圧縮形成処理が実施される。圧縮形成処理が開始されると、金型 2 2 4 による加熱により封止樹脂 2 2 7 が溶融しうる温度まで昇温したことを確認した上で、第 1 の下型半体 2 2 8 が Z 2 方向に上動される。

第 1 の下型半体 2 2 8 を Z 2 方向に上動することにより過熱され溶融した封止樹脂 2 2 7 も上動し、やがて封止樹脂 2 2 7 は配線基板 2 1 2 に至る。そして、更に第 1 の下型半体 2 2 8 が上動することにより封止樹脂 2 2 7 は圧縮され、インナーリード部 2 2 0 と半導体素子 2 1 1 との離間部分等よりキャビティ 2 2 3 内に封止樹脂 2 2 7 は進入する。

この際、上記のように封止樹脂 2 2 7 は第 1 の下型半体 2 2 8 に押圧されることにより圧縮されており、この圧縮率をもって封止樹脂 2 2 7 はキャビティ 2 2 3 内に進行する。上記樹脂封止処理を行なうことにより、図 7 8 に示されるように、キャビティ 2 2 3 内及び半導体素子 2 1 1 の上部に封止樹脂 2 1 5 が形成され、これにより半導体素子 2 1 1, バンプ電極 2 1 6, 及びインナーリード部 2 2 0 は封止樹脂 2 1 5 により保護された状態となる。

上記のように、本実施例の樹脂封止工程では、封止樹脂 2 2 7 は金型 2 2 4 内で圧縮されつつ樹脂成形されることとなる（この樹脂成形法を圧縮成形法という）。このように封止樹脂 2 2 7 を圧縮成型法を用いて成形することにより、半導体素子 2 1 1 と配線基板 2 1 2 との間に形成される狭い隙間部分にも確実に樹脂を充填することができる。

また、圧縮成型法では成形圧力が低くてよいため、樹脂成形時に配線基板 2 2 4 に変形が生じたり、また半導体素子 2 1 1 と配線基板 2 1 2 との電氣的接続部位（即ち、バンプ電極 2 1 6 とインナーリード部 2 2 0 との接続位置）に負荷が印加されることを防止できる。これにより、樹脂封止工程において、半導体素子 2 1 1 と配線

基板 2 1 2 との接続が切断されることを防止することができ、信頼性の高い樹脂封止処理を行なうことができる。

5 尚、上記樹脂封止工程を実施する際、第 1 の下型半体 2 2 8 の可動速度が速いと圧縮成形による成形圧力が急激に増大し、バンプ電極 2 1 6 とインナーリード部 2 2 0 との接続位置等に損傷が発生するおそれがある。また、第 1 の下型半体 2 2 8 の可動速度が遅いと、成形圧力が低くなることにより封止樹脂 2 2 7 が装填されない箇所が発生したり、また樹脂封止に時間がかかるために製造効率が低下  
10 することが考えられる。そこで、第 1 の下型半体 2 2 8 の移動速度は、上記した相反する問題点が共に発生しない適正な速度に選定されている。

上記のように封止樹脂 2 1 5 が形成されると、続いて配線基板 2 1 2 を金型 2 2 4 から取り外す処理が実施される。配線基板 2 1 2 を金型 2 2 4 から取り外すには、先ず第 1 の下型半体 2 2 8 を Z 1 方向に下動させる。この際、第 1 の下型半体 2 2 8 のキャビティ面 2 3 0 には離型性の良好な樹脂フィルム 2 3 1 が配設されているため、第 1 の下型半体 2 2 8 は封止樹脂 2 1 5 から容易に離間する。  
15

上記のように第 1 の下型半体 2 2 8 が封止樹脂 2 1 5 から離間すると、続いて上型 2 2 5 と第 2 の下型半体 2 2 9 は互いに離間する方向に移動し、これにより配線基板 2 1 2 を金型 2 2 4 から取り外すことが可能となる。尚、第 1 の下型半体 2 2 8 を移動させるタイミングと、第 2 の下型半体 2 2 9 及び上型 2 2 5 を移動させるタイミングは、同じタイミングとしても特に問題が発生するようなことは  
20 ない。

25 上記のように配線基板 2 1 2 が金型 2 2 4 から取り外されると、続いて配線基板 2 1 2 に突起電極 2 1 4 が形成される。この突起電極 2 1 4 の形成方法は種々あるが、本実施例では半田ボールを予め製造しておき、この半田ボールを配線基板 2 1 2 に形成されている接続孔 2 1 9 a に転写した上で過熱処理しリード 2 1 8 に接合させ



る転写法が用いられている。上記した一連の製造方法を経ることにより、図 7 8 に示される半導体装置が製造される。

5 一方、図 8 0 は図 7 8 に示した半導体装置 2 1 0 を製造する際に実施される樹脂封止工程の第 3 1 実施例を示している。図 8 0 において、図 7 9 に示した構成と同一構成については同一符号を附してその説明を省略する。

10 図 7 8 に示した樹脂封止工程では、離型性を向上させるための樹脂フィルム 3 1 は、第 1 の下型半体 2 8 のキャビティ面 2 3 0 のみに配設された構成とされていた。しかるに、図 7 9 に示されるように、上型 2 2 5 のキャビティ面 2 2 5 a も封止樹脂 2 1 5 と接触する部位を有している。

15 このため、本実施例に係る樹脂封止工程では、上型 2 2 5 のキャビティ面 2 2 5 a にも離型性の良好な樹脂フィルム 2 3 2 を配設したことを特徴とするものである。この樹脂フィルム 2 3 2 の材質は、前記した樹脂フィルム 2 3 1 の材質と同じものでよい。また、樹脂フィルム 2 3 2 を配設するには、配線基板 2 1 2 を金型 2 2 4 に装着する前に、予め樹脂フィルム 2 3 2 を上型 2 2 5 のキャビティ面 2 2 5 a に配設しておき、その上で配線基板 2 1 2 を上型 2 2 5 と第 2 の下型半体 2 2 9 により挟持させる。

20 このように、樹脂フィルム 2 3 2 を配設するのに特に処理が増えるようなことはなく、かつ封止樹脂 2 1 5 が形成され配線基板 2 1 2 を金型 2 2 4 から離型する際には、封止樹脂 2 1 5 を上型 2 2 5 のキャビティ面 2 2 5 a から容易に離間させることができる。

25 続いて、本発明の第 3 1 実施例である半導体装置について説明する。

図 8 1 は本発明の第 3 1 実施例である半導体装置 2 1 0 A を示している。尚、図 8 1 において図 7 8 に示した第 3 0 実施例に係る半導体装置 1 0 と同一構成については同一符号を附してその説明を省略する。

本実施例に係る半導体装置 2 1 0 A は、封止樹脂 2 1 5 の実装側面（図中下面）に放熱板 2 3 3 を設けたことを特徴とするものである。この放熱板 2 3 3 は、例えばアルミニウム等の放熱特性の良好な金属により形成されている。このように、半導体素子 2 1 1 を封止する封止樹脂 2 1 5 に放熱板 2 3 3 を配設することにより、半導体素子 2 1 1 で発生した熱は放熱板 2 3 3 を介して効率よく放熱される。よって、半導体素子 2 1 1 の温度上昇を抑制することができ、半導体装置 2 1 0 A の作動時における信頼性を向上することができる。

また、本実施例に係る半導体装置 2 1 0 A は、前記した第 3 0 実施例に係る半導体装置 2 1 0 に対し、配線基板 2 1 2 の配設向きが上下逆となっている。即ち、最下層にベースフィルム 2 1 7 が配設され、その上にリード 2 1 8、絶縁膜 2 1 9 が順次積層された構成とされている。

従って、絶縁膜 2 1 9 が接着剤 2 2 2 により枠体 2 1 3 に接合されており、また突起電極 2 1 4 が配設される接続孔 2 1 7 b はベースフィルム 2 1 7 に形成されている。このように、配線基板 2 1 2 の配設向きは、接続孔 2 1 7 b、2 1 9 a の形成位置を適宜選定することにより、ベースフィルム 2 1 7 を上側としても、逆に絶縁膜 2 1 9 を上側としても構わない。

図 8 2 及び図 8 3 は、図 8 1 に示した半導体装置 2 1 0 A の製造工程の内、樹脂封止工程を説明するための図である。尚、図 8 2 及び図 8 3 において、図 7 9 及び図 8 0 に示した構成と同一構成については同一符号を附してその説明を省略する。

図 8 2 に示す樹脂封止工程では、図 7 9 に示した樹脂フィルム 2 3 1 に代えて、放熱板 2 3 3 を第 1 の下型半体 2 2 8 のキャビティ面 2 3 0 上に配設したことを特徴とするものである。従って、封止樹脂 2 2 7 は放熱板 2 3 3 の上部に載置されている。また、放熱板 2 3 3 の大きさはキャビティ面 2 3 0 の大きさに比べて若干小さく

設定されているため、放熱板 2 3 3 を配設することにより第 1 の下型半体 2 2 8 の移動が阻害されるようなことはない。

上記のように放熱板 2 3 3 が配設された金型 2 2 4 を用いた封止樹脂 2 2 7 の圧縮成形処理は、基本的には図 7 9 を用いて説明した圧縮成形処理と同様である。但し、封止樹脂 2 2 7 は第 1 の下型半体 2 2 8 の上動に伴い上動する放熱板 2 3 3 に押圧されて圧縮成形される。

この際、放熱板 2 3 3 と封止樹脂 2 2 7 の離型性は良好ではなく、かつ放熱板 2 3 3 は単に金属製の第 1 の下型半体 2 2 8 に載置されただけであるため、封止樹脂 2 1 5 の成形後に第 1 の下型半体 2 2 8 を下動させると、放熱板 2 3 3 は封止樹脂 2 1 5 に付着した状態となる。即ち、樹脂封止工程を実施することにより、放熱板 2 3 3 を封止樹脂 2 1 5 に配設する処理を同時に行なうことができ、よって放熱板 2 3 3 を有した半導体装置 2 1 0 A を容易に製造することができる。

図 8 3 に示す樹脂封止工程では、放熱板 2 3 3 を第 1 の下型半体 2 2 8 のキャビティ面 2 3 0 上に配設すると共に、図 8 0 に示したと同様に上型 2 2 5 のキャビティ面 2 2 5 a に離型性の良好な樹脂フィルム 2 3 2 を配設したことを特徴とするものである。

よって、本実施例の樹脂封止工程によっても放熱板 2 3 3 を有した半導体装置 2 1 0 A を容易に製造することができ、かつ封止樹脂 2 1 5 を上型 2 2 5 のキャビティ面 2 2 5 a から容易に離間させることができる。

続いて、本発明の第 3 2 実施例である半導体装置について説明する。

図 8 4 は本発明の第 3 2 実施例である半導体装置 2 1 0 B を示している。尚、図 8 4 において図 7 8 に示した第 3 0 実施例に係る半導体装置 2 1 0 と同一構成については同一符号を附してその説明を省略する。

本実施例に係る半導体装置 2 1 0 B は、第 3 1 実施例に係る半導体装置 2 1 0 A と同様に封止樹脂 2 1 5 の実装側面（図中下面）に第 1 の放熱板 2 3 3 を設けると共に、枠体 2 1 3 の上面側に第 2 の放熱板 2 3 4 を設けたことを特徴とするものである。この第 2 の放熱板 2 3 4 も第 1 の放熱板 2 3 3 と同様に、例えばアルミニウム等の放熱特性の良好な金属により形成されている。

このように、半導体素子 2 1 1 を挟んでその上部及び下部に夫々放熱板 2 3 3, 2 3 4 を配設することにより、半導体素子 2 1 1 で発生した熱をより効率的に放熱することができ、半導体装置 2 1 0 B の信頼性を向上することができる。また、第 2 の放熱板 2 3 4 が配設される枠体 2 1 3 の材料を放熱性の良好な材質に選定しておくことにより、更に半導体装置 2 1 0 B の放熱特性を向上させることができる。

一方、本実施例に係る半導体装置 2 1 0 B では、半導体素子 2 1 1 と配線基板 2 1 2 とを電氣的に接続する手段としてワイヤ 2 3 5 を用いている。このため、半導体素子 2 1 1 と配線基板 2 1 2 とを接続する方法としては、先ず第 2 の放熱板 2 3 4 を枠体 2 1 3 の上面に例えば接着剤（図示せず）を用いて接合し、枠体 2 1 3 に形成されたキャビティ 2 2 3 に第 2 の放熱板 2 3 4 による底部が形成された構成とする。

続いて、このキャビティ 2 2 3 内の第 2 の放熱板 2 3 4 に接着剤 2 3 6 を用いて半導体素子 2 1 1 を接着すると共に、枠体 2 1 3 の図中下面に配線基板 2 1 2 を接着する。そして、枠体 2 1 3 に第 2 の放熱板 2 3 4 及び配線基板 2 1 2 が配設された上で、配線基板 2 1 2 のリード 2 1 8 と半導体素子 2 1 1 との間にワイヤボンディング法を用いてワイヤ 2 3 5 を配設する。

そして、このワイヤボンディング処理が終了すると、前記した実施例と同様に圧縮成形法により封止樹脂 2 1 5 を形成する。この圧縮成形の際、前記したように、半導体素子 2 1 1 及び枠体 2 1 3 の

上部に放熱板 2 3 4 が配設されているため、封止樹脂 2 1 5 が直接上型 2 2 5 と接触することではなく、よって離型性を向上させることができる。

5 尚、前記した実施例における放熱板 2 3 4 は、半導体素子 2 1 1 がさほど発熱しないもの場合には、必ずしも放熱性の高い材質を選定する必要はなく、放熱性の低い材質を用いてもよい。

続いて、本発明の第 3 3 実施例である半導体装置について説明する。

10 図 8 5 は本発明の第 3 3 実施例である半導体装置 2 1 0 C を示している。尚、図 8 5 において図 8 4 に示した第 3 2 実施例に係る半導体装置 2 1 0 B と同一構成については同一符号を附してその説明を省略する。

15 本実施例に係る半導体装置 2 1 0 C に設けられた枠体 2 1 3 A は、図 8 4 を用いて説明した半導体装置 2 1 0 B における第 2 の放熱板 2 3 4 と枠体 2 1 3 とを一体化した構成とされている。従って、枠体 2 1 3 A に形成されるキャビティ 2 2 3 A は、底部 2 3 7 を有した有底形状とされている。

20 また、半導体素子 2 1 1 はこの底部 2 3 7 に接着剤 2 3 6 を用いて固定され、また配線基板 2 1 2 は枠体 2 1 3 A の図中下面に配設される。従って、本実施例の構成でも半導体素子 2 1 1 と配線基板 2 1 2 とのワイヤボンディングが可能となる。

25 上記した本実施例に係る半導体装置 2 1 0 C の構成では、第 3 2 実施例に係る半導体装置 2 1 0 B に比べて部品点数及び製造工程が削減されるため、半導体装置 2 1 0 C のコスト低減を図ることができる。尚、本実施例の構成の半導体装置 2 1 0 C においても、封止樹脂 2 1 5 の形成方法として圧縮成形法を用いることができる。

続いて、本発明の第 3 4 実施例である半導体装置について説明する。

図 8 6 は本発明の第 3 3 実施例である半導体装置 1 0 D を示して

いる。尚、図 8 6 において図 7 に示した第 3 2 実施例に係る半導体装置 2 1 0 B と同一構成については同一符号を附してその説明を省略する。

5 本実施例に係る半導体装置 2 1 0 D は、半導体素子 2 1 1 を配線基板 2 1 2 A の上部に搭載する構成とすることにより、突起電極 2 1 4 を半導体素子 2 1 1 の配設位置の真下位置にも形成したことを特徴とするものである。このため、本実施例に係る配線基板 2 1 2 A は、上記した各実施例に係る半導体装置 2 1 0 ～ 2 1 0 C と異なり、装着孔 2 1 7 a は形成されていない。

10 本実施例のように配線基板 2 1 2 A の上部に半導体素子 2 1 1 を搭載し、半導体素子 2 1 1 の真下位置にも突起電極 2 1 4 を形成することにより、突起電極 2 1 4 の配設位置に自由度を持たせることができ、また半導体素子 2 1 0 D の小型化を図ることができる。尚、本実施例の構成の半導体装置 2 1 0 D においても、封止樹脂 2 1 5  
15 の形成方法として圧縮成形法を用いることができる。

続いて、図 8 7 を用いて樹脂封止工程の他実施例について説明する。尚、図 8 7 において、先に図 7 9 を用いて説明した金型 2 2 4 と同一構成については、同一符号を附してその説明を省略する。

20 本実施例に用いる金型 2 2 4 A も大略すると上型 2 2 5 と下型 2 2 6 A とにより構成されている。但し、本実施例で用いる金型 2 2 4 A は、複数（本実施例では 2 個）の封止樹脂 2 1 5 を一括的に形成することが可能な、いわゆる多連処理可能な構成の金型である。

25 上型 2 2 5 は図 7 9 に示した金型 2 2 4 に設けられていたものと略同一構成とされている。しかるに、上記のように本実施例に係る金型 2 2 4 A は多連処理可能な構成であるため、その形状は大きく形成されている。また、下型 2 2 6 A は第 1 及び第 2 の下型半体 2 2 8, 2 2 9 A とにより構成されており、第 2 の下型半体 2 2 9 の内部には 2 個の第 1 の下型半体 2 2 8 が配設された構成とされている。

る。

また本実施例では、第 2 の下型半体 2 2 9 A の中央位置に余剰樹脂を除去する余剰樹脂除去機構 2 4 0 が設けられている。この余剰樹脂除去機構 2 4 0 は、大略すると開口部 2 4 1, ポット部 2 4 2, 及び圧力制御ロッド 2 4 3 等により構成されている。開口部 2 4 1 は第 2 の下型半体 2 2 9 A に形成された壁部 2 3 8 の上部に形成された開口であり、この開口部 2 4 1 はポット部 2 4 2 と連通した構成とされている。

ポット部 2 4 2 はシリンダ構造を有しており、このポット部 2 4 2 の内部にはピストン構造とされた圧力制御ロッド 2 4 3 が摺動可能に装着されている。この圧力制御ロッド 2 4 3 は、図示しない駆動機構に接続されており、図中矢印 Z 1, Z 2 方向に第 2 の下型半体 2 2 9 A に対して昇降動作可能な構成とされている。

続いて、上記構成とされた余剰樹脂除去機構 2 4 0 を具備した金型 2 2 4 A を用いた樹脂封止工程について説明する。

本実施例に係る樹脂封止工程が開始されると、先ず基板装着工程が実施される。基板装着工程では、配線基板 2 1 2 を金型 2 2 4 A に装着する。樹脂封止工程の開始直後の状態では、下型 2 2 6 A は上型 2 2 5 に対して Z 1 方向に下動した状態となっており、また余剰樹脂除去機構 2 4 0 を構成する圧力制御ロッド 2 4 3 は上動限に移動した状態となっている。

この状態の金型 2 2 4 A に対し、先ず各第 1 の下型半体 2 2 8 の上部に樹脂フィルム 2 3 1 を配設した上で封止樹脂 2 2 7 を載置する。続いて、第 2 の下型半体 2 2 9 A の上部に配線基板 2 1 2 を搭載した上で、上型 2 2 5 及び下型 2 2 6 A を互いが近接するよう移動させ、配線基板 2 1 2 を上型 2 2 5 と下型 2 2 6 A との間にクランプする。図 8 7 は、配線基板 2 1 2 を上型 2 2 5 と下型 2 2 6 A との間にクランプした状態を示している。この時点で、金型 2 2 4 A 内の第 1 の下型半体 2 2 8 の上部にはキャビティ部 2 3 9 (空間

部) が形成されるが、前記した余剰樹脂除去機構 2 4 0 を構成するポット部 2 4 2 は開口部 2 4 1 を介してキャビティ部 2 3 9 に連通した構成となっている。

5 上記のように、線基板 2 1 2 が上型 2 2 5 と下型 2 2 6 A との間にクランプされると、各第 1 の下型半体 2 2 8 は Z 2 方向に上動を開始する。これにより、封止樹脂 2 2 7 はキャビティ部 2 3 9 内で圧縮されつつ樹脂成形される。この際、半導体素子 2 1 1 を確実に樹脂封止するためには、第 1 の下型半体 2 2 8 の移動速度を適正な速度に設定する必要がある。第 1 の下型半体 2 2 8 の移動速度を  
10 適正化することは、換言すればキャビティ部 2 3 9 内における封止樹脂 2 2 7 の圧縮圧力を適正化することと等価である。

本実施例では、金型 2 2 4 A に余剰樹脂除去機構 2 4 0 を設けることにより、第 1 の下型半体 2 2 8 の移動速度に加え、圧力制御  
15 ロッド 2 4 3 を上下駆動することによっても封止樹脂 2 2 7 の圧縮圧力を制御しうる構成とされている。具体的には、圧力制御ロッド 2 4 3 を下動させることによりキャビティ部 2 3 9 内における封止樹脂 2 2 7 の圧力は低くなり、また圧力制御ロッド 2 4 3 を上動させることによりキャビティ部 2 3 9 内における封止樹脂 2 2 7 の圧力は高くなる。

20 例えば、封止樹脂 2 2 7 の樹脂量が形成しようとする封止樹脂 2 1 5 の容積よりも多く、余剰樹脂によりキャビティ部 2 3 9 内の圧力が上昇した場合には、適正な樹脂成形が行なえなくなるおそれがある。よって、このような場合には余剰樹脂除去機構 2 4 0 の圧力  
25 制御ロッド 2 4 3 を Z 1 方向に下動させることにより、余剰樹脂を開口部 2 4 1 を介してポット部 2 4 2 内に除去する。これにより、余剰樹脂が発生したとしても、キャビティ部 2 3 9 内の圧力を低下させることができる。

このように、余剰樹脂除去機構 2 4 0 を設けることにより、封止樹脂 2 2 7 の成形時に余剰樹脂の除去処理を同時に行うことができ、



常に適正な圧縮力で樹脂成形することが可能となり、封止樹脂 2 1 5 の成形処理を良好に行なうことができる。また、余剰樹脂が金型 2 2 4 A から漏洩することを防止することができると共に、封止樹脂 2 2 7 の計量精度は前記した各実施例に比べて低くてもかまわないため封止樹脂 2 2 7 の計量の容易化を図ることができる。

尚、封止樹脂 2 1 5 が形成されると、続いて離型工程が実施され封止樹脂 2 1 5 が形成された配線基板 2 1 2 は金型 2 2 4 A から離型される。

上記したように、本実施例に係る樹脂封止工程によれば、樹脂成形時においてキャビティ部 2 3 9 内の圧力を最適な圧力に制御することができるため、封止樹脂 2 1 5 内に空気が残留し気泡（ボイド）が発生することを防止できる。

いま、仮に封止樹脂 2 1 5 に気泡が発生した場合を想定すると、樹脂封止工程の後に加熱処理が行われた場合、この気泡が膨張して封止樹脂 2 1 5 にクラック等の損傷が発生するおそれがある。しかるに、上記のように余剰樹脂除去機構 2 4 0 を設けることにより、封止樹脂 2 1 5 に気泡が発生することを防止できるため、加熱時に封止樹脂 2 1 5 に損傷が発生するおそれではなく、よって半導体装置の信頼性を高めることができる。

続いて、本発明の第 3 5 実施例乃至第 4 7 実施例に係る半導体装置及びその製造方法について説明する。尚、図 8 8 乃至図 1 0 2 において、図 7 8 及び図 7 9 に示した第 3 0 実施例に係る半導体装置 2 1 0 の構成と対応する構成については同一符号を附してその説明を省略するものとする。

図 8 8 は本発明の第 3 5 実施例である半導体装置 2 1 0 E を示しており、図 8 9 及び図 9 0 は半導体装置 2 1 0 の製造方法を示している。第 3 5 実施例に係る半導体装置 2 1 0 E は、配線基板 2 4 5 に半導体素子 2 1 1 の側方に長く延出した延出部 2 4 6 を形成し（図 8 9（A）参照）、この延出部 2 4 6 を枠体 2 1 3 に沿って折

り曲げることにより枠体 2 1 3 の上面側に引き出すと共に、枠体 2 1 3 の上面に位置する延出部 2 4 6 に突起電極 2 1 4 を形成したことを特徴とするものである。

5 本実施例で用いる配線基板 2 4 5 は、第 3 0 実施例に係る半導体装置 2 1 0 に用いた配線基板 2 1 2 と同様に、ベースフィルム 2 1 7、リード 2 1 8 及び絶縁膜 2 1 9 とにより構成されている。しかるに、本実施例に係る配線基板 2 4 5 は、ベースフィルム 2 1 7 の材質が第 3 0 実施例に用いられているベースフィルムの材質に比べてより可撓変形しやすい材質が選定されている。

10 また、配線基板 2 4 5 の枠体 2 1 3 の下面と対向する部分は、第 3 0 実施例と同様に接着剤 2 2 2 を用いて枠体 2 1 3 に固定され、延出部 2 4 6 は第 2 の接着剤 2 4 7 により枠体 2 1 3 の上面に固定される。従って、延出部 2 4 6 を枠体 2 1 3 の上面に延出した構成としても、延出部 2 4 6 が枠体 2 1 3 から剥がれるようなことはな  
15 い。

上記構成とされた半導体装置 2 1 0 E によれば、突起電極 2 1 4 は枠体 2 1 3 の上面側に配設される構成となり、また枠体 2 1 3 の上面は放熱板 2 3 3 等の他の構成物は配設されないため、突起電極 2 1 4 の形成位置を自由度をもって設定することができる。更に、  
20 突起電極 2 1 4 が枠体 2 1 3 の仮面側に配設される第 3 0 実施例の半導体装置 2 1 0 に比べて、装置形状の小型化を図ることができる。

続いて、上記構成とされた半導体装置 2 1 0 E の製造方法について説明する。半導体装置 2 1 0 を製造するには、先ず図 8 9 (A) 及び図 1 0 3 に示されるような配線基板 2 4 5 を作成する。この配  
25 線基板 2 4 5 は、半導体素子 2 1 1 が搭載される矩形状の基部 2 5 1 の外周四辺に延出部 2 4 6 が形成された構成とされている。

また、基部 2 5 1 の中央位置には半導体素子 2 1 1 が装着される装着孔 2 4 8 (図 1 0 3 に示される) が形成されており、この装着孔 2 4 8 の外周縁位置から延出部 2 4 6 の突起電極 2 1 4 が配設さ

れる位置に形成されたランド部 2 4 9 までの間にはリード 2 1 8 が形成されている。更に、延出部 2 4 6 の形状は、折り曲げた際に隣接する延出部 2 4 6 同士が係合しないよう台形形状とされている。

尚、リード 2 1 8 は絶縁膜 2 1 9 により保護されているが（図 9 0（E）参照）、ランド部 2 4 9 の形成位置、即ち突起電極 2 1 4 の形成位置は絶縁膜 2 1 9 は除去され、リード 2 1 8 が露出した構成となっている。また、図 1 0 3 は、図 8 9（A）に示す配線基板 2 4 5 を拡大して示す図である。

上記構成とされた配線基板 2 4 5 の上面側には、半導体素子 2 1 1 がフリップチップ接合されると共に、枠体 2 1 3 が接着剤 2 2 2 を用いて接合される。この際、本実施例で用いる枠体 2 1 3 は、前記したように延出部 2 4 6 がその外周に配設されるため、第 3 0 実施例で用いた枠体 2 1 3 に比べて小さな形状とされている。尚、図 8 9（A）は、半導体素子 2 1 1 が搭載された状態の配線基板 2 4 5 を示している。

続いて、図 8 9（A），（B）に示されるように、半導体素子 2 1 1 及び枠体 2 1 3 が配設された配線基板 2 4 5 を金型 2 2 4 に装着する。本実施例で用いている金型 2 2 4 B は、上型 2 2 5 A に半導体素子 2 1 1 及び枠体 2 1 3 を収納するキャビティ 2 5 0 が形成されている。

配線基板 2 4 5 が金型 2 2 4 B に装着されると、図 8 9（C）に示されるように、放熱板 2 3 3 を介してその上部に封止樹脂 2 2 7 が載置された第 1 の下型半体 2 2 8 は上動し、封止樹脂 2 2 7 は圧縮成形される。これにより、図 8 9（D）に示されるように、半導体素子 2 1 1 及び配線基板 2 4 5 の下面所定範囲は封止樹脂 2 1 5 により封止された構成となる。また、同時に放熱板は封止樹脂 2 1 5 に接合された構成となる。

上記のように配線基板 2 4 5 に封止樹脂 2 1 5 が形成されと、配線基板 2 4 5 は金型 2 2 4 B から離型される。図 9 0（E）は、金

型 2 2 4 B から離型された配線基板 2 4 5 を示している。同図に示されるように、配線基板 2 2 4 は、半導体素子 2 1 1 が搭載された基部 2 5 1 より側方に長く延出した延出部 2 4 6 が形成された構成となっている。この離型直後の状態では、基部 2 5 1 及び延出部 2 4 6 は面一状態となっている。本実施例では、この延出部 2 4 6 の上面には第 2 の接着剤 2 4 7 が塗布される。

上記のように、配線基板 2 4 5 に形成された延出部 2 4 6 の状面に第 2 の接着剤 2 4 7 が塗布されると、続いて延出部 2 4 6 を折曲する折曲工程が実施される。折曲工程では、図 9 0 (F) に示されるように、延出部 2 4 6 を同図中矢印で示す方向に折曲処理を行い、この折曲された延出部 2 4 6 を第 2 の接着剤 2 4 7 により枠体 2 1 3 の上面に接着する。

図 9 0 (G) は、折曲工程が終了した状態の配線基板 2 4 5 を示している。同図に示されるように、延出部 2 4 6 を折曲形成して枠体 2 1 3 の上面に引き出す構成とすることにより、突起電極 2 1 4 の形成位置であるランド部 2 4 9 の形成位置は、枠体 2 1 3 の上部に位置することとなる。

続いて、突起電極形成工程が実施され、前記した枠体 2 1 3 の上部に位置するランド部 2 4 9 に、例えば転写法を用いて突起電極 2 1 4 が形成され、図 8 8 に示す半導体装置 2 1 0 E が形成される。上記したように、本実施例に係る半導体装置 2 1 0 E の製造方法も第 3 0 実施例で説明した製造方法と同様に圧縮成形を用いて封止樹脂 2 1 5 の形成を行うことができるため、信頼性の高い半導体装置 2 1 0 E を製造することができる。また、延出部 2 4 6 を枠体 2 1 3 の上面に引き出す処理も、単に延出部 2 4 6 を折曲形成するだけで行えるため、容易に行うことができる。

続いて、本発明の第 3 6 実施例に係る半導体装置及びその製造方法について説明する。図 9 1 は本発明の第 3 6 実施例である半導体装置 2 1 0 F 及びその製造方法を説明するための図である。尚、図

9 1 において、図 8 8 乃至図 9 0 に示した構成と同一構成については同一符号を付してその説明を省略する。

図 9 1 (D) は、本発明の第 3 6 実施例である半導体装置 2 1 0 F を示している。本実施例に係る半導体装置 2 1 0 F は、前記した  
5 第 3 5 実施例に係る半導体装置 2 1 0 E と同一構成とされている。  
しかるに、その製造方法において、図 9 1 (A), (B) に示されるように、第 2 の接着剤 2 4 7 を配線基板 2 4 5 ではなく、枠体 2 1 3 に塗布しておく点で相違する。このように、第 2 の接着剤 2 4 7 の塗布位置は、第 3 5 実施例で示したように配線基板 2 4 5 に  
10 行っても、また本実施例のように枠体 2 1 3 に塗布してもかまわない。

続いて、本発明の第 3 7 実施例に係る半導体装置及びその製造方法について説明する。図 9 2 は本発明の第 3 7 実施例である半導体  
15 装置 2 1 0 G 及びその製造方法を説明するための図である。尚、図 9 2 において、図 8 8 乃至図 9 0 に示した構成と同一構成については同一符号を付してその説明を省略する。

図 9 2 (D) は、本発明の第 3 7 実施例である半導体装置 2 1 0 E を示している。本実施例に係る半導体装置 2 1 0 G は、前記した  
20 第 3 5 及び第 3 6 実施例に係る半導体装置 2 1 0 E, 2 1 0 F に対し、配線基板 2 4 5 の配置が上下逆の構成となっている点で相違した構成とされている。

即ち、図 9 2 (A) に示されるように、配線基板 2 4 5 は、下層側からベースフィルム 2 1 7, リード 2 1 8, 絶縁膜 2 1 9 が順次  
25 積層された構成となっている。従って、折曲形成を行い延出部 2 4 6 が枠体 2 1 3 の上部に位置した際、突起電極 2 1 4 をリード 2 1 8 と接続するための接続孔 2 1 7 b は、ベースフィルム 2 1 7 に形成されている。

本実施例のように、第 3 5 及び第 3 6 実施例に係る半導体装置 2 1 0 E, 2 1 0 F に対して配線基板 2 4 5 が上下逆に配設された構

成としても、第 3 5 及び第 3 6 実施例に係る半導体装置 2 1 0 E, 2 1 0 F と同様の効果を有する半導体装置 2 1 0 G を実現することができる。また、本実施例の構成では、絶縁膜 2 1 9 は必ずしも形成する必要はなく、枠体 2 1 3 及び各接着剤 2 2 2, 2 4 7 の材質を電氣的に絶縁性を有する材質とすることにより、絶縁膜 2 1 9 を不要とすることができる。この場合、配線基板 2 4 5 のコスト低減を図ることができる。

続いて、本発明の第 3 8 実施例に係る半導体装置及びその製造方法について説明する。図 9 3 は本発明の第 3 8 実施例である半導体装置 2 1 0 H 及びその製造方法を説明するための図である。尚、図 9 3 において、図 8 8 乃至図 9 0 に示した構成と同一構成については同一符号を付してその説明を省略する。

図 9 3 (D) は、本発明の第 3 8 実施例である半導体装置 2 1 0 H を示している。本実施例に係る半導体装置 2 1 0 H は、前記した第 3 5 乃至第 3 7 実施例に係る半導体装置 2 1 0 E, 2 1 0 F, 2 1 0 G では延出部 2 4 6 を枠体 2 1 3 の上面側に折曲していたのに対し、延出部 2 4 6 を放熱板 2 3 3 側に折曲したことを特徴とするものである。図 9 3 (A) に示されるように、本実施例で用いる配線基板 2 4 5 は、上層側からベースフィルム 2 1 7, リード 2 1 8, 絶縁膜 2 1 9 が順次積層された構成となっている。従って、延出部 2 4 6 を放熱板 2 3 3 側に折曲形成した場合、ベースフィルム 2 1 7 が半導体装置 2 1 0 H の下面に露出し、絶縁膜 2 1 9 が放熱板 2 3 3 と対向した状態となる。このため、ベースフィルム 2 1 7 には突起電極 2 1 4 とリード 2 1 8 とを接続するための接続孔 2 1 7 b が形成されている。また、延出部 2 4 6 を放熱板 2 3 3 に固定するために、絶縁膜 2 1 9 には第 2 の接着剤 2 4 7 が塗布されている。

上記のように接続孔 2 1 7 b 及び第 2 の接着剤 2 4 7 が配設された配線基板 2 4 5 は、延出部 2 4 6 が図 9 3 (B) に矢印で示すように放熱板 2 3 3 側に折り曲げられる。これにより、延出部 2 4 6

は第 2 の接着剤 2 4 7 により放熱板 2 3 3 に固定されると共に、接続孔 2 1 7 b は下方に開口した状態となる。続いて、接続孔 2 1 7 b に転写法等を用いてリード 2 1 8 と電氣的に接続した状態の突起電極 2 1 4 を形成する。これにより、図 9 3 (D) に示される半導体装置 2 1 0 H が製造される。

上記製造方法により製造される半導体装置 2 1 0 H は、延出部 2 4 6 が放熱板 2 3 3 の下部に位置する構成となるため、半導体素子 2 1 1 が外部に露出した構成となる。このため、半導体素子 2 1 1 で発生する熱を効率よく放熱することが可能となり、半導体装置 2 1 0 H の放熱特性を向上させることができる。

尚、本実施例に係る半導体装置 2 1 0 H においても、延出部 2 4 6 が折曲され、この折曲部分に突起電極 2 1 4 が形成されるため、半導体装置 2 1 0 H の小型化を図ることができる。

続いて、本発明の第 3 9 実施例に係る半導体装置及びその製造方法について説明する。図 9 4 は本発明の第 3 9 実施例である半導体装置 2 1 0 I 及びその製造方法を説明するための図である。尚、図 9 4 において、図 8 8 乃至図 9 0 に示した構成と同一構成については同一符号を付してその説明を省略する。

図 9 4 (D) は、本発明の第 3 9 実施例である半導体装置 2 1 0 I を示している。本実施例に係る半導体装置 2 1 0 I は、前記した第 3 8 実施例に係る半導体装置 2 1 0 H と同一構成とされている。しかるに、その製造方法において、図 9 4 (A), (B) に示されるように、第 2 の接着剤 2 4 7 を配線基板 2 4 5 ではなく、放熱板 2 3 3 に塗布しておく点で相違する。このように、第 2 の接着剤 2 4 7 の塗布位置は、第 3 8 実施例で示したように配線基板 2 4 5 に行っても、また本実施例のように放熱板 2 3 3 に塗布してもかまわない。

続いて、本発明の第 4 0 実施例に係る半導体装置及びその製造方法について説明する。図 9 5 は本発明の第 4 0 実施例である半導体

装置 2 1 0 J 及びその製造方法を説明するための図である。尚、図 9 5 において、図 8 8 乃至図 9 0 及び図 9 4 に示した構成と同一構成については同一符号を付してその説明を省略する。

5 図 9 5 (D) は、本発明の第 4 0 実施例である半導体装置 2 1 0 J を示している。本実施例に係る半導体装置 2 1 0 J は、先に図 9 4 を用いて説明した半導体装置 2 1 0 I に放熱フィン 2 5 2 を配設した構造を有することを特徴とするものである。この放熱フィン 2 5 2 は、例えば接着剤等を用いて半導体素子 2 1 1 及び枠体 2 1 3 の上面に固定された構成とされている。

10 上記のように、本実施例に係る半導体装置 2 1 0 J は図 9 4 に示した半導体装置 2 1 0 I と同様な配線基板構造を有しているため、本実施例においても延出部 2 4 6 は半導体素子 2 1 1 の下部に配設された放熱板 2 3 3 側に折曲された構成とされている。このように、延出部 2 4 6 を放熱板 2 3 3 側に折曲することにより、半導体素子 15 2 1 1 の上面は露出した状態となっている。

従って、半導体素子 2 1 1 の露出部分に放熱フィン 2 5 2 を配設することにより、図 9 4 に示した半導体素子 2 1 1 の上面を露出させた構成に比べ、半導体素子 2 1 1 で発生した熱をより効率良く放熱することができる。

20 また、半導体素子 2 1 1 の上面が放熱フィン 2 5 2 により覆われるため、放熱フィン 2 5 2 は半導体素子 2 1 1 を保護する保護部材としても機能する。よって、放熱フィン 2 5 2 を設けることにより、半導体装置 2 1 0 J の信頼性を向上させることができる。

25 続いて、本発明の第 4 1 実施例に係る半導体装置及びその製造方法について説明する。図 9 6 は本発明の第 4 1 実施例である半導体装置 2 1 0 K 及びその製造方法を説明するための図である。尚、図 9 6 において、図 8 4 及び図 8 8 乃至図 9 0 に示した構成と同一構成については同一符号を付してその説明を省略する。

図 9 6 (D) は、本発明の第 4 1 実施例である半導体装置 2 1 0



Kを示している。本実施例に係る半導体装置 2 1 0 K は、先に図 8  
4 を用いて説明した第 3 2 実施例の係る半導体装置 2 1 0 B と類似  
した構造を有しており、具体的には、枠体 2 1 3 の上面側に第 2 の  
放熱板 2 3 4 を設けたことを特徴とするものである。この第 2 の放  
熱板 2 3 4 も第 1 の放熱板 2 3 3 と同様に、例えばアルミニウム等  
の放熱特性の良好な金属により形成されている。

このように、半導体素子 2 1 1 を挟んでその上部及び下部に夫々  
放熱板 2 3 3, 2 3 4 を配設することにより、半導体素子 2 1 1 で  
発生した熱をより効率的に放熱することができ、半導体装置 2 1 0  
K の信頼性を向上することができる。

続いて、半導体装置 2 1 0 K の製造方法について説明する。本実  
施例に係る半導体装置 2 1 0 K では、半導体素子 2 1 1 と配線基板  
2 4 5 とを電氣的に接続する手段としてワイヤ 3 5 を用いている。  
このため、半導体素子 2 1 1 と配線基板 2 4 5 とをワイヤ接続する  
ために、先ず第 2 の放熱板 2 3 4 を枠体 2 1 3 の上面に例えば接着  
剤（図示せず）を用いて接合して一体化し、枠体 2 1 3 に形成され  
たキャビティ 2 2 3 に第 2 の放熱板 2 3 4 による底部が形成された  
構成とする。

続いて、このキャビティ 2 2 3 内の第 2 の放熱板 2 3 4 に接着剤  
2 3 6 を用いて半導体素子 2 1 1 を接着すると共に、枠体 2 1 3 の  
図中下面に配線基板 2 4 5 を接着する。そして、枠体 2 1 3 に第 2  
の放熱板 2 3 4 及び配線基板 2 4 5 が配設された上で、配線基板 2  
4 5 のリード 2 1 8 と半導体素子 2 1 1 との間にワイヤボンディン  
グ法を用いてワイヤ 2 3 5 を配設する。

そして、このワイヤボンディング処理が終了すると、前記した実  
施例と同様に圧縮成形法により封止樹脂 2 1 5 を形成する。この圧  
縮成形の際、前記したように、半導体素子 2 1 1 及び枠体 2 1 3 の  
上部に放熱板 2 3 4 が配設されているため、封止樹脂 2 1 5 が直接  
上型 2 2 5 と接触することではなく、よって離型性を向上させること



を有する半導体装置 2 1 0 G を実現することができる。

尚、本実施例の構成では、延出部 2 4 6 は第 2 の放熱板 2 3 4 側  
5 に向けて上側に折曲される構成とされている。また、本実施例の構成では、絶縁膜 2 1 9 は必ずしも形成する必要はなく、枠体 2 1 3  
及び各接着剤 2 2 2, 2 4 7 の材質を電氣的に絶縁性を有する材質  
とすることにより、絶縁膜 2 1 9 を不要とすることができる。

図 9 8 (D) は、本発明の第 4 3 実施例である半導体装置 2 1 0 M  
10 M を示している。本実施例に係る半導体装置 2 1 0 M も、前記した第 4 1 実施例である半導体装置 2 1 0 K と同様に、枠体 2 1 3 の上  
面側に第 2 の放熱板 2 3 4 を設けた構成とされている。しかるに、  
本実施例に係る半導体装置 2 1 0 K では、前記した第 4 1 及び第 4  
2 実施例に係る半導体装置 2 1 0 K, 2 1 0 L では延出部 2 4 6 を  
第 2 の放熱板 2 3 4 側に折曲していたのに対し、延出部 2 4 6 を放  
熱板 2 3 3 側に折曲したことを特徴とするものである。尚、延出部  
15 2 4 6 を折曲し放熱板 2 3 3 に接着する方法は、先に図 9 3 を用い  
て説明した第 3 8 実施例に係る半導体装置 2 1 0 H と同じであるた  
め、その説明は省略する。

本実施例に係る半導体装置 2 1 0 M によれば、延出部 2 4 6 が放  
熱板 2 3 3 の下部に位置する構成となるため、第 2 の放熱板 2 3 4  
20 が外部に露出した構成となる。このため、半導体素子 2 1 1 で発生  
する熱を第 2 の放熱板 2 3 4 を介して効率よく放熱することが可能  
となり、よって半導体装置 2 1 0 M の放熱特性を向上させることが  
できる。更に、本実施例に係る半導体装置 2 1 0 M においても、延  
出部 2 4 6 が折曲され、この折曲部分に突起電極 2 1 4 が形成され  
25 るため、半導体装置 2 1 0 M の小型化を図ることができる。

続いて、本発明の第 4 4 実施例に係る半導体装置及びその製造方  
法について説明する。図 9 9 は本発明の第 4 4 実施例である半導体  
装置 2 1 0 N 及びその製造方法を説明するための図である。尚、図  
9 9 において、図 3 7 及び図 8 8 乃至図 9 0 に示した構成と同一構

成については同一符号を付してその説明を省略する。

図 9 9 (D) は、本発明の第 4 4 実施例である半導体装置 2 1 0 N を示している。本実施例に係る半導体装置 2 1 0 N に配設される  
5 棒体 2 1 3 A は、図 9 6 を用いて説明した半導体装置 2 1 0 K における第 2 の放熱板 2 3 4 と棒体 2 1 3 とを一体化した構成とされている。従って、棒体 2 1 3 A に形成されるキャビティ 2 2 3 A は、  
底部 2 3 7 を有した有底形状とされている。

半導体素子 2 1 1 は底部 2 3 7 に接着剤 2 3 6 を用いて固定され、  
また配線基板 2 4 5 は棒体 2 1 3 A の図中下面に配設される。従っ  
10 て、本実施例の構成でも半導体素子 2 1 1 と配線基板 2 4 5 とのワイヤボンディングが可能となる。また、本実施例に係る半導体装置  
2 1 0 N の構成では、第 4 1 実施例に係る半導体装置 2 1 0 K に比べて部品点数及び製造工程が削減されるため、半導体装置 2 1 0 N  
のコスト低減を図ることができる。

15 続いて、半導体装置 2 1 0 N の製造方法について説明する。本実施例に係る半導体装置 2 1 0 N においても、半導体素子 2 1 1 と配線基板 2 4 5 とを電氣的に接続する手段としてワイヤ 2 3 5 を用いている。このため、先ず棒体 2 1 3 A に形成されている底部 2 3 7  
に接着剤 2 3 6 を用いて半導体素子 2 1 1 を接着すると共に棒体 2  
20 1 3 A の図中下面に配線基板 2 4 5 を接着し、その上で配線基板 2 4 5 のリード 2 1 8 と半導体素子 2 1 1 との間にワイヤボンディング法を用いてワイヤ 2 3 5 を配設する。

このワイヤボンディング処理が終了すると、前記した各実施例と同様に圧縮成形法により封止樹脂 2 1 5 を形成する。この圧縮成形  
25 の際、棒体 2 1 3 A は底部 2 3 7 が形成されることにより面一の状態となっており、封止樹脂 2 1 5 が直接上型 2 2 5 と接触することはなく、よって離型性を向上させることができる。図 9 9 (A) は、  
上記のようにして放熱板 2 3 4, ワイヤ 2 3 5, 及び封止樹脂 2 1  
5 が配設された配線基板 2 4 5 を示している。

続いて、図 9 6 (B), (C) に示されるように、配線基板 2 4 5 に形成された延出部 2 4 6 を枠体 2 1 3 A の上面側に折曲し、第 2 の接着材 2 4 7 を用いて放熱板 2 3 4 に固定する。その上で、突起電極 2 1 4 を延出部 2 4 6 に露出した状態のランド部 2 4 9 に転写法等を用いて設けることにより、図 9 9 (D) に示す半導体装置 2 1 0 N が製造される。

続いて、本発明の第 4 5 及び第 4 6 実施例に係る半導体装置及びその製造方法について説明する。図 1 0 0 は本発明の第 4 5 実施例である半導体装置 2 1 0 P 及びその製造方法を説明するための図であり、また図 1 0 1 は本発明の第 4 6 実施例である半導体装置 2 1 0 Q 及びその製造方法を説明するための図である。尚、図 1 0 0 及び図 1 0 1 において、図 8 8 乃至図 9 0、及び図 9 9 に示した構成と同一構成については同一符号を付してその説明を省略する。

図 1 0 0 (D) は、本発明の第 4 5 実施例である半導体装置 2 1 0 P を示している。本実施例に係る半導体装置 2 1 0 P は、前記した第 4 4 実施例である半導体装置 2 1 0 N と同様に、枠体 2 1 3 A に底部 2 3 7 が一体的に形成された構成とされている。しかるに、本実施例に係る半導体装置 2 1 0 P は、第 4 4 実施例である半導体装置 2 1 0 N に対し、配線基板 2 4 5 の配置が上下逆の構成となっている。

即ち、図 1 0 0 (A) に示されるように、配線基板 2 4 5 は、下層側からベースフィルム 2 1 7, リード 2 1 8, 絶縁膜 2 1 9 が順次積層された構成となっている。このように、第 4 4 実施例である半導体装置 2 1 0 N に対して配線基板 2 4 5 が上下逆に配置された構成としても、第 4 4 実施例である半導体装置 2 1 0 N と同様の効果を有する半導体装置 2 1 0 P を実現することができる。

尚、本実施例の構成では、延出部 2 4 6 は枠体 2 1 3 A の上面側に向けて上側に折曲される構成とされている。また、本実施例の構成では、絶縁膜 2 1 9 は必ずしも形成する必要はなく、枠体 2 1 3

A及び各接着剤 2 2 2, 2 4 7 の材質を電氣的に絶縁性を有する材質とすることにより、絶縁膜 2 1 9 を不要とすることができる。

図 1 0 1 (D) は、本発明の第 4 6 実施例である半導体装置 2 1 0 Q を示している。本実施例に係る半導体装置 2 1 0 Q も、前記した第 4 4 実施例である半導体装置 2 1 0 N と同様に、  
5 枠体 2 1 3 A に底部 2 3 7 が一体的に形成された構成とされている。しかるに、本実施例に係る半導体装置 2 1 0 Q では、前記した第 4 4 及び第 4 5 実施例に係る半導体装置 2 1 0 N, 2 1 0 P では延出部 2 4 6 を枠体 2 1 3 A の上面側に折曲していたのに対し、延出部 2 4 6 を放熱板 2 3 3 側に折曲したことを特徴とするものである。尚、延出部 2 4 6 を折曲し放熱板 2 3 3 に接着する方法は、先に図 9 3 を用いて説明した第 3 8 実施例に係る半導体装置 2 1 0 H と同じであるため、その説明は省略する。

本実施例に係る半導体装置 2 1 0 Q によれば、延出部 2 4 6 が放熱板 2 3 3 の下部に位置し、この位置に突起電極 2 1 4 が形成されるため、半導体装置 2 1 0 Q の小型化を図ることができる。また、  
15 枠体 2 1 3 A の上部には何も構成物が配設されないため、枠体 2 1 3 A の材質を放熱性の良好なものに選定することにより、半導体素子 2 1 1 で発生する熱を第 2 の放熱板 2 3 4 を介して効率よく放熱することが可能となり、よって半導体装置 2 1 0 M の放熱特性を向上させることができる。

続いて、本発明の第 4 7 実施例に係る半導体装置及びその製造方法について説明する。図 1 0 2 は本発明の第 4 7 実施例である半導体装置 2 1 0 R 及びその製造方法を説明するための図である。尚、  
25 図 1 0 2 において図 8 8 乃至図 9 0、及び図 9 9 に示した構成と同一構成については同一符号を付してその説明を省略する。

図 1 0 2 (F) は、本発明の第 4 7 実施例である半導体装置 2 1 0 R を示している。本実施例に係る半導体装置 2 1 0 R に配設される枠体 2 1 3 A は、図 9 9 を用いて説明した半導体装置 2 1 0 N と

同一構成を有している。即ち、枠体 2 1 3 A は一体的に形成された底部 2 3 7 を有した構成とされている。

しかるに、本実施例で用いられている配線基板 2 4 5 A は、図 8 9 (A) 及び図 1 0 3 に示した配線基板 2 4 5 と異なり、基部 2 5 1 A に半導体素子 2 1 1 を装着するための装着孔 2 4 8 は形成されていない。ここで、本実施例に係る半導体装置 2 1 0 R に用いる配線基板 2 4 5 A を図 1 0 6 に拡大して示す。

同図に示されるように、後に突起電極 2 1 4 が配設されるランド部 2 4 9 は配線基板 2 4 5 A の基部 2 5 1 A に形成されており、基部 2 5 1 A の外周四辺に延出形成された各延出部の外側縁部には半導体素子 2 1 1 とワイヤボンディングされる接続電極 2 5 3 が形成されている。この接続電極 2 5 3 とランド部 2 4 9 とは、延出部 2 4 6 及び基部 2 5 1 に形成されたリード 2 1 8 により電氣的に接続されている。

上記構成とされた配線基板 2 4 5 A は、図 1 0 2 (A) に示されるように、基部 2 5 1 A が枠体 2 1 3 A の底部 2 3 7 上に位置決めされ、接着剤 (図示せず) 等を用いてこの側部 2 3 7 に固定される。この状態において、延出部 2 4 6 は枠体 2 1 3 A の外周より外側に延出した状態となっている。また、枠体 2 1 3 A に形成されたキャビティ 2 2 3 A の内部には半導体素子 2 1 1 が接着剤 2 3 6 により搭載されており、更に枠体 2 1 3 A の下面には、延出部 2 4 6 を枠体 2 1 3 A に固定するための接着剤 2 4 7 A が塗布されている。

上記のように配線基板 2 4 5 A の基部 2 5 1 A が枠体 2 1 3 A の底部 2 3 7 に固定されると、本実施例では前記した各実施例と異なり樹脂封止工程を実施することなく、先ず延出部 2 4 6 を折曲形成する折曲工程を実施する。具体的には、図 1 0 2 (B) に矢印で示すように延出部 2 4 6 を折り曲げ、延出部 2 4 6 を接着剤 2 4 7 A により枠体 2 1 3 A に固定する。

上記の折曲工程を行なうことにより、図 1 0 2 (C) に示すよう

に、延出部 2 4 6 に形成されている接続電極 2 5 3 と半導体素子 2 1 1 とは近接した状態となる。この状態において、ワイヤボンディング法を用いて接続電極 2 5 3 と半導体素子 2 1 1 との間にワイヤ 2 3 5 を配設する。図 1 0 2 (D) は接続電極 2 5 3 と半導体素子 2 1 1 との間にワイヤ 2 3 5 が配設された状態を示している。

5 本実施例では、上記した延出部 2 4 6 を折曲するの折曲工程、及びワイヤ 2 3 5 を配設するワイヤボンディング工程が終了した後、樹脂封止工程を実施して封止樹脂 2 1 5 を形成する構成としている。図 1 0 2 (E) は封止樹脂 2 1 5 が形成された配線基板 2 4 5 A を示している。この樹脂封止工程は、前記した金型 2 2 4 を用いて行なうことができ、よって圧縮成形法により封止樹脂 2 1 5 は形成される。また本実施例では、封止樹脂 2 1 5 の形成と同時に放熱板 2 3 3 を配設する方法が用いられている (図 8 2 参照)。

15 上記のように封止樹脂 2 1 5 が形成されると、続いてランド部 2 4 9 に例えば転写法を用いて突起電極 2 1 4 が形成され、図 1 0 2 (F) に示される半導体装置 2 1 0 R が製造される。このように、製造された半導体装置 2 1 0 R は、突起電極 2 1 4 の形成される位置が枠体 2 1 3 A の底部 2 3 7 側であり、この位置にはキャビティ 2 2 3 A は形成されていないため、底部 2 3 7 の全領域を突起電極 2 1 4 の形成領域とすることができる。このため、突起電極 2 1 4 の配設ピッチを広く設定したり、また突起電極 2 1 4 の配設数を多くすることが可能となる。

25 続いて、上記した各実施例に係る半導体装置 2 1 0 E ~ 2 1 0 R に用いられる配線基板 2 4 5 の他実施例について図 1 0 4 乃至図 1 1 0 を用いて説明する。尚、図 1 0 4 乃至図 1 1 0 において、先に図 1 0 3 を用いて説明した配線基板 2 4 5 の構成と対応する構成については同一符号を附し、その説明を省略する。

図 1 0 4 に示される配線基板 2 4 5 B は、半導体素子 2 1 1 がフリップチップ接合されるタイプ (以下、TAB タイプという) の配



線基板である。従って、インナーリード部 2 2 0 は装着孔 2 4 8 の内部に突出した構成とされている。

5 本実施例に係る配線基板 2 4 5 B は、折曲工程において折り曲げられる部位のベースフィルム 2 1 7 を除去したことを特徴とするものである。ベースフィルム 2 1 7 を除去することにより、リード 2 1 8 は露出された状態となり強度が弱くなるため、このベースフィルム 2 1 7 の除去位置には撓み易いソルダーレジスト 2 5 4 が配設されている。

10 上記構成とされた配線基板 2 4 5 B によれば、折曲位置において配線基板 2 4 5 B の膨らみの発生を防止でき、配線基板 2 4 5 B と枠体 2 1 3, 2 1 3 A, 放熱板 2 3 3, 2 3 4 等との密着性を向上させることができる。従って、配線基板 2 4 5 B が枠体 2 1 3, 2 1 3 A, 放熱板 2 3 3, 2 3 4 等から剥離することを防止できるため、半導体装置 2 1 0 E ~ 2 1 0 R の信頼性を向上することができる。  
15 また、上記のように配線基板 2 4 5 B が枠体 2 1 3, 2 1 3 A, 放熱板 2 3 3, 2 3 4 等と密着した状態となることにより、半導体装置 2 1 0 E ~ 2 1 0 R の小型化を図ることができる。

20 また、図 1 0 5 に示される配線基板 2 4 5 C は、半導体素子 2 1 1 がリード 2 1 8 とワイヤボンディング法で接合されるタイプ（以下、ワイヤ接続タイプという）の配線基板であることを特徴とする。従って、図 1 0 3 及び図 1 0 4 に示した T A B タイプの配線基板 2 4 5, 2 4 5 A と異なり、インナーリード部 2 2 0 は装着孔 2 4 8 の内部に突出してはいない。尚、図 1 0 6 に示される配線基板 2 4 5 A は、先に説明したため、ここでの説明は省略する。

25 また、図 1 0 7 に示される配線基板 2 4 5 D は T A B タイプの配線基板であり、本実施例では、各延出部 2 4 6 A の形状を三角形としたことを特徴とするものである。このように、延出部 2 4 6 A を三角形形状としたことにより、パッド部 2 4 9 を三角形を構成する傾斜辺に沿って配設することが可能となる。

これにより、隣接するパッド部 2 4 9 の（即ち、突起電極 2 1 4 の）配設ピッチを広くすることができパッド部 2 4 9 の形成を容易に行なうことができると共に、半導体素子 2 1 1 が高密度化し突起電極 2 1 4 の数が増大しても、これに十分対応することができる。

5 尚、図 1 0 7 に示す実施例では、延出部 2 4 6 A の形状を三角形とした例を示したが、延出部 2 4 6 A の形状は三角形に限定されるものではなく、パッド部 2 4 9 の配設ピッチを広くすることができる形状であれば、他の形状としてもよい。

10 また、図 1 0 8 に示される配線基板 2 4 5 E は T A B タイプの配線基板であり、延出部 2 4 6 A の形状を三角形とすると共に、ベースフィルム 2 1 7 の折り曲げられる部位を除去したことを特徴とするものである。本実施例による配線基板 2 4 5 E によれば、配線基板 2 4 5 E が枠体 2 1 3、2 1 3 A、放熱板 2 3 3、2 3 4 等から剥離することを防止できるため装置の小型化及び信頼性の向上を図

15 ることができ、かつ、パッド部 2 4 9 の形成の容易化及び半導体素子 2 1 1 の高密度化に対応することができる。尚、本実施例においても、ベースフィルム 2 1 7 の除去位置にはリード 2 1 8 を保護するためのソルダーレジスト 2 5 4 が配設されている。

20 また、図 1 0 9 に示される配線基板 2 4 5 F、2 4 5 G、2 4 5 H は T A B タイプの配線基板であり、ベースフィルム 2 1 7（図中、梨地で示す）に接続孔を形成することによりランド部 2 4 9 を形成したことを特徴とするものである。図 1 0 9（A）に示される配線基板 2 4 5 F は延出部 2 4 6 と基部 2 5 1 とが一体的にされた構成であり、また図 1 0 9（B）に示される配線基板 2 4 5 G は折り曲

25 げられる部分のベースフィルム 2 1 7 を除去してソルダーレジスト 2 5 4 を配設したものであり、更に図 1 0 9（C）に示される配線基板 2 4 5 H は基部 2 5 1 A にランド部 2 4 9 を形成したものである。

本実施例による配線基板 2 4 5 F、2 4 5 G は、先に説明した半

導体装置 210 G (図 9 2 参照), 210 H (図 9 3 参照), 210 I (図 9 4 参照), 210 J (図 9 5 参照), 210 L (図 9 7 参照), 210 M (図 9 8 参照), 210 P (図 100 参照), 210 Q (図 101 参照) に適用することができる。また、本実施例  
5 による配線基板 245 H は先に説明した半導体装置 210 R (図 102 参照) に適用することができる。

また、図 109 は先に図 106 を用いて説明した配線基板 245 A の変形例である配線基板 245 I を示しており、具体的には接続  
電極 253 (図中梨地で示す) の形成部分を拡大して示している。

10 本実施例に係る配線基板 245 I では、千鳥状となるよう接続電極 253 を配設すると共に、各接続電極 253 の角部 253 a が曲線形状を有するよう形成したことを特徴とするものである。接続電極 253 を千鳥状とすることにより、各接続電極 253 の面積を広く  
15 することができるため、半導体素子 211 との間にワイヤ 235 を配設する際にワイヤボンディング処理 (電氣的接続処理) を簡単化することができる。

また、接続電極 253 の角部 253 a を曲線状に形成することにより、例えば半導体素子 211 と接続電極 253 とをワイヤボン  
ディングする際、ワイヤ 235 と接続電極 253 との接合に用いる  
20 ボンディング治具 (超音波溶接治具) が当接された時に発生する応力を分散することが可能となり、よってワイヤ 235 と接続電極 253 との電氣的接続処理を確実にこなうことができる。

続いて、本発明の第 48 実施例に係る半導体装置及びその製造方法について図 111 乃至図 113 を用いて説明する。尚、図 111  
25 乃至図 113 において、図 88 乃至図 90 に示した第 35 実施例に係る半導体装置 210 E の構成と対応する構成については同一符号を附してその説明を省略するものとする。

図 111 は本発明の第 48 実施例である半導体装置 210 S を示しており、図 112 及び図 113 は半導体装置 210 S の製造方法

を示している。本実施例に係る半導体装置 210 S は、突起電極としていわゆるメカニカルバンプ 255 を用いたことを特徴とするものである。メカニカルバンプ 255 は、配線基板 245 J に形成されているリード 218 を塑性加工することにより配線基板 245 J の表面から突出させ、これにより突起電極を形成した構成とされている。

前記したようにメカニカルバンプ 255 はリード 218 を塑性加工することにより形成されるため、突起電極をメカニカルバンプ 255 により構成することにより、前記した各実施例で説明したように転写法を用いた場合に必要となるボール材を不要とすることができ、よって部品点数の削減及び製造工程の簡易化を図ることができる。更に、塑性加工方法としては、例えばリード 218 をポンチ（治具）等でプレス加工するだけの簡単な処理でよいため、低コストでかつ容易にメカニカルバンプ 255（突起電極）を形成することが可能となる。

次に、半導体装置 210 S の製造方法について説明する。図 112（A）は、メカニカルバンプ 255 が形成された配線基板 245 J に樹脂封止工程を実施した状態を示している。同図に示されるように、本実施例ではメカニカルバンプ 255 は配線基板 245 J の延出部 246 に形成されている。

ここで、図 112（A）における矢印 A で示す部分（メカニカルバンプ 255 の形成部分）を図 112（B）～（D）に拡大して示す。各図に示されるように、メカニカルバンプ 255 の構成は種々の態様とすることが可能である。以下、夫々の構成について説明する。

図 112（B）に示されるメカニカルバンプ 255 A は、リード 218 を絶縁膜 219 と一体的にプレス加工（塑性加工）することにより、ベースフィルム 217 に形成された接続孔 217 b から突出させ、更にリード 218 及び絶縁膜 219 が突出されることによ

りその背面側に形成される凹部内にコア 2 5 6 を配設したことを特徴とするものである。このコア 2 5 6 は、メカニカルバンプ 2 5 5 A の背面側に形成される凹部に対応した形状とされている。

5 上記構成のメカニカルバンプ 2 5 5 A は、リード 2 1 8 を絶縁膜 2 1 9 と共にプレス加工するため、絶縁膜 2 1 9 の除去処理が不要であり、よってメカニカルバンプ 2 5 5 A の形成工程を簡単化することができる。また、メカニカルバンプ 2 5 5 A の背面側に必然的に形成される凹部にはコア 2 5 6 が配設されるため、半導体装置 2 1 0 S を実装する際にメカニカルバンプ 2 5 5 A が押圧された場合  
10 においても、メカニカルバンプ 2 5 5 A が変形するようなことはない。

図 1 1 2 (C) に示される構成では、絶縁膜 2 1 9 を除去した上でリード 2 1 8 をプレス加工（塑性加工）することによりメカニカルバンプ 2 5 5 B が形成される。また、本実施例においてもメカニカルバンプ 2 5 5 B の背面側に形成される凹部内にはコア 2 5 6 が  
15 配設される。

上記構成のメカニカルバンプ 2 5 5 B は、リード 2 1 8 のみをプレス加工するため、絶縁膜 2 1 9 と共にリード 2 1 8 を加工する図 1 1 2 (B) の構成に比べてメカニカルバンプ 2 5 5 B の形状を精度よく形成することができる。即ち、絶縁膜 2 1 9 の厚さにバラツキがあると形成されるメカニカルバンプ 2 5 5 B の形状にこれが影響することが考えられるが、本実施例の構成では絶縁膜 2 1 9 の厚さが影響することではなく、よって精度の高いメカニカルバンプ 2 5 5 B を形成することができる。  
20

25 図 1 1 2 (D) に示される構成は、前記した図 1 1 2 (B) に示される構成において、コア 2 5 6 を用いず、第 2 の接着剤 2 4 7 をメカニカルバンプ 2 5 5 C の背面側に形成される凹部内に充填した構成としたことを特徴とするものである。

前記したように、第 2 の接着剤 2 4 7 は延出部 2 4 6 を枠体 2 1

3等に固定する機能を奏するものであるが、この第2の接着剤247は固化することにより所定の硬度を有するようになる。このため、第2の接着剤247を前記した凹部に充填することにより、第2の接着剤247にコア256と同等の機能を奏させることができる。

5

このように、第2の接着剤247をコア256として用いることにより、図112(B)、(C)に示す構成に比べて部品点数を削減することができると共に、メカニカルバンプ255Cの形成工程の簡単化を図ることができる。

10

上記の各形成方法の何れかを用いて配線基板245Jにメカニカルバンプ255が形成されると、この配線基板245Jに半導体素子211がフリップチップ接合され、続いて圧縮成形法を用いて樹脂封止工程が実施され、図112(A)に示される状態となる。続いて、図113に示されるように折曲工程が実施され、延出部246は枠体213の上面側に折曲され、第2の接着剤247により枠体213に固定される。これにより、図111に示される半導体装置210Sが製造される。

15

図114は、本発明の第49実施例である半導体装置210T及びその製造方法を示している。先に図111乃至図113を用いて説明した半導体装置210S及びその製造方法では、半導体素子211と配線板245Jとの接続方法として、フリップチップ接合を用いていた。

20

これに対して本実施例では、図114に示されるように、半導体素子211と配線板245Jとをワイヤ235により接続したことを特徴とするものである。このように、メカニカルバンプ255を用いた構成であっても、半導体素子211と配線板245Jとの接続は、TAB法或いはワイヤボンディング法の何れをも用いることが可能である。尚、本実施例は、図111乃至図113を用いて説明した半導体装置210S及びその製造方法に対し、半導体素子2

25

1 1 と配線板 2 4 5 J との接続構造が異なるのみで、他の構成及び製造方法は同一であるためその説明は省略する。

続いて、本発明の第 5 0 実施例に係る半導体装置及びその製造方法について説明する。図 1 1 5 は本発明の第 5 0 実施例である半導体装置 2 1 0 U 及びその製造方法を説明するための図である。尚、図 1 1 5 において図 1 0 2、及び図 1 1 1 乃至図 1 1 2 に示した構成と同一構成については同一符号を付してその説明を省略する。

図 1 1 5 (F) は、本発明の第 5 0 実施例である半導体装置 2 1 0 U を示している。本実施例に係る半導体装置 2 1 0 U に配設される枠体 2 1 3 A は、図 1 0 2 を用いて説明した半導体装置 2 1 0 R と同一構成を有している。即ち、枠体 2 1 3 A は一体的に形成された底部 2 3 7 を有した構成とされている。また、本実施例で用いられている配線基板 2 4 5 K は、基部 2 5 1 A に突起電極 2 5 5 が形成された構成とされている。

上記構成とされた配線基板 2 4 5 K は、図 1 1 5 (A) に示されるように、基部 2 5 1 A が枠体 2 1 3 A の底部 2 3 7 上に位置決めされ、図中配線板 2 4 5 K の下面に配設されている第 2 の接着剤 2 4 7 を用いてこの側部 2 3 7 に固定される。この状態において、延出部 2 4 6 は枠体 2 1 3 A の外周より外側に延出した状態となっている。また、枠体 2 1 3 A に形成されたキャビティ 2 2 3 A の内部には、半導体素子 2 1 1 が接着剤 2 3 6 により搭載されている。

上記のように配線基板 2 4 5 A の基部 2 5 1 A が枠体 2 1 3 A の底部 2 3 7 に固定されると、樹脂封止工程を実施することなく図 1 1 5 (B), (C) に示すように延出部 2 4 6 を折り曲げ、接着剤 2 4 7 A により延出部 2 4 6 を枠体 2 1 3 A に固定する。続いて、ワイヤボンディング法を用いて接続電極 2 5 3 と半導体素子 2 1 1 との間にワイヤ 2 3 5 を配設する。図 1 1 5 (D) は接続電極 2 5 3 と半導体素子 2 1 1 との間にワイヤ 2 3 5 が配設された状態を示している。

上記のようにワイヤ 2 3 5 が配設されると、続いて樹脂封止工程が実施される。図 1 1 5 (E) は配線基板 2 4 5 K が金型 2 2 4 C に装着された状態を示している。本実施例では、樹脂封止工程の実施前に配線基板 2 4 5 K にメカニカルバンプ 2 5 5 が形成されているため、金型 2 2 4 C の上型 2 2 5 B にはメカニカルバンプ 2 5 5 が挿入される挿入孔 2 5 7 が形成されている。

また、本実施例においても、封止樹脂 2 1 5 の形成には圧縮成形法が用いられている。更に、本実施例では、封止樹脂 2 1 5 の形成と同時に放熱板 2 3 3 を配設する方法が用いられている。そして、封止樹脂 2 1 5 が形成されることにより、図 1 1 5 (F) に示す半導体装置 2 1 0 U が製造される。

上記のように製造された半導体装置 2 1 0 U は、図 1 0 2 に示した半導体装置 2 1 0 R と同様に、メカニカルバンプ 2 5 5 の形成される位置は枠体 2 1 3 A の底部 2 3 7 側となり、この位置にはキャビティ 2 2 3 A は形成されていないため、底部 2 3 7 の全領域をメカニカルバンプ 2 5 5 の形成領域とすることができる。このため、メカニカルバンプ 2 5 5 の配設ピッチを広く設定したり、またメカニカルバンプ 2 5 5 の配設数を多くすることが可能となる。

図 1 1 6 は、メカニカルバンプ 2 5 5 を適用した各種半導体装置を示す図である。図 1 1 6 (A) は、先に図 8 1 を用いて説明した第 3 1 実施例に係る半導体装置 1 0 A において、突起電極としてメカニカルバンプ 2 5 5 を用いた構成の半導体装置 2 1 0 V である。また、図 1 1 6 (B) は、先に図 8 4 を用いて説明した第 3 2 実施例に係る半導体装置 1 0 B において、突起電極としてメカニカルバンプ 2 5 5 を用いた構成の半導体装置 2 1 0 W である。更に、図 1 1 6 (C) は、先に図 9 を用いて説明した第 3 4 実施例に係る半導体装置 2 1 0 D において、突起電極としてメカニカルバンプ 2 5 5 を用いた構成の半導体装置 2 1 0 X である。

各図に示されるように、延出部 2 4 6 を折曲形成しない半導体装



置 2 1 0 V ~ 2 1 0 X においても、突起電極としてメカニカルバンプ 2 5 5 を適用できることができる。尚、図 1 1 6 に示した各半導体装置 2 1 0 V ~ 2 1 0 X において、メカニカルバンプ 2 5 5 以外の構成は、前記した半導体装置 2 1 0 A, 2 1 0 B, 2 1 0 D と同一であるため、その説明については省略する。

続いて、本発明の第 5 1 実施例に係る半導体装置及びその製造方法について説明する。図 1 1 7 は本発明の第 5 1 実施例である半導体装置 2 1 0 Y 及びその製造方法を説明するための図である。尚、図 1 1 7 において図 1 1 5 に示した構成と同一構成については同一符号を付してその説明を省略する。

図 1 1 7 (E) は、本発明の第 5 1 実施例である半導体装置 2 1 0 Y を示している。本実施例に係る半導体装置 2 1 0 Y は、前記してきた各実施例に対し、枠体 2 1 3, 2 1 3 A を設けない構成としたことを特徴とするものである。従って、半導体素子 2 1 1 は、封止樹脂 2 1 5 のみにより保持された構成となっている。このように、枠体 2 1 3, 2 1 3 A を取り除き、封止樹脂 2 1 5 のみにより半導体素子 2 1 1 を保持する構成とすることにより、半導体装置 2 1 0 Y の小型化を更に進めることができると共に、部品点数が削減されることによりコスト低減及び組み立て作業の簡単化を図ることができる。

続いて、上記構成とされた半導体装置 2 1 0 Y の製造方法について説明する。尚、以下の説明においては突起電極としてメカニカルバンプ 2 5 5 を用いている者を例に挙げて説明するが、メカニカルバンプ以外の突起電極が適用された半導体装置に対しても、以下の説明に係る製造方法は適用できるものである。

図 1 1 7 (A) は、予めメカニカルバンプ 2 5 5 が形成されると共に、半導体素子 2 1 1 が搭載された配線基板 2 4 6 L を金型 2 2 4 C に装着する状態を示している。本実施例においては、半導体素子 2 1 1 と配線基板 2 4 6 L とはワイヤ 2 3 5 を用いて電氣的に接

続されている。また、本実施例で用いる金型 2 2 4 C は、図 1 1 5 (E) で示したものと同様に、上型 2 2 5 B にメカニカルバンプ 2 5 5 が挿入される挿入孔 2 5 7 が形成されている。

5 配線基板 2 4 6 L が金型 2 2 4 C に装着されると、上型 2 2 5 B と下型 2 2 6 は近接するように移動し、図 1 1 7 (B) に示されるように、配線基板 2 4 6 L は上型 2 2 5 B と下型 2 2 6 との間にクランプされた状態となる。

10 続いて、図 1 1 7 (C) に示されるように第 1 の下型半体 2 2 8 は上動し、封止樹脂 2 2 7 は所定の圧縮圧力をもって半導体素子 2 1 1、ワイヤ 2 3 5 等を封止してゆく。即ち、本実施例においても、封止樹脂 2 1 5 の形成には圧縮成形法が用いられている。また、本実施例では、第 1 の下型半体 2 2 8 の上部に放熱板 2 3 3 が載置された状態で樹脂封止処理が行なわれる構成とされているため、封止樹脂 2 1 5 の形成と同時に放熱板 2 3 3 を配設することができる。

15 図 1 1 7 (D) は、上記のように封止樹脂 2 1 5 が形成された配線基板 2 4 5 L を金型 2 2 4 C から離型した状態を示している。この状態では、配線基板 2 4 5 L は形成された封止樹脂 2 1 5 の側部に延出した不要延出部 2 5 8 が形成された状態となっている。この不要延出部 2 5 8 は、離型処理が行なわれた後に切断除去され、これにより図 1 1 7 (E) に示される半導体装置 2 1 0 Y が製造される。

図 1 1 8 は本発明の第 5 4 実施例である半導体装置 3 1 0 A を示している。図 1 1 8 (A) は半導体装置 3 1 0 A の断面図であり、また図 1 1 8 (B) は半導体装置 3 1 0 A の側面図である。

25 本実施例に係る半導体装置 3 1 0 A は、大略すると半導体素子 3 1 2、電極板 3 1 4 A、封止樹脂 3 1 6 A、及び突出端子 3 1 8 からなる極めて簡単な構成とされている。半導体素子 3 1 2 (半導体チップ) は、半導体基板に電子回路が形成されたものであり、その実装面側には複数のバンプ電極 3 2 2 が形成されている。このバン

プ電極 3 2 2 は、例えば半田ボールを転写法を用いて配設した構成とされており、電極板 3 1 4 にフリップチップ接合により接合されている。その他、リフロー等も用いることができる。

5       このように、半導体素子 3 1 2 と電極板 3 1 4 とをフリップチップ接合したことにより、ワイヤを用いて接続する構成に比べて接合に要するスペースを小スペース化することができ、半導体装置 3 1 0 A の小型化を図ることができる。また、接合部分における配線長を短くすることができるため、インピーダンスを低減でき電気的特性の向上を図ることができる。更に、隣接するバンプ電極 3 2 2 間のピッチを狭ピッチ化できるため、多ピン化にも対応することができる。

10       また、上記の電極板 3 1 4 はいわゆるインタポーザとして機能するものであり、例えば銅合金等の導電性金属により形成されている。この電極板 3 1 4 は、図 1 1 9 (A) に示されるように、所定のパターン形状を有した複数の金属板パターン 3 2 6 により構成されている（尚、後述するように、図 1 1 9 (A) はリードフレーム状態の電極板 3 1 4 を示している）。

15       この金属板パターン 3 2 6 は、図中下面に半導体素子 3 1 2 のバンプ電極 3 2 2 が接合されると共に、図中上面である半導体素子 3 1 2 の配設面と異なる面に突出端子 3 1 8 が接合される。よって、金属板パターン 3 2 6 は、バンプ電極 3 2 2 と突出端子 3 1 8 とを電気的に接続する機能を奏する。また、図 1 1 8 (B) に示されるように、金属板パターン 3 2 6 の端部は封止樹脂 3 1 6 A の側面から露出し、側部端子 3 2 0 を形成している。

20       突出端子 3 1 8 は、例えば半田よりなるボールバンプ（突起電極）であり、上記のように電極板 3 1 4 に接合されている。この突出端子 3 1 8 は、金属板パターン 3 2 6 を介して対応する既定のバンプ電極 3 2 2 に電気的に接続される。

25       封止樹脂 3 1 6 A は、半導体素子 3 1 2，電極板 3 1 4，及び突

出端子 3 1 8 の一部を封止するよう形成されている。この封止樹脂 3 1 6 A は、例えばポリイミド、エポキシ等の絶縁性を有した樹脂であり、半導体素子 3 1 2 を覆い保護するに足る最小の大きさで形成されている。これにより、半導体装置 3 1 0 A の小型化を図ることができる。

5       また、封止樹脂 3 1 6 A を形成した状態において、半導体素子 3 1 2 の背面 3 2 8 は封止樹脂 3 1 6 A から露出するよう構成されている。半導体素子 3 1 2 の背面 3 2 8 は電子回路等は形成されておらず比較的強度が高い部位であるため、背面 3 2 8 を封止樹脂 3 1 6 A から露出させても特に不都合は生じない。また、返って背面 3 2 8 を封止樹脂 3 1 6 A から露出させることにより、半導体素子 3 1 2 で発生した熱は、この背面 3 2 8 から外部に放熱されるため、半導体装置 3 1 0 A の放熱効率を向上させることができる。

10       また前記のように、封止樹脂 3 1 6 A を形成した状態において、電極板 3 1 4 の端部は封止樹脂 3 1 6 A の側面から露出し側部端子 3 2 0 を形成している。このように、側部端子 3 2 0 が封止樹脂 3 1 6 A の側面から露出する構成とすることにより、側部端子 3 2 0 を突出端子 3 1 8 と共に他の基板或いは装置と接続する外部接続端子として用いることが可能となる。

20       図 1 2 8 は、本発明の第 5 4 実施例である半導体装置の実装構造を示しており、上記した構成の半導体装置 3 1 0 A を実装基板 3 3 2 に実装した状態を示している。同図に示されるように、実装状態では突出端子 3 1 8 は封止樹脂 3 1 6 A の底面と実装基板 3 3 2 との間に位置することとなり、外部から観察したりまたプローブ等の  
25       テスト治具を接続することはできない。

しかるに、半導体装置 3 1 0 A では、側部端子 3 2 0 を封止樹脂 3 1 6 A の側面から露出させた構成としているため、半導体装置 3 1 2 を実装基板 3 3 2 に実装した後においても、この側部端子 3 2 0 を用いて半導体素子 3 1 0 A の動作試験を行なうことが可能とな

る。よって、不良半導体装置の発見を容易に行なうことができ、実装時における歩留りの向上及び信頼性の向上を図ることができる。

再び図 1 1 8 に戻り、半導体装置 3 1 0 A の説明を続ける。

5 上記した封止樹脂 3 1 6 A は、半導体素子 3 1 2 を覆うばかりではなく、電極板 3 1 4 の突出端子 3 1 8 が接合された面にも形成されている。このため、突出端子 3 1 8 は封止樹脂 3 1 6 A により保持する機能を奏する。よって、外力印加等により突出端子 3 1 8 が半導体装置 3 1 0 A から離脱することを防止することができる。また、封止樹脂 3 1 6 A は絶縁性を有しているため、突出端子 3 1 8  
10 の配設密度が高い場合（即ち、狭ピッチ化された場合）であっても、実装時に隣接する突出端子 3 1 8 間で短絡が発生することを防止することができる。

更に、突出端子 3 1 8 は、封止樹脂 3 1 6 A が形成された状態において、封止樹脂 3 1 6 A から突出するよう構成されている。この  
15 ため、実装時に確実に突出端子 3 1 8 を実装基板 3 3 2 に接続することができる。また図 1 2 8 に示したように半導体装置 3 1 0 A を B G A (Ball Grid Array) と同様に取り扱うことができ、実装性の向上を図ることができる。

ここで、半導体装置 3 1 0 A に設けられた電極板 3 1 4 A に注目  
20 する。

前記のように電極板 3 1 4 A は金属板であるため、この電極板 3  
1 4 A を半導体素子 3 1 2 を保護する封止樹脂 3 1 6 A 内に設けることにより、電極板を封止樹脂 3 1 6 A を補強する補強材として機能させることができる。これにより、半導体素子 3 1 2 の保護をより  
25 より確実に行なうことができ、よって半導体装置 3 1 0 A の信頼性を向上させることができる。

また、電極板 3 1 4 A は、外部接続端として機能する突出端子 3 1 8 及び側部端子 3 2 0 と、半導体素子 3 1 2 との間に位置するものである。このため、従来のように半導体素子に直接外部接続端を接続する構

成と異なり、半導体装置 3 1 0 A の内部において電極板 3 1 4 A に  
より半導体素子 3 1 2 と突出端子 3 1 8, 側部端子 3 2 0 との間で  
配線の引回しを行なうことが可能となる。よって、電極板 3 1 4 を  
設けることにより、半導体装置 3 1 2 及び外部接続端子（突出端子  
5 3 1 8, 側部端子 3 2 0）の端子レイアウトの自由度を高めること  
ができる。

更に、電極板 3 1 4 A は導電性金属よりなり、一般に導電性金属  
（本実施例の場合は銅合金）は封止樹脂 3 1 6 A よりも熱伝導性が  
良好であるため、半導体素子 3 1 2 で発生した熱は電極板 3 1 4 A  
10 を介して外部に放熱される。よって、半導体素子 3 1 2 で発生した  
熱を効率よく放熱することができ、半導体素子 3 1 2 の安定した動  
作を担保することができる。

続いて、上記構成とされた半導体装置 3 1 0 A の製造方法につい  
て説明する。

15 図 1 1 9 乃至図 1 2 2 は、半導体装置 3 1 0 A の製造方法を説明  
するための図である。尚、図 1 1 9 乃至図 1 2 2 において、図 1 1  
8 に示した構成と対応する構成については同一符号を付して説明す  
る。

本実施例に係る製造方法は、電極板形成工程、チップ搭載工程、  
20 突出端子形成工程、封止樹脂形成工程、切断工程とを有している。  
電極板形成工程では、例えばリードフレーム材である銅合金（例え  
ば、Cu-Ni-Sn 系）よりなる金属基板に対し、パターン成形  
処理を行なうことにより複数の電極板 3 1 4 を有するリードフレー  
ム 3 2 4 A を形成する。この電極板形成工程で実施されるパターン  
25 成形処理は、エッチング法またはプレス加工法を用いて行なわれる。

このエッチング法及びプレス加工法は、一般の半導体装置の製造  
工程において、リードフレーム形成法として一般に用いられている  
手法である。よって、エッチング法またはプレス加工法を適用する  
ことにより、設備の増加を伴うことなくリードフレーム 3 2 4 A を

形成することができる。

図 1 1 9 (A) は、リードフレーム 3 2 4 A の一部を拡大した図であり、4 個の電極板 3 1 4 A が示されている。本実施例に係る製造方法では、多数個取りを行なう構成とされているため、よって同図に示されるようにリードフレーム 3 2 4 A には複数の電極板 3 1 4 A が形成されている。

この電極位置 3 1 4 A は、前記したように複数の金属板パターン 3 2 6 により構成されている。この金属板パターン 3 2 6 は、上記のパターン成形処理において任意の配線パターンに設定することができるため、電極板 3 1 4 A により配線の引回しを行なうことが可能となり、これにより電極板 3 1 4 A に形成される外部接続端子の端子レイアウトに自由度を持たせることができる。

一方、図 1 1 9 (B) は、前記した電極板 3 1 4 A (リードフレーム 3 2 4 A) に搭載される半導体素子 3 1 2 (3 1 2 A ~ 3 1 2 C) を示している。本実施例では、一つの電極板 3 1 4 A に 3 個の半導体素子 3 1 2 A ~ 3 1 2 C を搭載する構成とされている。また、各半導体素子 3 1 2 A ~ 3 1 2 C には、夫々電極板 3 1 4 A と電氣的に接続するためのバンプ電極 3 2 2 が配設されている。

同図に示すように、半導体素子 3 1 2 A ~ 3 1 2 C の大きさは、必ずしも同一である必要はない。また、各電極板 3 1 4 A に形成された金属板パターン 3 2 6 は、各半導体装置 3 1 2 A ~ 3 1 2 C に形成されたバンプ電極 3 2 2 の形成位置と対応するよう構成されている。

上記した電極板形成工程が終了すると、続いてチップ搭載工程が実施される。このチップ搭載工程では、電極板 3 1 4 A に半導体素子 3 1 2 A ~ 3 1 2 C を搭載し電氣的に接続する処理が行なわれる。図 1 2 0 (A), (B) は、半導体素子 3 1 2 A ~ 3 1 2 C が電極板 3 1 4 A に搭載された状態を示している。

本実施例では、半導体素子 3 1 2 A ~ 3 1 2 C を電極板 3 1 4 A

に接合する手段として、直接バンプ電極 3 2 2 を電極板 3 1 4 A に接合するフリップチップ接合法が採用されている。このフリップチップ接合法を用いることにより、前記したように半導体素子 3 1 2 A ~ 3 1 2 C と電極板 3 1 4 A との接合エリアの小スペース化を図ることができると共に、接続インピーダンスの低減を図ることができる。

上記したチップ搭載工程が終了すると、続いて突出端子形成工程が実施される。この突出端子形成工程は、電極板 3 1 4 A を構成する金属板パターン 3 2 6 の所定位置に突起端子 3 1 8 を形成する。突起端子 3 1 8 は半田ボールにより構成されており、例えば転写法を用いて金属板パターン 3 2 6 に接合される。図 1 2 1 は、突起端子 3 1 8 が配設された電極板 3 1 4 A を示している。この突起端子 3 1 8 は、上記のように金属板パターン 3 2 6 の配線パターンを適宜選定することにより、マトリックス状に配設されている。

上記した突出端子形成工程が終了すると、続いて封止樹脂形成工程が実施される。この封止樹脂形成工程では、半導体素子 3 1 2 (3 1 2 A ~ 3 1 2 C) 及び突起端子 3 1 8 が配設されたリードフレーム 3 2 4 A を金型に装着し、圧縮成形法を用いて封止樹脂 3 1 6 A を形成する。封止樹脂 3 1 6 A を形成することにより、半導体素子 3 1 2 及び電極板 3 1 4 A は封止樹脂 3 1 6 A に封止される。よって、半導体素子 3 1 2 及び電極板 3 1 4 A は封止樹脂 3 1 6 A により保護され、よって半導体装置 3 1 0 A の信頼性を向上させることができる。

図 1 2 2 は、封止樹脂 3 1 6 A が形成されたリードフレーム 3 2 4 A を示している。同図に示すように、封止樹脂 3 1 6 A が形成された状態において、半導体素子 3 1 2 (3 1 2 A ~ 3 1 2 C) はその背面 3 2 8 を封止樹脂 3 1 6 A から露出されており、また突起端子 3 1 8 はその先端所定部分が封止樹脂 3 1 6 A から突出するように構成されている。このように、半導体素子 3 1 2 の背面 3 2 8 を封



止樹脂 3 1 6 A から露出させることにより放熱効率を向上できると共に、突起端子 3 1 8 の先端部を封止樹脂 3 1 6 A から突出させることにより、実装性の向上を図ることができる。

5 上記した封止樹脂形成工程が終了すると、続いて切断工程が実施される。この切断工程では、多数個取りを行なうために複数個一括的に形成された半導体装置の各境界位置（図 1 2 2 に A - A で示す破線位置）で、封止樹脂 3 1 6 A 及びリードフレーム 3 2 4 A（電極板 3 1 4 A）を切断する。これにより、図 1 1 8 に示す半導体装置 3 1 0 A が形成される。

10 上記のように、封止樹脂 3 1 6 A と共にリードフレーム 3 2 4 A（電極板 3 1 4 A）を切断することにより、電極板 3 1 4 A の切断位置は封止樹脂 3 1 6 A の側面に必ず露出することとなり側部端子 3 2 0 を形成する。よって、この側部端子 3 2 0 を外部接続端子として用いることができる。

15 続いて、第 5 5 実施例に係る半導体装置 3 1 0 B について説明する。

図 1 2 3 は、第 5 5 実施例に係る半導体装置 3 1 0 B を説明するための図であり、図 1 2 3（A）は半導体装置 3 1 0 B の断面を、図 1 2 3（B）は半導体装置 3 1 0 B の底面を夫々示している。尚、  
20 図 1 2 3 において、図 1 1 8 を用いて説明した第 5 4 実施例に係る半導体装置 3 1 0 A と同一構成については、同一符号を付してその説明を省略する。また、以下説明する各実施例においても、同様とする。

25 前記した第 5 4 実施例に係る半導体装置 3 1 0 A は、電極板 3 1 4 A に突起端子 3 1 8 を形成し、この突起端子 3 1 8 を封止樹脂 3 1 6 A から露出させる構成としていた。これに対し、本実施例に係る半導体装置 3 1 0 B は、突起端子 3 1 8 を設けることなく、電極板 3 1 4 A を直接封止樹脂 3 1 6 B から露出させたことを特徴とするものである。

本実施例に係る半導体装置 3 1 0 B は、突起端子 3 1 8 が設けられていないため、部品点数の削減及び製造工程の簡単化を図ることができる。また、電極板 3 1 4 A は、封止樹脂 3 1 6 B の側面に加え底面にも露出し外部接続端子を形成するため、側面及び底面の双方において実装を行なうことができる。

図 1 3 0 は、半導体装置 3 1 0 B を実装基板 3 3 2 に実装した構造を示している。同図に示されるように、半導体装置 3 1 0 B は実装基板 3 3 2 に半田 3 3 6 を用いてフェイスダウン実装されている。この際、半田 3 3 6 は、電極板 3 1 4 A の底面部ばかりでなく、側部端子 3 2 0 にも回り込んで半田付けされている。

また、本実施例に係る半導体装置 3 1 0 B は、後述する第 5 6 実施例に係る半導体装置 3 1 0 C と同様に側部端子 3 2 0 のみを用いて実装することも可能であり、よって実装構造の自由度を向上させることができる。

続いて、第 5 6 実施例に係る半導体装置 3 1 0 C について説明する。

図 1 2 4 は、第 5 6 実施例に係る半導体装置 3 1 0 C を説明するための図であり、図 1 2 4 (A) は半導体装置 3 1 0 C の断面を、図 1 2 4 (B) は半導体装置 3 1 0 C の上面を夫々示している。

前記した第 5 5 実施例に係る半導体装置 3 1 0 B は、電極板 3 1 4 A の底面及び側端部を共に直接封止樹脂 3 1 6 B から露出させた構成としていたが、本実施例に係る半導体装置 3 1 0 C は、電極板 3 1 4 A の側端部のみを封止樹脂 3 1 6 C から露出させ側部端子 3 2 0 を形成したことを特徴とするものである。

本実施例に係る半導体装置 3 1 0 C では、電極板 3 1 4 A が側部端子 3 2 0 を残し封止樹脂 3 1 6 C に埋設された構成とされているため、熱応力や外力により電極板 3 1 4 A が封止樹脂 3 1 6 C から剥離することを防止でき、半導体装置 3 1 0 C の信頼性を向上させることができる。

続いて、第 5 7 実施例に係る半導体装置 3 1 0 D について説明する。

図 1 2 5 は、第 5 7 実施例に係る半導体装置 3 1 0 D を説明するための図であり、図 1 2 5 (A) は半導体装置 3 1 0 D の断面を、  
5 図 1 2 5 (B) は半導体装置 1 0 D の上面を、図 1 2 5 (C) は半導体装置 3 1 0 D の底面を夫々示している。

本実施例に係る半導体装置 3 1 0 D は、電極板 3 1 4 B に突起状端子 3 3 0 (突出端子) を形成したことを特徴とするものである。  
この突起状端子 3 3 0 は電極板 3 1 4 B を塑性加工 (例えば、プレス加工) することにより形成されており、よって突起状端子 3 3 0  
10 と電極板 3 1 4 B とは一体的な構成とされている。また、これに代えて、導電性の別物体を取付ける構成としてもよい。

また、突起状端子 3 3 0 の形成処理は、前記した電極板形成工程で一括的に形成することができる。このため、突起状端子 3 3 0 を  
15 形成することにより製造工程が複雑になるようなことはなく、また突起状端子 3 3 0 を別部材により形成する構成に比べて部品点数の削減を図ることができる。

上記構成とされた突起状端子 3 3 0 は、図 1 2 5 (A), (B) に示されるように、封止樹脂 3 1 6 D の底面から露出するよう構成されている。このように、突起状端子 3 3 0 を封止樹脂 3 1 6 D の  
20 底面から露出させることにより、突起状端子 3 3 0 を外部接続端子として機能させることができる。

図 1 3 4 は、上記した半導体装置 3 1 0 D を実装基板 3 3 2 に実装した状態を示している。同図に示されるように、半導体装置 3 1  
25 0 D は半田 3 5 4 を用いて実装基板 3 3 2 に実装されるが、この際突起状端子 3 3 0 は封止樹脂 3 1 6 D の底面及び側面に露出した構成とされているため、半田 3 5 4 との接合面積を大きくすることができ、よって確実に突起状端子 3 3 0 を実装基板 3 3 2 に接続することができる。



を形成する。このように、突起状端子 330 を封止樹脂 316D から露出させるには、封止樹脂形成工程で用いる金型のキャビティ面を突起状端子 330 に当接させた状態とすることにより、容易に実現することができる。

5       また、切断工程における切断位置は、図 127 に A-A で示す破線位置とされており、突起状端子 330 の側面が封止樹脂 316D から露出するよう選定されている。よって、図 134 に示されるように、実装時において半田 354 は突起状端子 330 の側面までも回り込み、確実な半田付けを行なうことができる。

10       続いて、上記した各実施例に係る半導体装置 310A～310D を実装基板 332 に実装する実装構造について説明する。

図 128 乃至図 134 は、第 54 乃至第 60 実施例である半導体装置 310A～310D の実装構造を示している。尚、図 128 に示す半導体装置 310A を実装する第 54 実施例に係る実装構造、  
15       図 130 に示す半導体装置 310B を実装する第 56 実施例に係る実装構造、及び図 134 に示す半導体装置 310D を実装する第 60 実施例に係る実装構造については既に説明済であるため、ここでの説明は省略するものとする。

20       図 129 は、第 55 実施例に係る半導体装置の実装構造を示している。

本実施例に係る実装構造は、第 54 実施例に係る半導体装置 310A を例に挙げたものであり、外部端子を形成する突起端子 318 に実装用バンプ 334 を配設し、この実装用バンプ 334 を介して半導体装置 310A を実装基板 332 に接合させたことを特徴とするものである。  
25

このように、実装用バンプ 334 を介して半導体装置 310A を実装基板 332 に接合させる構造とすることにより、半導体装置 310A を BGA (Ball Grid Array) と同様に実装することができ、実装性の向上及び多ピン化への対応を図ることができる。

また、突起端子 3 1 8 は電極板 3 1 4 A に形成されるものであるため、その体積を大きくするには限界があるが、実装用パンプ 3 3 4 の体積は任意に設定することができる。よって、隣接する実装用パンプ 3 3 4 間で短絡が発生しない範囲において実装用パンプ 3 3 4 の体積を最大とすることにより、半導体装置 3 1 0 A と実装基板 3 3 2 との接合力を増大することができ、これにより実装の信頼性を向上させることができる。尚、本実施例に係る実装構造は、他の実施例に係る半導体装置 3 1 0 A, 3 1 0 B, 3 1 0 D についても適用できるものである。

図 1 3 1 は、第 5 7 実施例に係る半導体装置の実装構造を示している。

本実施例に係る実装構造は、第 5 5 実施例に係る半導体装置 3 1 0 B を例に挙げたものであり、実装部材 3 3 8 を用いて半導体装置 3 1 0 B を実装基板 3 3 2 に接合させたことを特徴とするものである。

実装部材 3 3 8 は、接続ピン 3 4 0 と位置決め部材 3 4 2 とにより構成されている。接続ピン 3 4 0 は、例えば可撓可能な導電性金属材料（例えば、導電性を有したバネ材）よりなり、電極板 3 1 4 A の外部接続端子として機能する位置と対応した位置に配設されている。また、位置決め部材 3 4 2 はシリコンゴム等の可撓性及び絶縁性を有した材料により形成されており、接続ピン 3 4 0 を上記の所定位置に位置決めする機能を奏するものである。

上記構成とされた実装部材 3 3 8 は、実装された状態において、接続ピン 3 4 0 の上端部が半導体装置 3 1 0 B の電極板 3 1 4 A に接合（例えば、半田付け接合）し、また接続ピン 3 4 0 の下端部は実装基板 3 3 2 に接合される。

従って本実施例に係る実装構造では、外部接続端子と実装基板との間には接続ピンが介在した構成となる。接続ピン 3 4 0 は、前記のように可撓可能な構成であるため、例えば加熱時等に半導体装置

3 1 0 Bと実装基板 3 3 2 との間で熱膨張率差に起因した応力が発生しても、この応力は接続ピン 3 4 0 が可撓することにより吸収される。また、可撓可能でないピンの場合には、位置決め部材 3 4 2 により応力を吸収することができる。

5 よって、上記の応力が印加されても半導体装置 3 1 0 Bと実装基板 3 3 2 との接合状態を確実に維持することができ、実装の信頼性を向上させることができる。この際、接続ピン 3 4 0 を保持する位置決め部材 3 4 2 も可撓性を有した構成とされているため、接続ピン 3 4 0 の可撓変形を阻止するようなことはなく、応力の吸収を確実に  
10 行なうことができる。

更に、接続ピン 3 4 0 は位置決め部材 3 4 2 により位置決めされているため、実装時において個々の接続ピン 3 4 0 と半導体装置 3 1 0 B（電極板 3 1 4 A）、または個々の接続ピン 3 4 0 と実装基板 3 3 2 との位置決め処理を行なう必要はなく、実装作業の容易化  
15 を図ることができる。尚、本実施例に係る実装構造は、他の実施例に係る半導体装置 3 1 0 A, 3 1 0 B, 3 1 0 Dについても適用できるものである。

図 1 3 2 は、第 5 8 実施例に係る半導体装置の実装構造を示している。

20 本実施例に係る実装構造は、第 5 6 実施例に係る半導体装置 3 1 0 Cを例に挙げたものであり、ソケット 3 4 4 を用いて半導体装置 3 1 0 Cを実装基板 3 3 2 に実装したことを特徴とするものである。

ソケット 3 4 4 は、半導体装置 3 1 0 Cが装着される装着部 3 4 6 と、封止樹脂 3 1 6 Cの側面に露出した側部端子 3 2 0 と接続するよう設けられたリード部 3 4 8 とを有した構成とされている。そして、半導体装置 3 1 0 Cを装着部 3 4 6 に装着し、リード部 3 4 8 の上部と半導体装置 3 1 0 Cの側部端子 3 2 0 とを電氣的に接続した上で、リード部 3 4 8 の下部を実装基板 3 3 2 に接合（例えば、半田付け接合）する。これにより、半導体装置 3 1 0 Cはソケット  
25





上記構成とされたソケット 3 5 1 を用いることによって、第 5  
8 実施例に係る実装構造と同様に半導体装置 3 1 0 C の装着脱を容  
易に行なうことが可能となる。また、ソケット 3 5 1 を構成する  
リード部 3 5 0 とダイステージ 3 5 2 は一体的な構成であるため、  
5 部品点数の削減を図ることができると共に容易にソケット 3 5 1 を  
製造することができる。

続いて、第 5 8 実施例である半導体装置 3 1 0 E について説明す  
る。

図 1 3 5 は、第 5 8 実施例である半導体装置 3 1 0 E の断面図で  
10 ある。本実施例に係る半導体装置 3 1 0 E は、前記した第 5 4 実施  
例に係る半導体装置 3 1 0 A に対し、その上面に放熱板 3 5 6 (放  
熱部材) を設けたことを特徴とするものである。

放熱板 3 5 6 は、例えばアルミニウム板等の熱伝導率が良好で、  
かつ軽量の材質が選定されている。この放熱板 3 5 6 は、熱伝導性  
15 が高い接着剤を用いて半導体素子 3 1 2 及び封止樹脂 3 1 6 A に接  
着されている。このように、封止樹脂 3 1 6 A の半導体素子 3 1 2  
に近接する位置に放熱板 3 5 6 を配設したことにより、半導体素子  
3 1 2 で発生する熱を効率よく放熱することができる。

特に、本実施例では半導体素子 3 1 2 の背面 3 2 8 は封止樹脂 3  
20 1 6 A から露出した構成とされており、放熱板 3 5 6 はこの露出し  
た背面 3 2 8 に直接接着された構成とされている。よって、放熱板  
3 5 6 と半導体素子 3 1 2 との間に、熱伝導性が不良な封止樹脂 3  
1 6 A が介在しないため、放熱特性を更に良好なものとすることが  
できる。

25 続いて、上記構成とされた半導体装置 3 1 0 E の製造方法 (第 5  
6 実施例に係る製造方法) について説明する。

図 1 3 6 乃至図 1 4 1 は、半導体装置 3 1 0 E の製造方法を説明  
するための図である。尚、図 1 3 6 乃至図 1 4 1 において、第 5 4  
実施例に係る製造方法の説明に用いた図 1 1 9 乃至図 1 2 2 で示し

た構成と対応するものについては同一符号を付し、またその説明は省略する。

5 本実施例に係る製造方法は、第54実施例に係る製造方法に対し、少なくともチップ搭載工程を実施する前に、半導体素子312を放熱板356上に位置決めして取り付けるチップ取り付け工程を実施することを特徴とするものである。また、電極板形成工程、チップ搭載工程、突出端子形成工程、封止樹脂形成工程、及び切断工程は、基本的には第54実施例と同様の処理が行なわれる。

10 図136は、電極板形成工程を実施することにより形成されたリードフレーム324Aの一部を拡大した図であり、図中破線で囲まれた領域が1個の半導体装置310Eに対応する領域である（以下、この領域を接合領域358という）。

15 また、図137はチップ取り付け工程を説明するための図である。チップ取り付け工程では、前記した接合領域358と同一面積を有した放熱板356を形成しておき、この放熱板356上に半導体素子312（312A～312C）を電極板314Aへの配設位置と対応する位置に位置決めして接着する。これにより、各半導体素子312（312A～312C）は、電極板314Aへの配設位置に固定されたこととなり、また3個の半導体素子312A～312Cを一括的に取り扱うことが可能となる。

20 尚、図137に示す例では、各放熱板356は接合領域358に対応した大きさに分離され別個の構成とされているが、図138に示すように、連結部360により各放熱板356をリードフレーム324Aの各接合領域358の形成位置と対応するよう連結した構成としてもよい。

25 上記したチップ取り付け工程が終了すると、続いてチップ搭載工程及び突出端子形成工程が実施される。図139及び図140は、チップ搭載工程及び突出端子形成工程が終了した状態のリードフレーム324Aを示している。図139は、放熱板356がリード

フレーム 3 2 4 Aに取り付けられた一部を拡大して示す図であり、  
また図 1 4 0はその全体を示す図である。

チップ搭載工程では、半導体素子 3 1 2 (3 1 2 A～3 1 2 C)  
5 が取り付けられた放熱板 3 5 6をリードフレーム 3 2 4 Aに配設  
することにより、電極板 3 1 4 Aに半導体素子 3 1 2 A～3 1 2 Cを  
搭載し電氣的に接続する処理が行なわれる。前記したように、本実  
施例ではチップ搭載工程を実施する前に、半導体素子 3 1 2 (3 1  
2 A～3 1 2 C)を放熱板 3 5 6上に位置決めして取り付けるチッ  
10 プ取り付け工程が実施されている。よって、チップ搭載工程では、  
放熱板 3 5 6をリードフレーム 3 2 4 Aの接合領域 3 5 8に位置決  
めして取り付けることにより、複数の半導体素子 3 1 2 (3 1 2 A  
～3 1 2 C)を一括的に電極板 3 1 4に搭載することができる。

これにより、チップ搭載工程では個々の半導体素子 3 1 2 (3 1  
2 A～3 1 2 C)の位置決めを行なう必要がなくなり、単に形状の  
15 大きな放熱板 3 5 6と電極板 3 1 4 (リードフレーム 3 2 4 A)と  
を位置決めすればよいため、位置決め処理を容易化することができ  
る。

また、図 1 3 8に示した、連結部 3 6 0により複数の放熱板 3 5  
6が接合領域 3 5 8に対応して設けられたものを用いることにより、  
20 更に多数個の半導体素子 3 1 2を一括的に電極板 3 1 4 (リードフ  
レーム 3 2 4 A)に位置決めして搭載することができ、位置決め処  
理が更に容易化し半導体装置 3 1 0 Eの製造効率を向上させること  
ができる。

上記したチップ搭載工程及び突出端子形成工程が終了すると、続  
25 いて封止樹脂形成工程が実施される。この封止樹脂形成工程では、  
半導体素子 3 1 2 (3 1 2 A～3 1 2 C)及び突起端子 3 1 8が配  
設されたリードフレーム 3 2 4 Aを金型に装着し、圧縮成形法を用  
いて封止樹脂 3 1 6 Aを形成する。この際、本実施例では、各電極  
板 3 1 4 Aには放熱板 3 5 6が配設された状態となっているため、

この放熱板 3 5 6 を下型の一部として用いることができる。

図 1 4 1 は、封止樹脂 3 1 6 A が形成されたリードフレーム 3 2 4 A を示している。同図に示すように、封止樹脂 3 1 6 A は放熱板 3 5 6 より内側に形成されるため、離型時における離型性を向上させることができる。そして、上記した封止樹脂形成工程が終了すると、続いて切断工程が実施され、図 1 4 1 に A-A で示す破線位置で切断処理が行なわれることにより、図 1 3 5 に示す半導体装置 3 1 0 E が形成される。

続いて、第 5 9 実施例である半導体装置 3 1 0 F について説明する。

図 1 4 2 は、第 5 9 実施例である半導体装置 3 1 0 F の断面図である。本実施例に係る半導体装置 3 1 0 E は、前記した第 5 8 実施例に係る半導体装置 3 1 0 E に対し、放熱板 3 5 6 の上部に更に放熱フィン 3 6 2 を配設したことを特徴とするものである。放熱フィン 3 6 2 は多数のフィン部 3 6 1 を設けることにより、その放熱面積は広がっている。また、放熱フィン 3 6 2 は、熱伝導性の良好な接着剤により放熱板 3 5 6 の上部に接着されている。よって、放熱フィン 3 6 2 をフィン形状の放熱板 3 5 6 に配設することにより放熱効率は更に向上し、半導体素子 3 1 2 をより効率的に冷却することができる。

続いて、第 6 0 乃至第 6 3 実施例に係る半導体装置 3 1 0 G ~ 3 1 0 J について説明する。この各半導体装置 3 1 0 G ~ 3 1 0 J は、共に放熱板 3 5 6 を配設することにより、半導体素子 3 1 2 から発生する熱を効率よく放熱するよう構成したことを特徴とするものである。

図 1 4 3 は、第 6 0 実施例である半導体装置 3 1 0 G を示している。本実施例に係る半導体装置 3 1 0 G は、前記した第 5 5 実施例に係る半導体装置 3 1 0 B (図 1 2 3 参照) に放熱板 3 5 6 を配設した構成とされている。図 1 4 4 は、第 6 1 実施例である半導体装

置 3 1 0 H を示している。本実施例に係る半導体装置 3 1 0 H は、前記した第 5 7 実施例に係る実装構造で用いた実装部材 3 3 8 を有しており（図 1 3 1 参照）、かつ、半導体素子 3 1 2 の上部に放熱板 3 5 6 を配設した構成とされている。

5       また、図 1 4 5 は、第 6 2 実施例である半導体装置 3 1 0 I を示している。本実施例に係る半導体装置 3 1 0 I は、前記した第 5 6 実施例に係る半導体装置 3 1 0 C（図 1 2 4 参照）に放熱板 3 5 6 を配設した構成とされている。更に、図 1 4 6 は、第 6 3 実施例である半導体装置 3 1 0 J を示している。本実施例に係る半導体装置  
10       3 1 0 J は、前記した第 5 7 実施例に係る半導体装置 3 1 0 D（図 1 2 5 参照）に放熱板 3 5 6 を配設した構成とされている。このように、各半導体装置 3 1 0 G ～ 3 1 0 J に夫々放熱板 3 5 6 を配設することにより、放熱効率の向上を図ることができる。

15       続いて、第 6 4 実施例である半導体装置 3 1 0 K について説明する。

      図 1 4 7 は第 6 4 実施例に係る半導体装置 3 1 0 K を説明するための図であり、図 1 4 7（A）は半導体装置 3 1 0 K の断面を、図 1 4 7（B）は半導体装置 3 1 0 K の底面を夫々示している。本実施例に係る半導体装置 3 1 0 K は、大略すると半導体装置本体 3 7  
20       0，インタポーザ 3 7 2 A，異方性導電膜 3 7 4，及び外部接続端子 3 7 6 等により構成されている。

      半導体装置本体 3 7 0 は、半導体素子 3 7 8，突起電極 3 8 0，及び樹脂層 3 8 2 等により構成されている。半導体素子 3 7 8（半導体チップ）は、半導体基板に電子回路が形成されたものであり、  
25       その実装側の面には多数の突起電極 3 8 0 が配設されている。突起電極 3 8 0 は、例えば半田ボールを転写法を用いて配設された構成とされており、外部接続電極として機能するものである。

      また、樹脂層 3 8 2（梨地で示す）は、例えばポリイミド，エポキシ（PPS，PEK，PES，及び耐熱性液晶樹脂等の熱可塑性

樹脂)等の熱硬化性樹脂よりなり、半導体素子378の bumps 形成側面の全面にわたり形成されている。従って、半導体素子378に配設されている突起電極380は、この樹脂層382により封止された状態となるが、突起電極380の先端部は樹脂層382から露出するよう構成されている。即ち、樹脂層382は、先端部を残して突起電極380を封止するよう半導体素子378に形成されている。

上記構成とされた半導体装置本体370は、その全体的な大きさが略半導体素子378の大きさと等しい、いわゆるチップサイズパッケージ構造となる。また、上記したように半導体装置本体370は、半導体素子378上に樹脂層382が形成された構成とされており、かつこの樹脂層382は先端部を残し突起電極380を封止した構造とされている。このため、樹脂層382によりデリケートな突起電極380は保持されることとなり、よってこの樹脂層382はアンダーフィルレジン306と同様の機能を奏することとなる。

また、インタポーザ372Aは半導体装置本体370と外部接続端子376を電氣的に接続する中間部材として機能するものであり、配線パターン384Aとベース部材386Aとにより構成されている。本実施例では、インタポーザ372AとしてTAB(Tape Automated Bonding)テープを利用したことを特徴としている。このように、インタポーザ372AとしてTABテープを用いることにより、一般にTABテープは半導体装置の構成部品として安価に供給されているため、半導体装置310Kのコスト低減を図ることができる。

インタポーザ372Aを構成する配線パターン384Aは、例えば銅をプリント配線した構成とれされている。ベース部材386Aは例えばポリイミド系の絶縁性樹脂よりなり、半導体装置本体370に形成された突起電極380の形成位置と対応する位置には孔388が貫通形成されている。

また、異方性導電膜 374 は、接着性を有する可撓性樹脂内に導電性フィラーを混入したものである。よって、異方性導電膜 374 は接着性と押圧方向に対する導電性とを共に有したものである。この異方性導電膜 374 は、図示されるように、半導体装置本体 370 とインタポーザ 372 A との間に介装される。

これにより、半導体装置本体 370 とインタポーザ 372 A は、異方性導電膜 374 の有する接着性により接着される。また、この接着時において半導体装置本体 370 はインタポーザ 372 a に向け押圧されるため、半導体装置本体 370 とインタポーザ 372 A は、異方性導電膜 374 により電氣的に接続される。

また、外部接続端子 376 は半田ボールよりなり、ベース部材 386 A に形成された孔 388 を介して配線パターン 384 A と接続される。この外部接続端子 376 は、半導体装置本体 370 の搭載の邪魔にならないように、半導体装置本体 370 の搭載面と反対側の面に配設される。

更に、本実施例に係る半導体装置 310 K は、半導体装置本体 370 に形成された突起電極 380 の配設ピッチと、インタポーザ 372 A に配設された外部接続端子 376 の配設ピッチとが同一ピッチとなるよう構成されている。これに伴い、異方性導電膜 374 及びインタポーザ 372 A の平面視した時の面積は、半導体装置本体 370 の平面視した時の面積と略等しくなるよう構成されている。

上記のように、半導体装置本体 370 に形成された突起電極 380 の配設ピッチと、インタポーザ 372 A に配設された外部接続端子 376 の配設ピッチを同一ピッチとしたことにより、異方性導電膜 374 及びインタポーザ 372 A の形状を小さくすることができ、半導体装置 310 K の小型化を図ることができる。

ところで、上記したインタポーザ 372 A は、配線パターン 384 A がベース部材 386 A 上に形成された構成であるため、このベース部材 386 A 上において任意の配線パターンを形成すること

が可能である。即ち、ベース部材 3 8 6 A 上において、配線パターン 3 8 4 A を引き回すことが可能となる。

5       このように、ベース部材 3 8 6 A 上において配線パターン 3 8 4 A を引き回すことにより、半導体装置本体 3 7 0 に設けられた突起電極 3 8 0 の形成位置に拘わらず外部接続端子 3 7 6 の配設位置を設定することができる。よって、外部接続端子 3 7 6 の端子レイアウトを設定するに際し、その自由度を高めることができるため、半導体装置本体 3 7 0 の設計及び、半導体装置 3 1 0 K が実装される実装基板の配線設計を容易化することができる。

10       また、前記したように、異方性導電膜 3 7 4 は接着性及び押圧方向に対する導電性を有しているため、この異方性導電膜 3 7 4 を用いて半導体装置本体 3 7 0 とインタポーザ 3 7 2 A とを接合することができる。この際、異方性導電膜 3 7 4 の有する接着性により半導体装置本体 3 7 0 とインタポーザ 3 7 2 A は機械的に接合され、  
15       また異方性導電膜 3 7 4 の有する異方性導電性により半導体装置本体 3 7 0 とインタポーザ 3 7 2 A は電氣的に接合（接続）される。

      このように、異方性導電膜 3 7 4 は接着性及び導電性の双方の特性を有しているため、各機能を別個の部材により行なう構成に比べて部品点数及び組み立て工数の低減を図ることができる。

20       更に、異方性導電膜 3 7 4 は可撓性を有し、かつ半導体装置本体 3 7 0 とインタポーザ 3 7 2 A との間に介装されるため、この異方性導電膜 3 7 4 を緩衝膜として機能させることができる。よって、半導体装置本体 3 7 0 とインタポーザ 3 7 2 A との間に発生する応力（例えば、熱応力等）を異方性導電膜 3 7 4 により緩和することができ、半導体装置 3 1 0 K の信頼性を向上させることができる。  
25       

      続いて、上記構成とされた半導体装置 3 1 0 K の製造方法について説明する。

      図 1 4 8 は、半導体装置 3 1 0 K の製造方法（第 5 7 実施例に係る製造方法）を示している。同図に示すように、半導体装置 3 1 0



Kを製造するには、予め別工程において半導体装置本体 370, 異  
方性導電膜 374, 及びインタポーザ 372Aを形成しておく。そ  
して、図示されるように半導体装置本体 370とインタポーザ 37  
2Aとの位置決めを行なった上で、半導体装置本体 370とインタ  
ポーザ 372Aとの間に異方性導電膜 374を介装し、半導体装置  
本体 370をインタポーザ 372Aに向け押圧する。

これにより、前記のように異方性導電膜 374の有する接着性  
により半導体装置本体 370とインタポーザ 372Aは機械的に接合  
されると共に、異方性導電膜 374の有する異方性導電性により半  
導体装置本体 370とインタポーザ 372Aは電氣的に接合される。  
よって、本実施例の製造方法によれば、半導体装置本体 370とイ  
ンタポーザ 372Aとの機械的接合処理及び電氣的接合処理を一括  
的に行なうことができるため、半導体装置 310Kの製造工程を簡  
単化することができる。

上記のように半導体装置本体 370とインタポーザ 372Aとの  
接合処理が終了すると、続いて半田ボールよりなる外部接続端子 3  
76を転写法によりインタポーザ 372Aに接合する。この際、外  
部接続端子 376の転写は加熱雰囲気中に行なわれるため、外部接  
続端子 376は溶融して孔 388内に進入してインタポーザ 372  
Aの配線パターン 384Aと電氣的に接続する。

この際、上記のように外部接続端子 376はインタポーザ 372  
Aに形成された孔 388内に進入するため、外部接続端子 376と  
インタポーザ 372Aとの接合力は強くなる。よって、外部接続端  
子 376がインタポーザ 372Aから離脱することを防止でき、半  
導体装置 310Kの信頼性を向上させることができる。

続いて、第65実施例である半導体装置 310Lについて説明す  
る。

図149は、第65実施例に係る半導体装置 310Lの要部を拡大して示した図である。尚、図149において、図147を用いて

説明した第 6 4 実施例に係る半導体装置 3 1 0 K の構成と対応する構成については、同一符号を付してその説明を省略する。

5 本実施例に係る半導体装置 3 1 0 L は、インタポーザ 3 7 2 A 上に所定の厚さを有する絶縁部材 3 9 4 を配設したことを特徴とするものである。この絶縁部材 3 9 4 は例えばポリイミド系の絶縁樹脂であり、半導体装置本体 3 7 0 に設けられた突起電極 3 8 0 の形成位置と対応する位置には接続孔 3 9 6 が形成されている。

10 上記構成とされた半導体装置 3 1 0 L によれば、半導体装置本体 3 7 0 をインタポーザ 3 7 2 A に装着する際、半導体装置本体 3 7 0 をインタポーザ 3 7 2 A に向け押圧すると、この押圧力により異方性導電膜 3 7 4 は変形付勢される。この際、特に接続孔 3 9 6 の形成位置においては、異方性導電膜 3 7 4 は狭い接続孔 3 9 6 内に入り込もうとし、よって接続孔 3 9 6 内の内圧は高くなる。

15 このように、接続孔 3 9 6 内における異方性導電膜 3 7 4 の圧力が集中的に高くなるため、異方性導電膜 3 7 4 内に混入されている導電性フィラーの密度も高くなる。よって、異方性導電膜 3 7 4 の接続孔 3 9 6 内における導電率は向上し、よって半導体装置本体 3 7 0 とインタポーザ 3 7 2 A との電氣的な接続を確実にこなうことができる。

20 図 1 5 0 及び図 1 5 1 は、半導体装置 3 1 0 L の製造方法（第 5 8 実施例に係る製造方法）を示している。尚、図 1 5 0 及び図 1 5 1 において、第 5 7 実施例に係る製造方法を説明するのに用いた図 1 4 8 に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置 3 1 0 L を多数個取りする方法について説明するものとする。

25 半導体装置 3 1 0 L を製造するには、予め別工程において半導体装置本体 3 7 0 が複数個形成されたウェハ 3 9 0、異方性導電膜 3 7 4、及びインタポーザ 3 7 2 A が複数個形成された T A B テープ 3 9 2 を形成しておく。

このTABテープ392を形成する際、その上面（ウェハ390が装着される面）の半導体装置本体370と対向する位置に絶縁部材394を形成する。この絶縁部材394は、例えばホトレジストの形成技術を利用して形成することができる。また、この絶縁部材394を形成する際、突起電極380の形成位置と対応する位置に接続孔396を形成しておく。

そして、図150に示されるように、突起電極380と接続孔396との位置決めを行なった上で、ウェハ390とTABテープ392との間に異方性導電膜374を介装し、ウェハ390をTABテープ392に向け押圧する。

これにより、前記のように異方性導電膜374の有する接着性によりウェハ390とTABテープ392は機械的に接合されると共に、異方性導電膜374の有する異方性導電性により突起電極380は配線パターン384Aに電氣的に接合される。この際、前記したように接続孔396内においては異方性導電膜374の導電性が向上するため、突起電極380と配線パターン384Aとの電氣的接続を確実に行なうことができる。

図151は、ウェハ390とTABテープ392とが接合された状態を示している。このように、ウェハ390とTABテープ392の接合処理が終了すると、続いて図151にA-Aで示す破線位置で切断処理が行なわれる。これにより、個々の半導体装置本体370及びインタポーザ372Aが形成され、図149に示す半導体装置310Lが形成される。

よって、本実施例の製造方法によれば、半導体装置本体370とインタポーザ372Aとの機械的接合処理及び電氣的接合処理を一括的に行なうことができるため、半導体装置310Lの製造工程を簡単化することができる。また、本実施例ではいわゆる多数個取りができるため、半導体装置310Lの製造効率を向上することができる。

更に、一般に異方性導電膜 374 を用いた電氣的接続構造では、電氣的接続の歩留りが低下することが問題とされるが、本実施例では半導体装置本体 370（突起電極 380）と対向する位置に接続孔 396 が形成された絶縁部材 394 を配設したことにより、突起電極 380 と配線パターン 384 A との電氣的接続を確実に行なうことができる。よって、半導体装置 310 L の信頼性を向上させることができる。

続いて、第 66 実施例である半導体装置 310 M について説明する。

図 152 は、第 66 実施例に係る半導体装置 310 M を示しており、図 152 (A) は半導体装置 310 M の断面を、図 152 (B) は半導体装置 310 M の底面を示している。尚、図 152 において、図 147 を用いて説明した第 64 実施例に係る半導体装置 310 K の構成と対応する構成については、同一符号を付してその説明を省略する。

前記した第 64 実施例に係る半導体装置 310 K では、小型化を図るために半導体装置本体 370 に形成された突起電極 380 の配設ピッチと、インタポーザ 372 A に配設された外部接続端子 376 の配設ピッチとを同一ピッチとするよう構成していた。

これに対し、本実施例に係る半導体装置 310 M は、半導体装置本体 370 に形成された突起電極 380 の配設ピッチに対し、インタポーザ 372 B に配設された外部接続端子 376 の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタポーザ 372 B の面積は半導体装置本体 370 の面積に対し広くなっている。

このように、突起電極 380 の配設ピッチに対し外部接続端子 376 の配設ピッチを大きく設定したことにより、インタポーザ 372 B 上における配線パターン 384 B の引回しの自由度を更に向上することができる。具体的には、図 152 (B) に示されるように、

突起電極 380 が配設される接続孔 396 の形成位置と外部接続端子 376 の配設位置とを離間させ、この接続孔 396 と外部接続端子 376 とを配線パターン 384 B で接続することが可能となる。

これにより、外部接続端子 376 の端子レイアウトの自由度が向上し端子設計の容易化を図ることができる。また、半導体装置本体 370 の高密度化により突起電極 380 の電極間ピッチが狭ピッチ化しても、突起電極 380 と外部接続端子 376 との配設位置を異ならせることができるため、上記の狭ピッチ化に容易に対応することができる。

図 153 は、上記した半導体装置 310 M の製造方法（第 59 実施例に係る製造方法）を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置 310 M を形成する方法を例に挙げて示している。

本実施例に係る半導体装置 310 M の製造方法では、予め別工程において半導体装置本体 370、異方性導電膜 374、及びインタポーザ 372 B を形成しておく。そして、突起電極 380 と接続孔 396 との位置決めを行なった上で、半導体装置本体 370 とインタポーザ 372 B との間に異方性導電膜 374 を介装し、半導体装置本体 370 をインタポーザ 372 B に向け押圧する。

これにより、異方性導電膜 374 の有する接着性により半導体装置本体 370 とインタポーザ 372 B は機械的に接合されると共に、異方性導電膜 374 の有する異方性導電性により半導体装置本体 370 とインタポーザ 372 B は電氣的に接合される。これにより、図 152 に示す半導体装置 310 M が形成される。

よって、本実施例の製造方法によっても、半導体装置本体 370 とインタポーザ 372 B との機械的接合処理及び電氣的接合処理を一括的に行なうことができるため、半導体装置 310 M の製造工程を簡単化することができる。

続いて、第 67 実施例である半導体装置 310 N について説明す

る。

図 1 5 4 は、第 6 7 実施例である半導体装置 3 1 0 N を示す断面図である。尚、図 1 5 4 において、図 1 4 7 を用いて説明した第 6 4 実施例に係る半導体装置 3 1 0 K の構成と対応する構成については、同一符号を付してその説明を省略する。

前記した第 6 4 実施例に係る半導体装置 3 1 0 K は、半導体装置本体 3 7 0 とインタポーザ 3 7 2 A を接合するのに異方性導電性膜 3 7 4 を用い、半導体装置本体 3 7 0 とインタポーザ 3 7 2 A とを電氣的及び機械的に一括的に接合する構成とされていた。

これに対し、本実施例に係る半導体装置 3 1 0 N は、異方性導電性膜 3 7 4 に代えて接着剤 3 9 8 と導電性ペースト 3 1 0 0 (導電性部材) を設けたことを特徴とするものである。

接着剤 3 9 8 は、例えばポリイミド系の絶縁性樹脂であり、硬化した後においても所定の可撓性を有する材質に選定されている。この接着剤 3 9 8 は、半導体装置本体 3 7 0 とインタポーザ 3 7 2 A との間に介装され、この半導体装置本体 3 7 0 とインタポーザ 3 7 2 A とを接着固定する機能を奏する。また、接着剤 3 9 8 の突起電極 3 8 0 の形成位置に対応する位置には通孔 3 1 0 2 が形成されている。

一方、導電性ペースト 3 1 0 0 は所定の粘性を有しており、よって上記の通孔 3 1 0 2 内にも入り込める構成とされている。この導電性ペースト 3 1 0 0 は、通孔 3 1 0 2 内に介装されることにより、半導体装置本体 3 7 0 とインタポーザ 3 7 2 A とを電氣的に接続する機能を奏する。具体的には、導電性ペースト 3 1 0 0 により突起電極 3 8 0 と配線パターン 3 8 4 A とが電氣的に接続され、これにより半導体装置本体 3 7 0 とインタポーザ 3 7 2 A は電氣的に接続される。

上記のように、本実施例に係る半導体装置 3 1 0 N では、接着剤 3 9 8 が半導体装置本体 3 7 0 とインタポーザ 3 7 2 A とを機械的

に接合し、また導電性ペースト 3100 が半導体装置本体 370 と  
インタポーザ 372A とを電氣的に接合（接続）する。このように、  
半導体装置本体 370 とインタポーザ 372A とを接合する際行な  
5 われる機械的接合と電氣的接合を別個の部材（接着剤 398、導電  
性ペースト 3100）により行なうことにより、各機能（機械的接  
合機能、電氣的接合機能）に最適な部材を選定することができる。  
これにより、半導体装置本体 370 とインタポーザ 372A との機  
械的接合及び電氣的接合を共に確実に行なうことが可能となり、半  
導体装置 310N の信頼性を向上させることができる。

10 更に、接着剤 398 は固化した状態においても所定の可撓性を有  
し、かつ半導体装置本体 370 とインタポーザ 372A の間に介装  
されるため、この接着剤 398 は緩衝膜として機能する。よって、  
接着剤 398 により、半導体装置本体 370 とインタポーザ 372  
A との間に発生する応力を緩和することができる。尚、本実施例に  
15 係る半導体装置 310N は突起電極 380 の配設ピッチと外部接続  
端子 376 の配設ピッチとが等しく設定された構成であるため、半  
導体装置 310N の小型化を図ることができる。

図 155 乃至図 157 は、半導体装置 310N の製造方法（第 6  
0 実施例に係る製造方法）を示している。尚、図 155 乃至図 15  
20 7 において、第 58 実施例に係る製造方法を説明するのに用いた図  
150 及び図 151 に示した構成と対応する構成については同一符  
号を付してその説明を省略する。また、以下の製造方法では、半導  
体装置 310N を多数個取りする方法について説明するものとする。

25 半導体装置 310N を製造するには、予め別工程において半導体  
装置本体 370 が複数個形成されたウェハ 390、接着剤 398、  
及びインタポーザ 372B が複数個形成された TAB テープ 392  
を形成しておく。

この半導体装置 370 を形成する際、複数形成されている突起電  
極 380 にはそれぞれ導電性ペースト 3100 が塗布されている。

また、接着剤 398 の突起電極 380 の形成位置と対応する位置には、通孔 3102 が予め穿設されている。更に、TAB テープ 392 を形成する際、その上面（ウェハ 390 が装着される面）の半導体装置本体 370 と対向する位置に絶縁部材 394 を形成する。

- 5 この絶縁部材 394 は、例えばホトレジストの形成技術を利用して形成することができる。また、この絶縁部材 394 を形成する際、突起電極 380 の形成位置と対応する位置に接続孔 396 を形成しておく。

- 10 そして、突起電極 380 と接続孔 396 との位置決めを行なった上で、ウェハ 390 と TAB テープ 392 との間に接着剤 398 を介装し、ウェハ 390 を TAB テープ 392 に接着固定する。これにより、接着材 398 によりウェハ 390 と TAB テープ 392 は機械的に接合されると共に、導電性ペースト 3100 は通孔 3102 及び接続孔 396 内に入り込み、突起電極 380 と配線パターン 384A は電氣的に接合される。図 156 は、ウェハ 390 と TAB
- 15 B テープ 392 とが接合された状態を示している。

- このように、ウェハ 390 と TAB テープ 392 の接合処理が終了すると、続いて図 156 に A-A で示す破線位置で切断処理が行なわれる。これにより、個々の半導体装置本体 370 及びインタポーザ 372B が形成され、図 154 に示す半導体装置 310N が形成される（図 154 に示す半導体装置 310N は、絶縁部材 394 が設けられていない構成を示している）。
- 20

- 尚、上記した製造方法では、半導体装置 310N を多数個取りする方法について述べたが、図 157 に示すように、個々に半導体装置 310N を製造することも可能である。
- 25

続いて、第 68 実施例である半導体装置 310P について説明する。

図 158 は、第 68 実施例に係る半導体装置 310P を示す断面図である。尚、図 158 において、図 154 を用いて説明した第 6



7 実施例に係る半導体装置 3 1 0 N の構成と対応する構成については、同一符号を付してその説明を省略する。

前記した第 6 7 実施例に係る半導体装置 3 1 0 N では、小型化を図るために半導体装置本体 3 7 0 に形成された突起電極 3 8 0 の配設ピッチと、インタポーザ 3 7 2 A に配設された外部接続端子 3 7 6 の配設ピッチとを同一ピッチとするよう構成していた。

これに対し、本実施例に係る半導体装置 3 1 0 P は、半導体装置本体 3 7 0 に形成された突起電極 3 8 0 の配設ピッチに対し、インタポーザ 3 7 2 B に配設された外部接続端子 3 7 6 の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタポーザ 3 7 2 B の面積は半導体装置本体 3 7 0 の面積に対し広くなっている。

このように、突起電極 3 8 0 の配設ピッチに対し外部接続端子 3 7 6 の配設ピッチを大きく設定したことにより、インタポーザ 3 7 2 B 上における配線パターン 3 8 4 B の引回しの自由度を更に向上することができる。これにより、外部接続端子 3 7 6 の端子レイアウトの自由度が向上し端子設計の容易化を図ることができると共に、突起電極 3 8 0 の電極間ピッチが狭ピッチ化してもこれに容易に対応することができる。

図 1 5 9 は、上記した半導体装置 3 1 0 P の製造方法（第 6 1 実施例に係る製造方法）を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置 3 1 0 P を形成する方法を例に挙げて示している。

本実施例に係る半導体装置 3 1 0 P の製造方法でも、予め別工程において半導体装置本体 3 7 0、接着材 3 9 8、及びインタポーザ 3 7 2 B を形成しておく。また、半導体装置 3 7 0 を形成する際、複数形成されている突起電極 3 8 0 にはそれぞれ導電性ペースト 3 1 0 0 を塗布しておく。また、接着剤 3 9 8 の突起電極 3 8 0 の形成位置と対応する位置には、通孔 3 1 0 2 を予め穿設しておく。更

に、絶縁部材 394 の突起電極 380 の形成位置と対応する位置には、接続孔 396 を形成しておく。

そして、突起電極 380 と接続孔 396 との位置決めを行なった上で、半導体装置本体 370 とインタポーザ 372 B との間に接着剤 398 を介装し、半導体装置本体 370 をインタポーザ 372 B に接着固定する。これにより、接着材 398 により半導体装置本体 370 とインタポーザ 372 B は機械的に接合されると共に、導電性ペースト 3100 は通孔 3102 及び接続孔 396 内に入り込み、突起電極 380 と配線パターン 384 A は電氣的に接合される。以上の処理を実施することにより、図 158 に示す半導体装置 310 P が形成される。

続いて、第 69 実施例である半導体装置 10 Q について説明する。

図 160 は、第 69 実施例である半導体装置 310 Q を示す断面図である。尚、図 160 において、図 154 を用いて説明した第 67 実施例に係る半導体装置 310 N の構成と対応する構成については、同一符号を付してその説明を省略する。

前記した第 67 実施例に係る半導体装置 310 N は、導電性部材として導電性ペースト 3100 を用い、この導電性ペースト 3100 により半導体装置本体 370 とインタポーザ 372 A とを電氣的に接合（接続）する構成とされていた。これに対し、本実施例に係る半導体装置 310 Q は、導電性ペースト 3100 に代えてスタッドバンプ 3104（導電性部材）を設けたことを特徴とするものである。

スタッドバンプ 3104 は、インタポーザ 372 A に形成された配線パターン 384 A 上の所定位置（突起電極 380 と対応する位置）に配設されている。また、このスタッドバンプ 3104 はワイヤボンディング技術を用いて形成される。具体的には、ワイヤボンディング装置を用い、先ずキャピラリから延出した金線の先端部に金ボールを形成し、続いてこの金ボールを配線パターン 384 A の

上記所定位置に押圧する。

5 続いて、キャピラリを超音波振動させて金ボールを配線パターン 384A に超音波溶接する。その後、金線をクランプした上でキャピラリを上動させて金線を切断する。以上の処理を行なうことにより、配線パターン 384A 上にスタッドバンプ 3104 が形成される。このスタッドバンプ 3104 は、通孔 3102 を介して突起電極 380 に接続し、これにより半導体装置本体 370 とインタポーザ 372A とを電氣的に接続する機能を奏する。

10 上記のように、本実施例に係る半導体装置 310Q では、接着剤 398 が半導体装置本体 370 とインタポーザ 372A とを機械的に接合し、またスタッドバンプ 3104 が半導体装置本体 370 とインタポーザ 372A とを電氣的に接合（接続）する。このように、機械的接合と電氣的接合を別個の部材（接着剤 398、スタッドバンプ 3104）により行なうことにより、半導体装置本体 370 と  
15 インタポーザ 372A との機械的接合及び電氣的接合を共に確実に行なうことが可能となり、半導体装置 310Q の信頼性を向上させることができる。

また、接続状態において、スタッドバンプ 3104 は突起電極 380 に食い込んだ状態で接続されるため、スタッドバンプ 3104  
20 と突起電極 380 との電氣的接続を確実に行なうことができる。尚、本実施例に係る半導体装置 310Q は突起電極 380 の配設ピッチと外部接続端子 376 の配設ピッチとが等しく設定された構成であるため、半導体装置 310Q の小型化を図ることができる。

25 図 161 乃至図 163 は、半導体装置 310Q の製造方法（第 6 2 実施例に係る製造方法）を示している。尚、図 161 乃至図 163 において、第 60 実施例に係る製造方法を説明するのに用いた図 155 乃至図 157 に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置 310Q を多数個取りする方法について説明するものとする。

半導体装置 310Q を製造するには、予め別工程において半導体装置本体 370 が複数個形成されたウェハ 390、接着剤 398、及びインタポーザ 372B が複数個形成されたTABテープ 392 を形成しておく。

- 5        このTABテープ 392 を形成する際、その上面（ウェハ 390 が装着される面）の半導体装置本体 370 と対向する位置に絶縁部材 394 を形成する。また、絶縁部材 394 を形成する際、突起電極 380 の形成位置と対応する位置に接続孔 396 を形成し、更に接続孔 396 の内部の配線パターン 384A 上にスタッドバンプ 3104 を形成する。

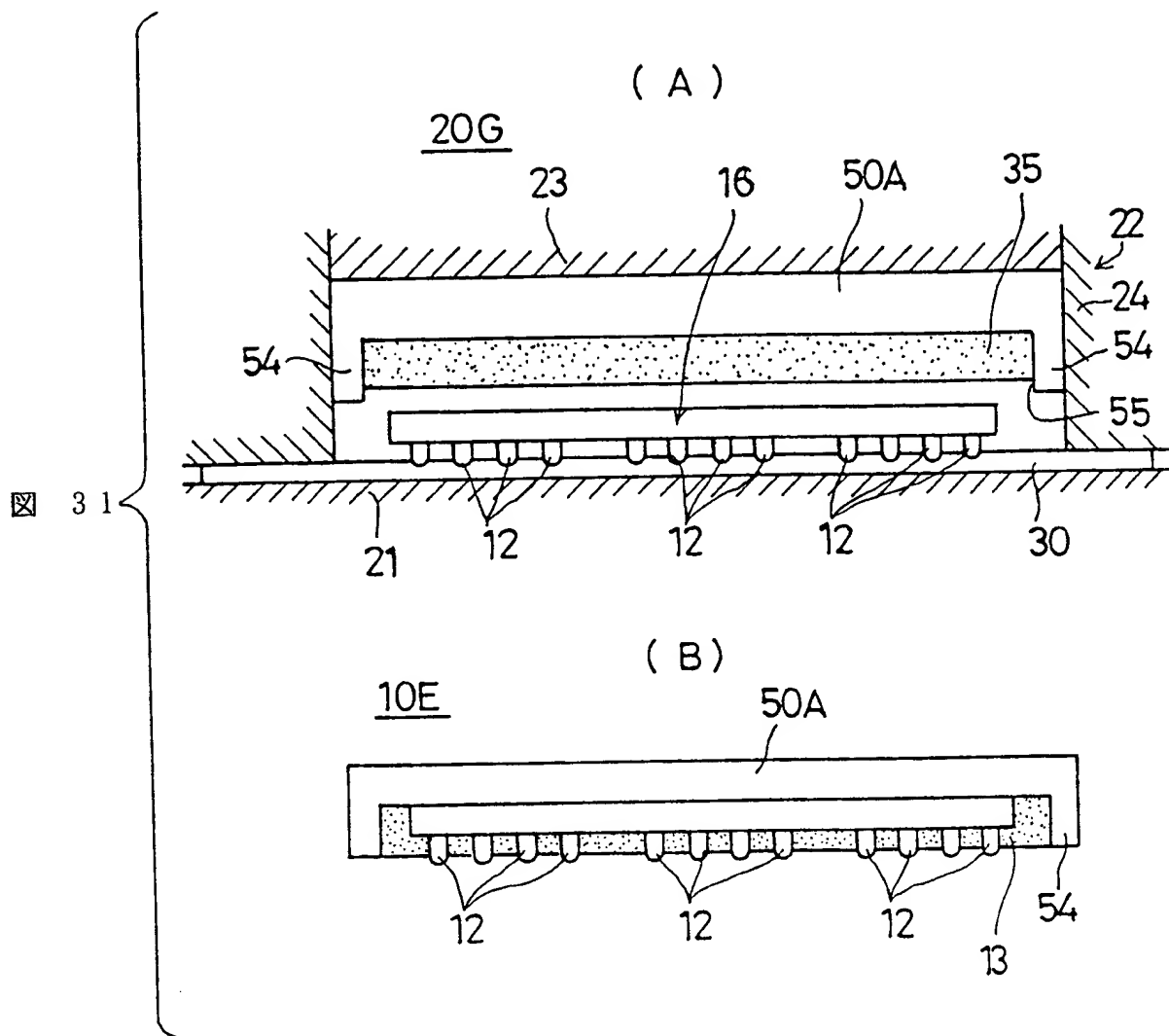
- 10        そして、突起電極 380 と接続孔 396 との位置決めを行なった上で、ウェハ 390 とTABテープ 392 との間に接着剤 398 を介装し、ウェハ 390 をTABテープ 392 に押圧しつつ接着固定する。これにより、接着材 398 によりウェハ 390 とTABテープ 392 は機械的に接合されると共に、スタッドバンプ 3104 は通孔 3102 及び接続孔 396 を介して突起電極 380 に食い込んだ状態となり、よって突起電極 380 と配線パターン 384A はスタッドバンプ 3104 より電氣的に接合される。図 162 は、ウェハ 390 とTABテープ 392 とが接合された状態を示している。

- 15        このように、ウェハ 390 とTABテープ 392 の接合処理が終了すると、続いて図 162 にA-Aで示す破線位置で切断処理が行なわれる。これにより、個々の半導体装置本体 370 及びインタポーザ 372B が形成され、図 160 に示す半導体装置 310Q が形成される（図 160 に示す半導体装置 310N は、絶縁部材 394 が設けられていない構成を示している）。

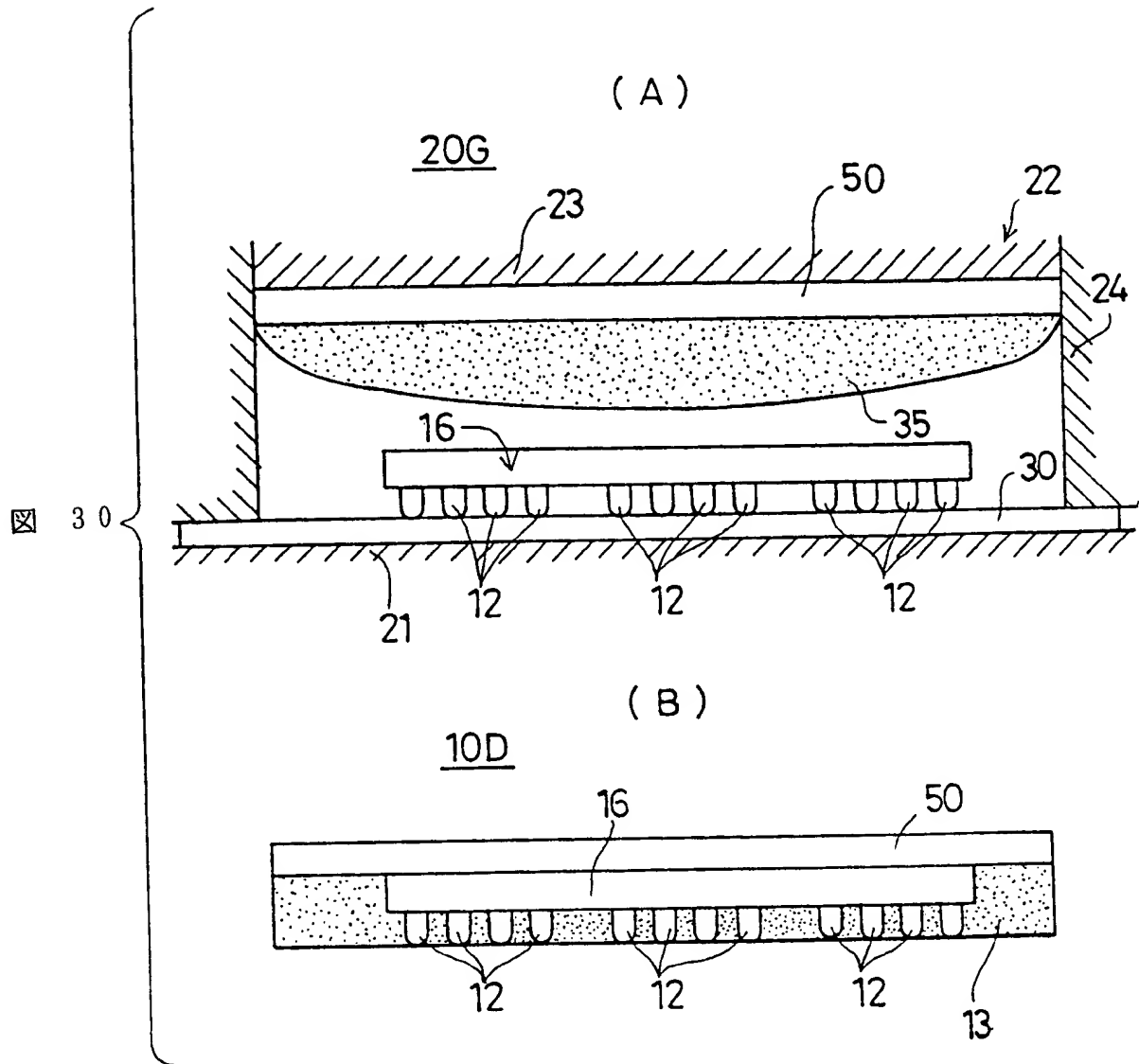
- 20        尚、上記した製造方法では、半導体装置 310Q を多数個取りする方法について述べたが、図 163 に示すように、個々に半導体装置 310Q を製造することも可能である。

25        続いて、第 70 実施例である半導体装置 310R について説明す





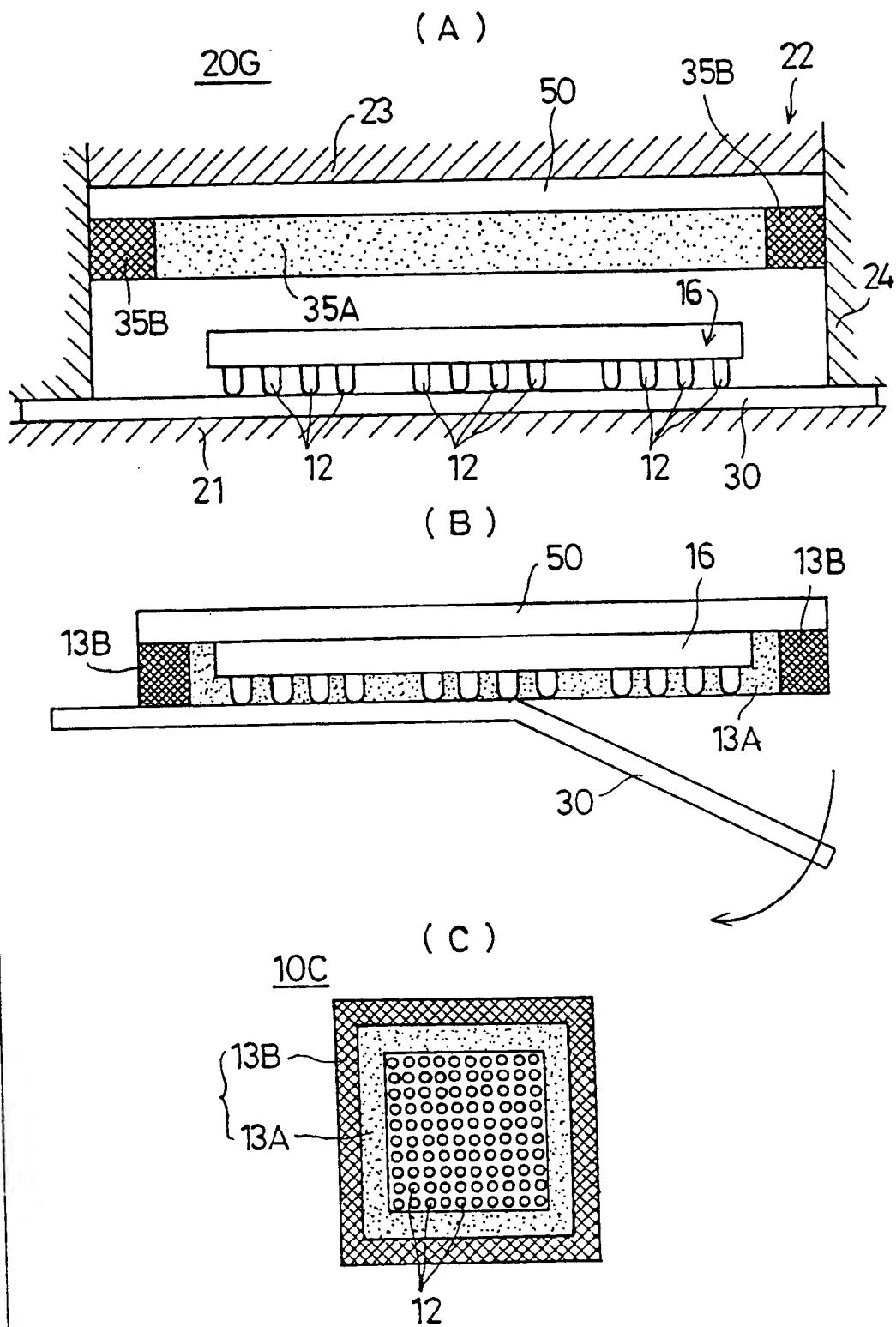








29





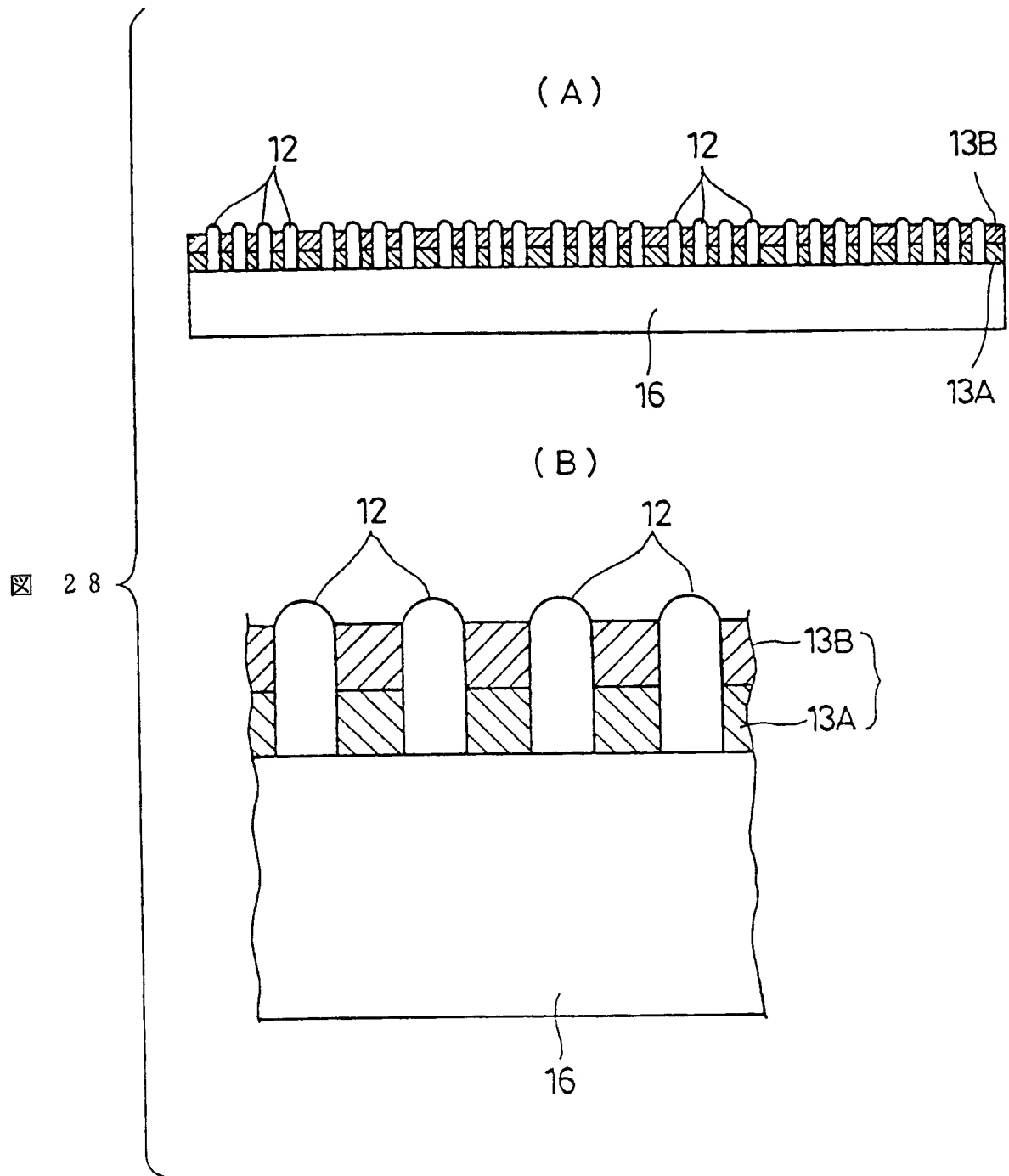




図 27

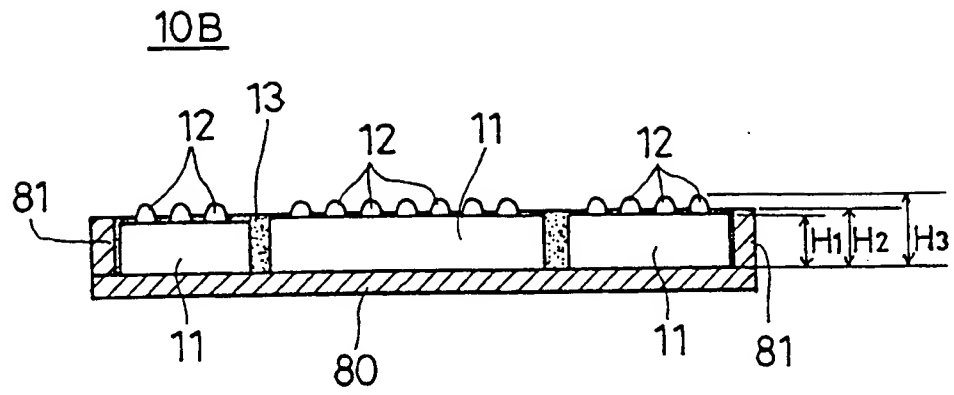




図 25

20F

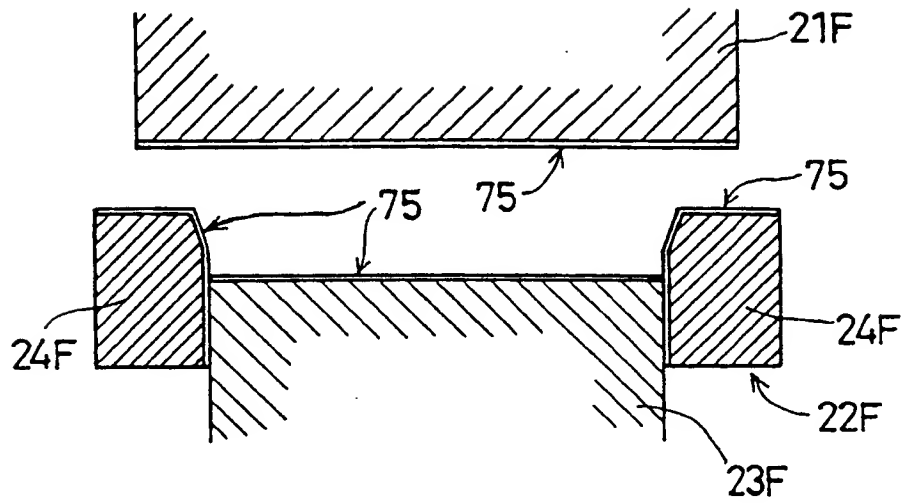


図 26

10A

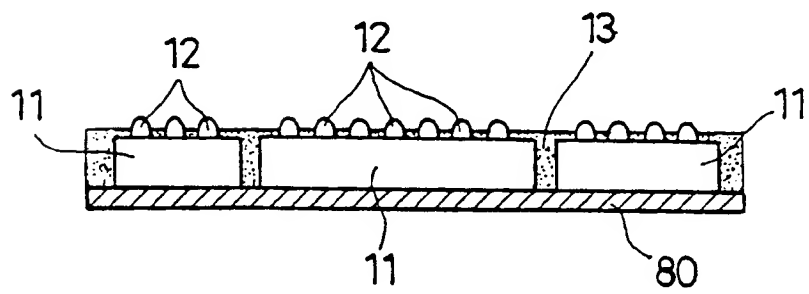






図 23

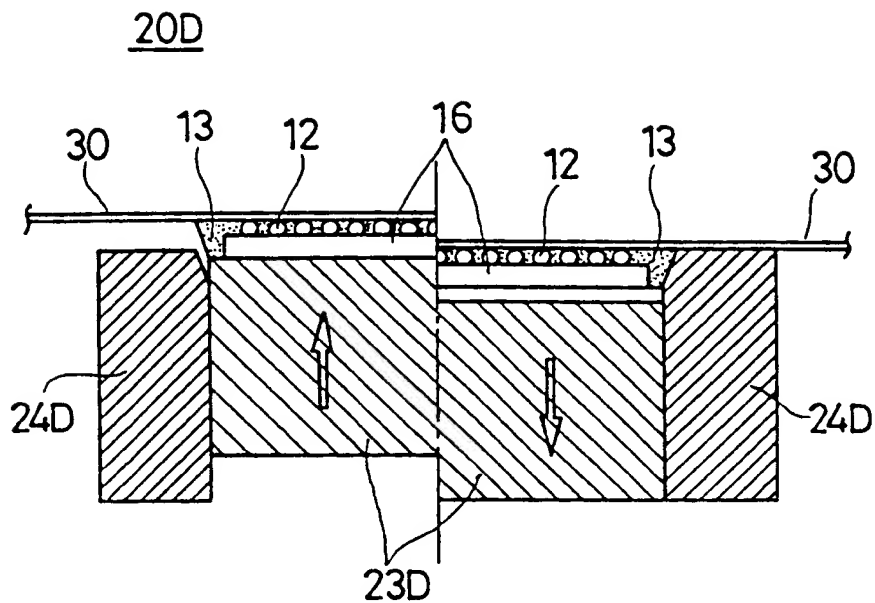


図 24

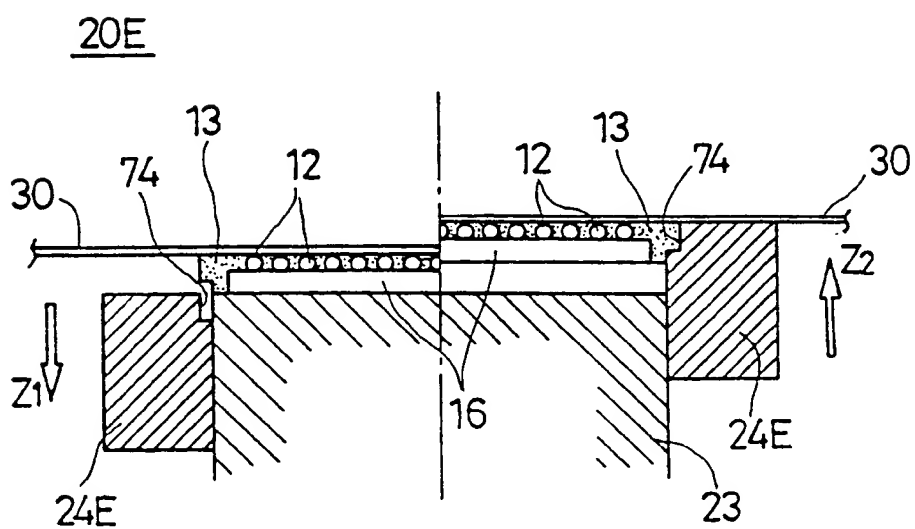
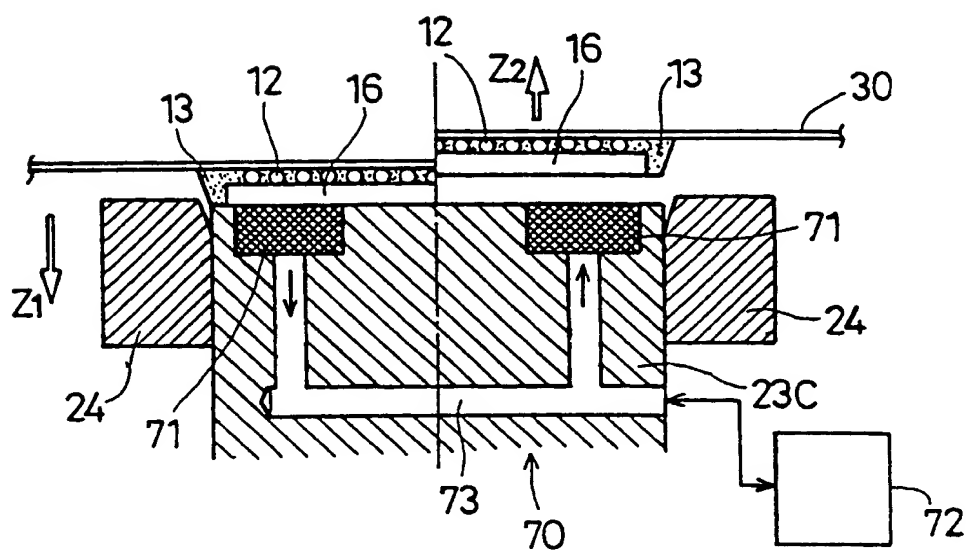
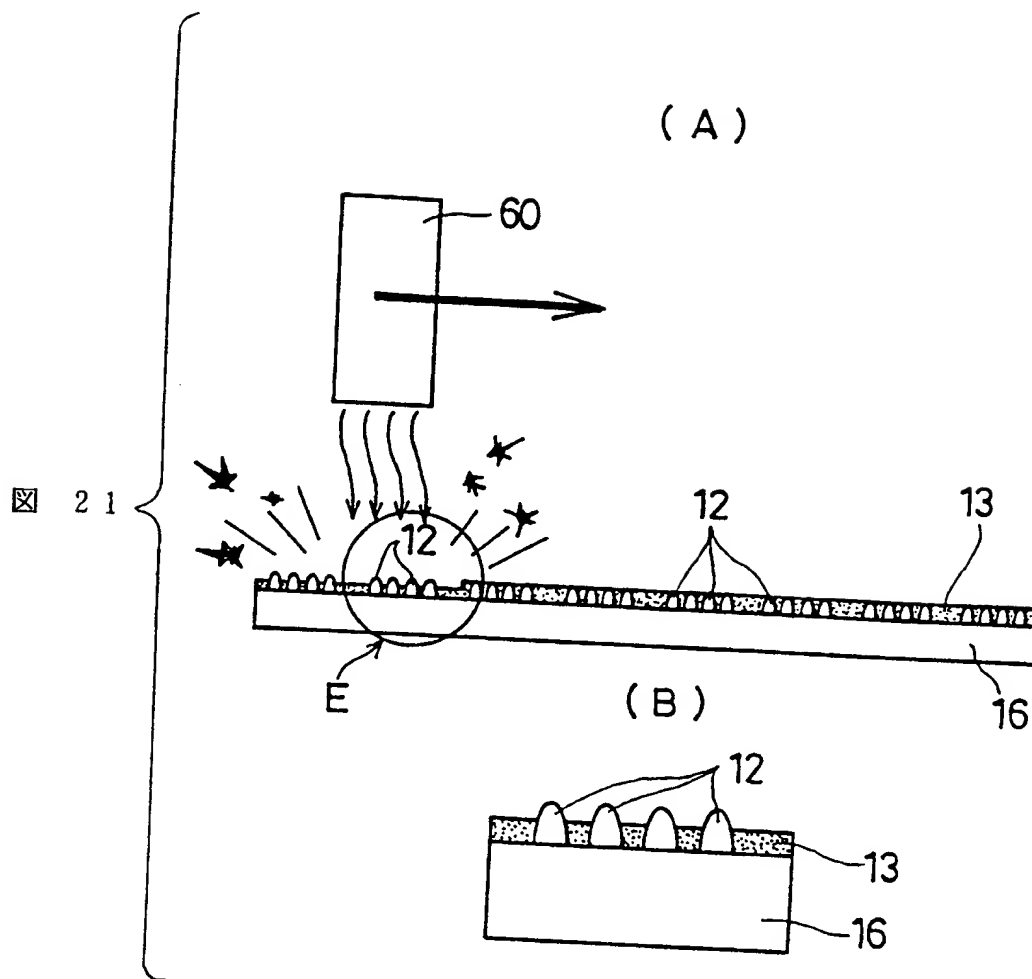




図 22

20C







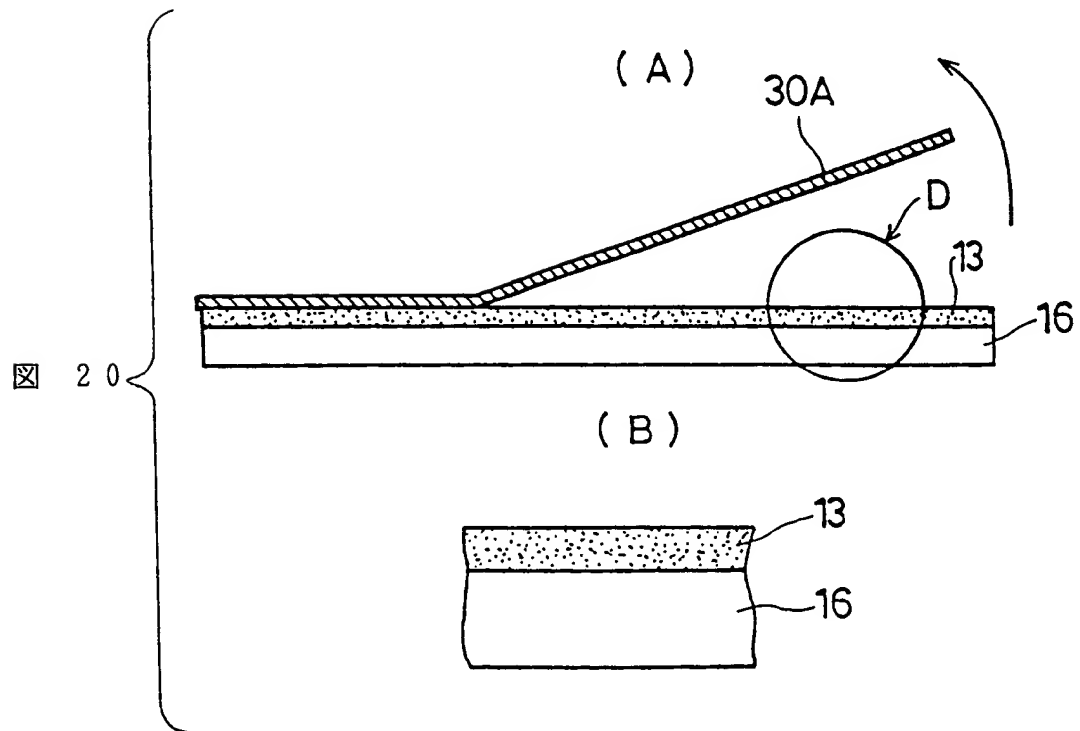
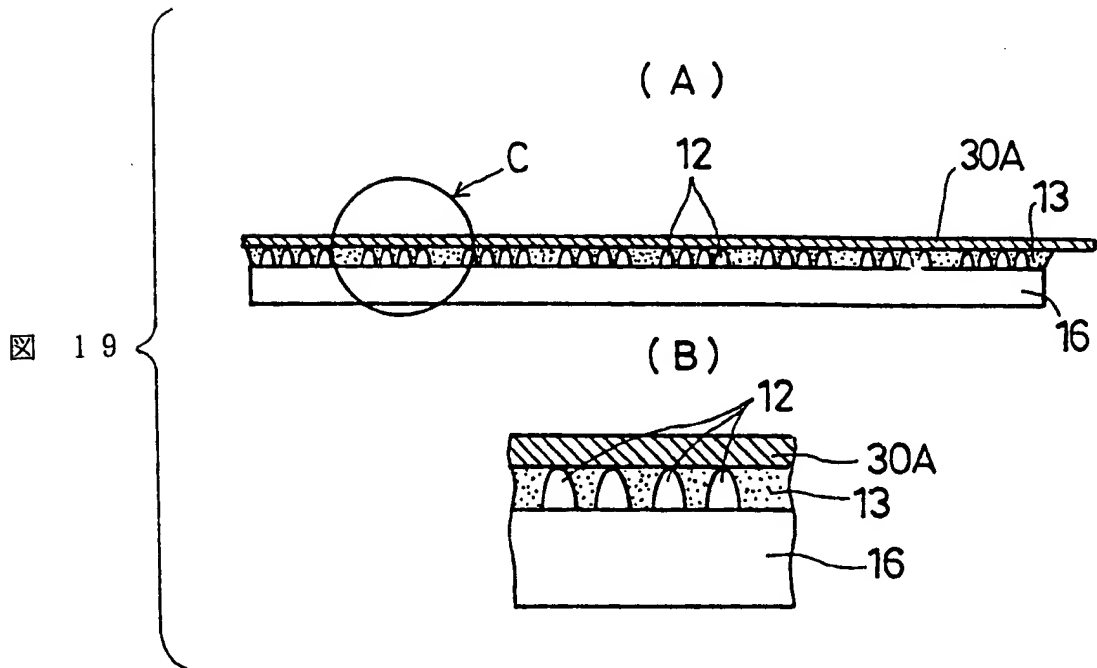






図 18

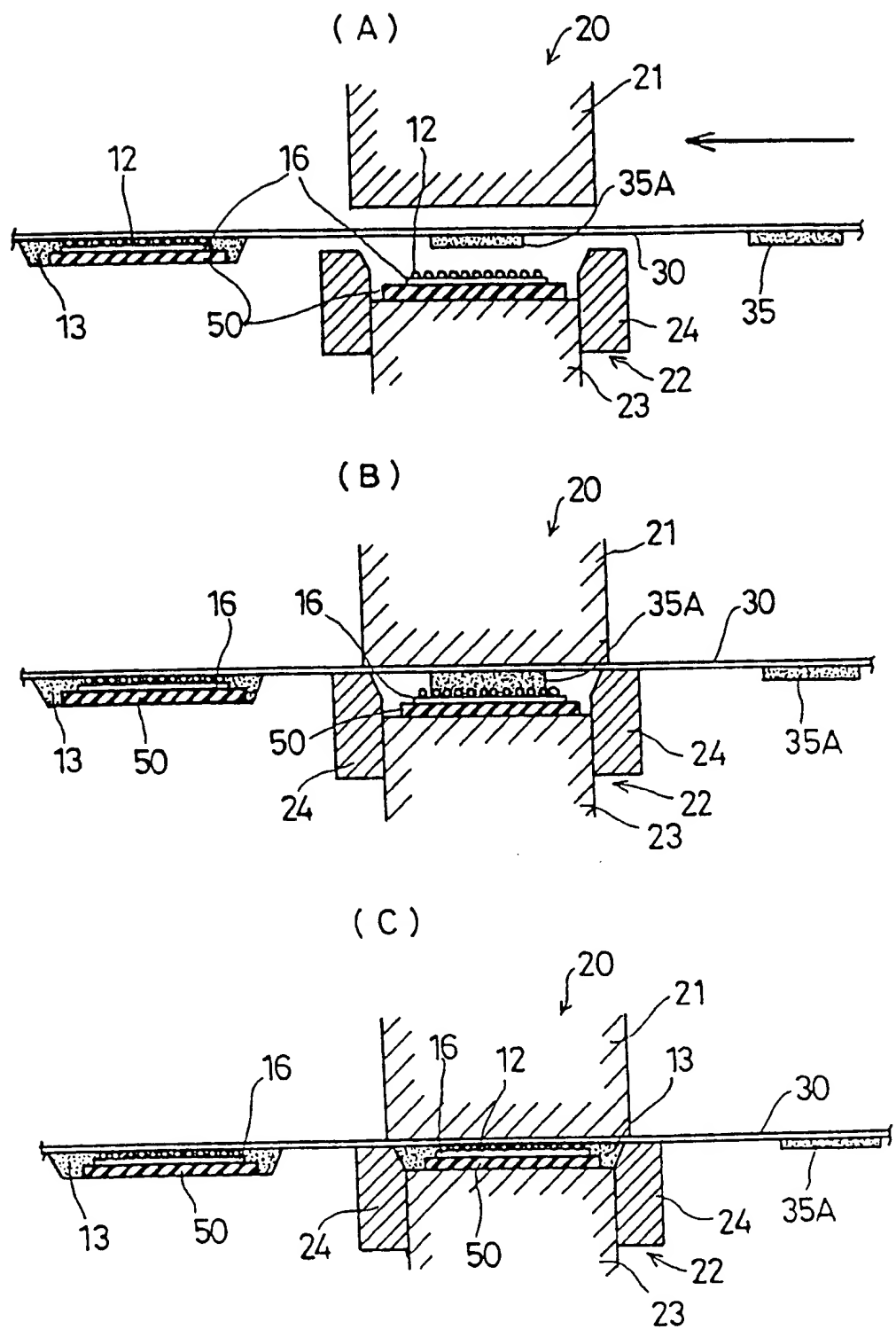




図 16

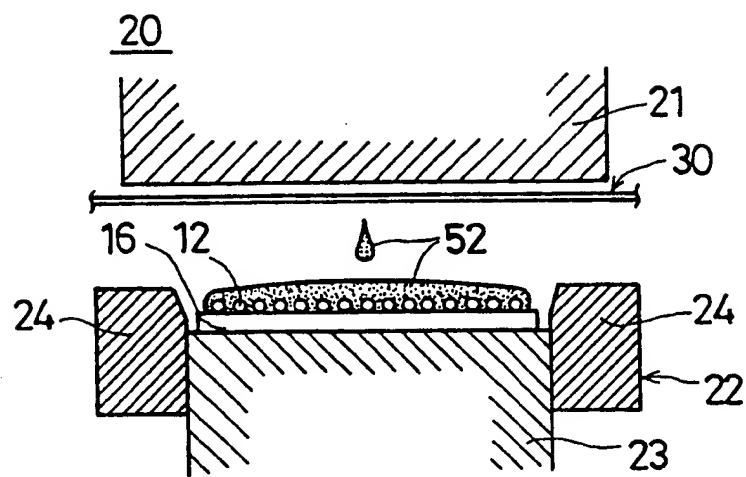
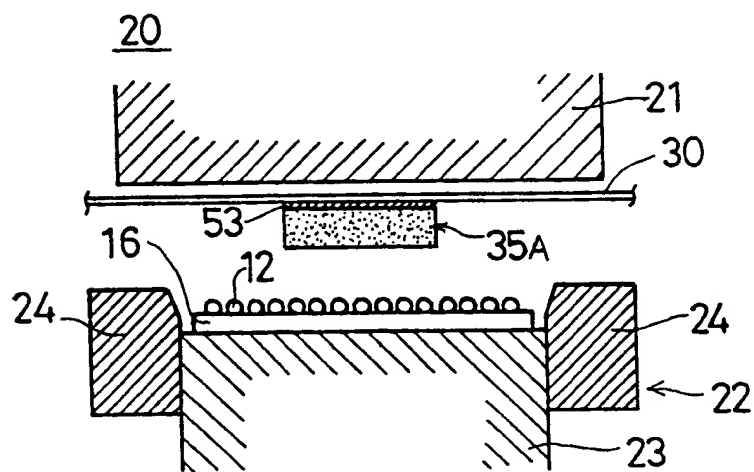


図 17





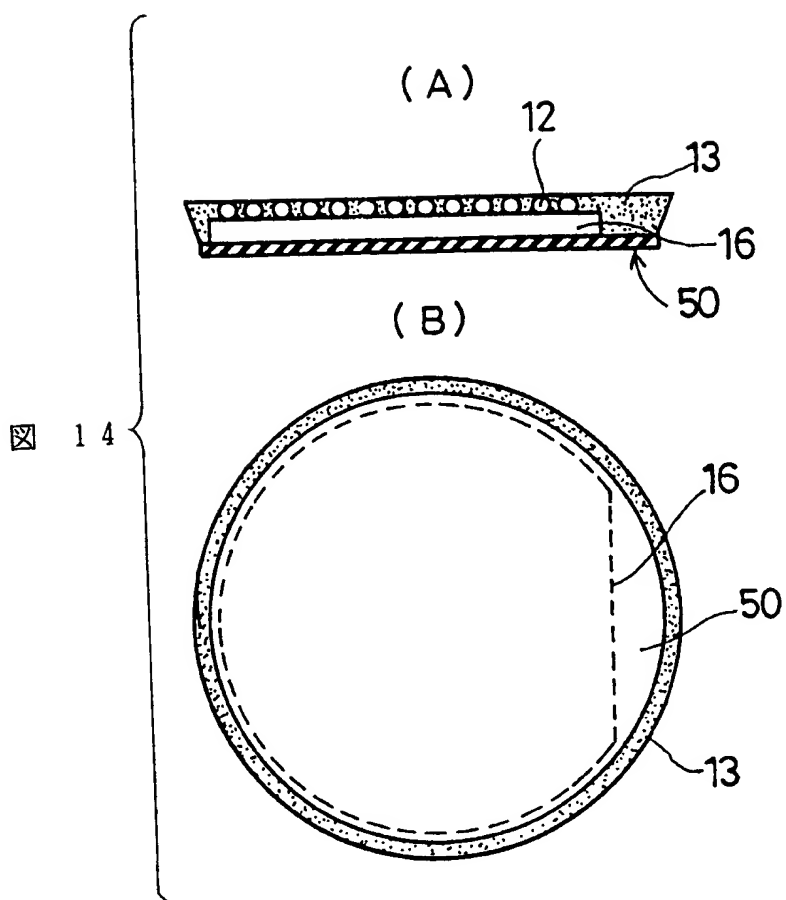
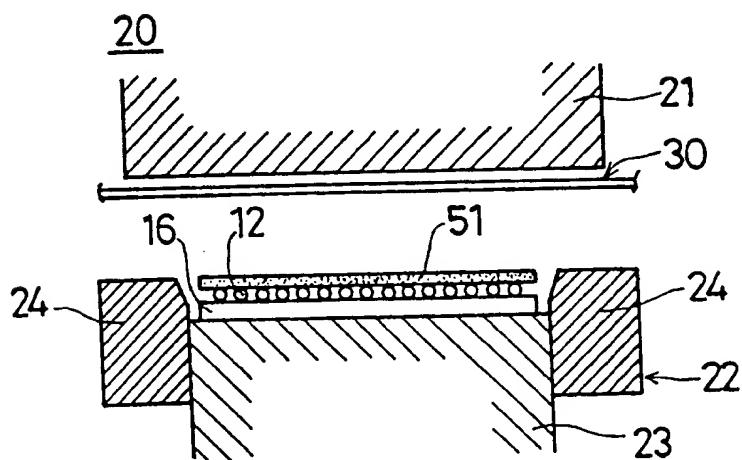
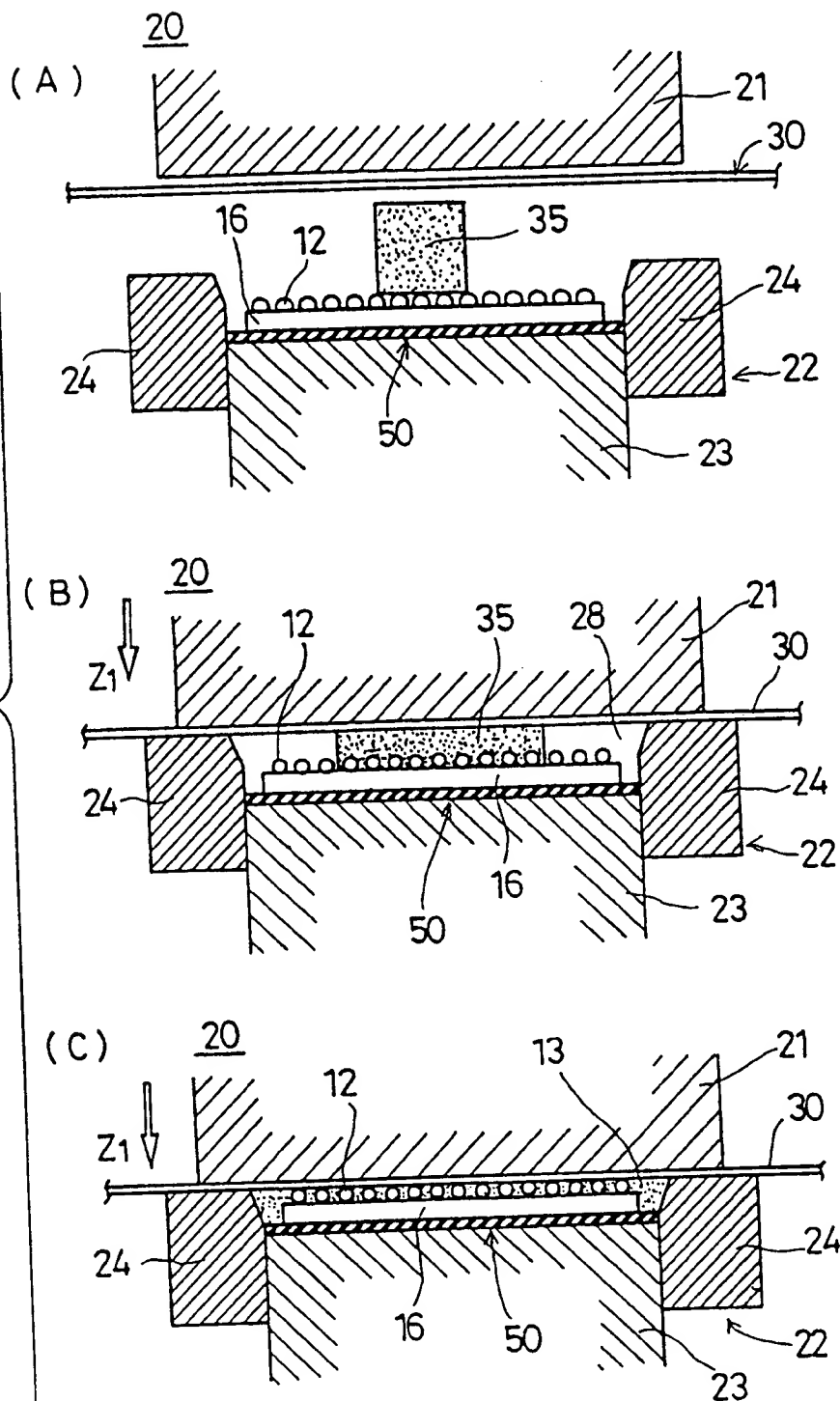


Figure 15



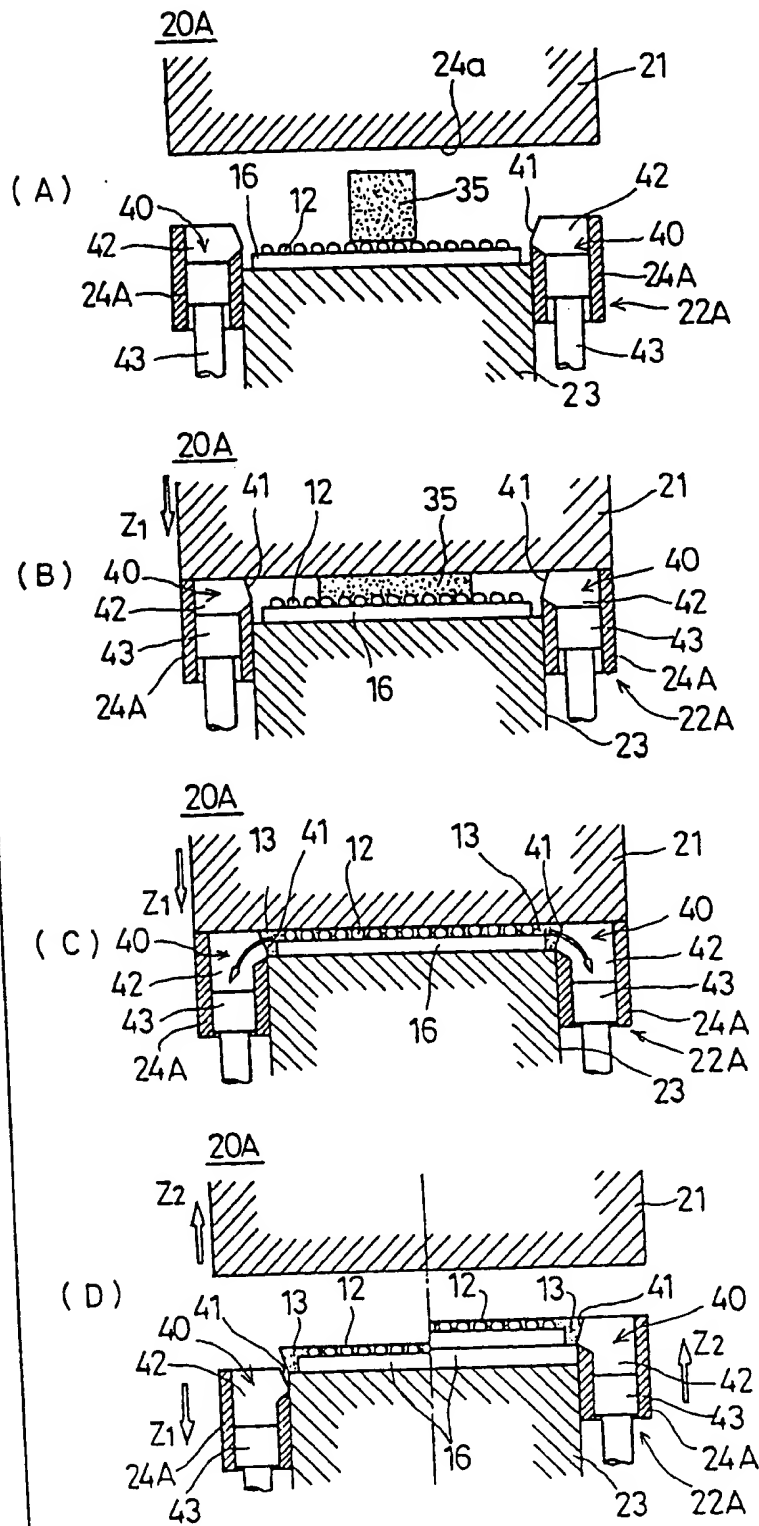


13

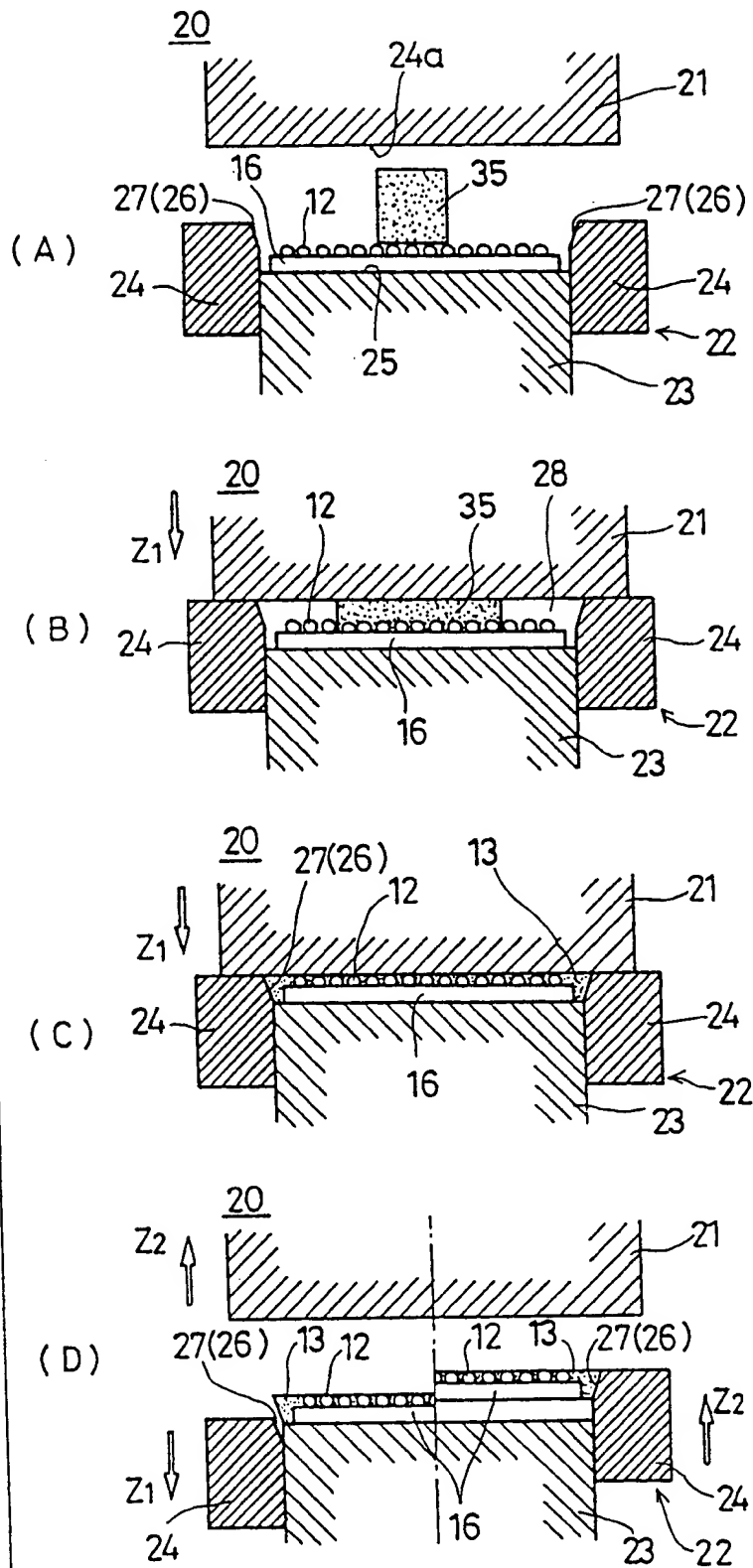








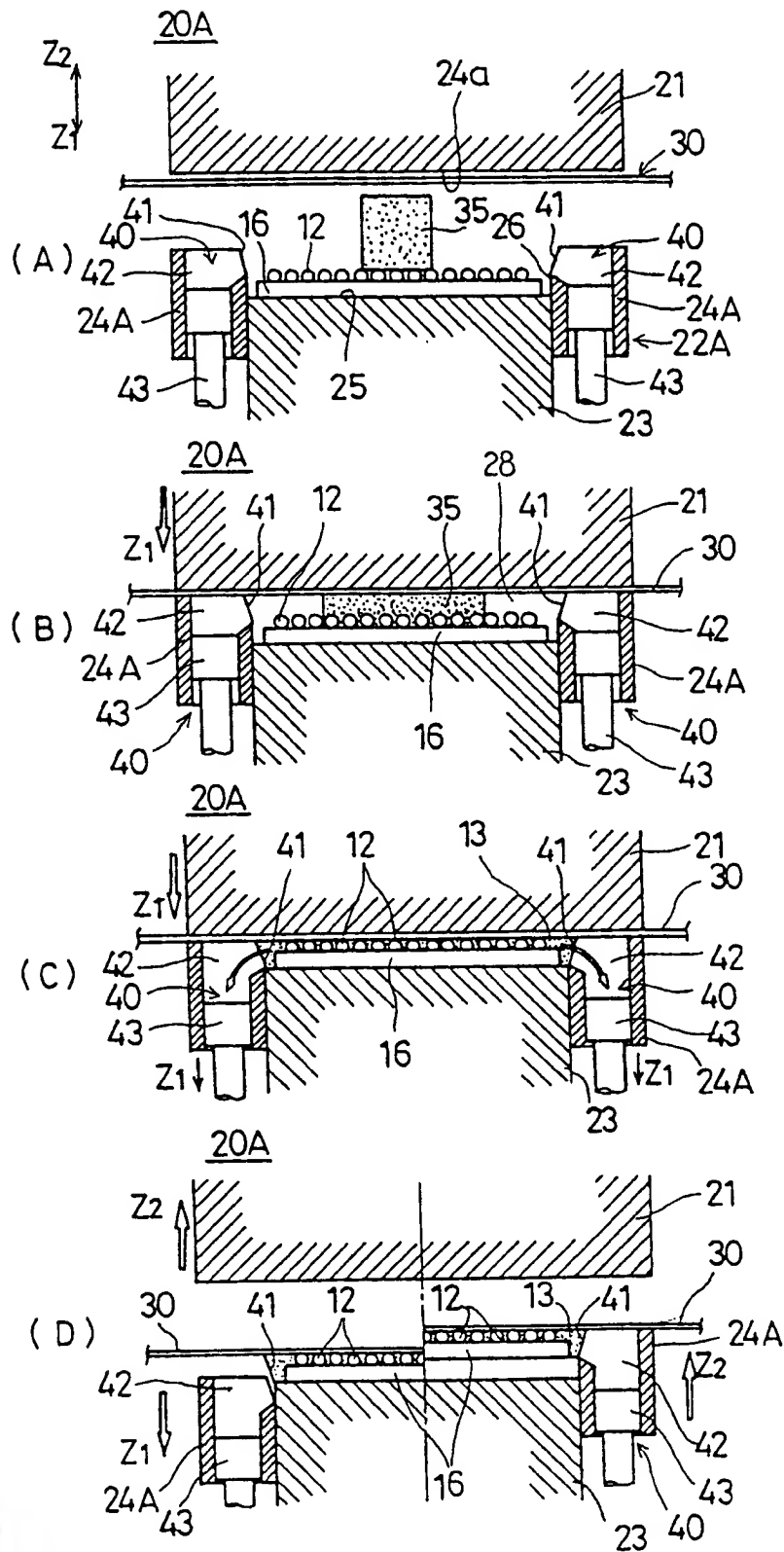




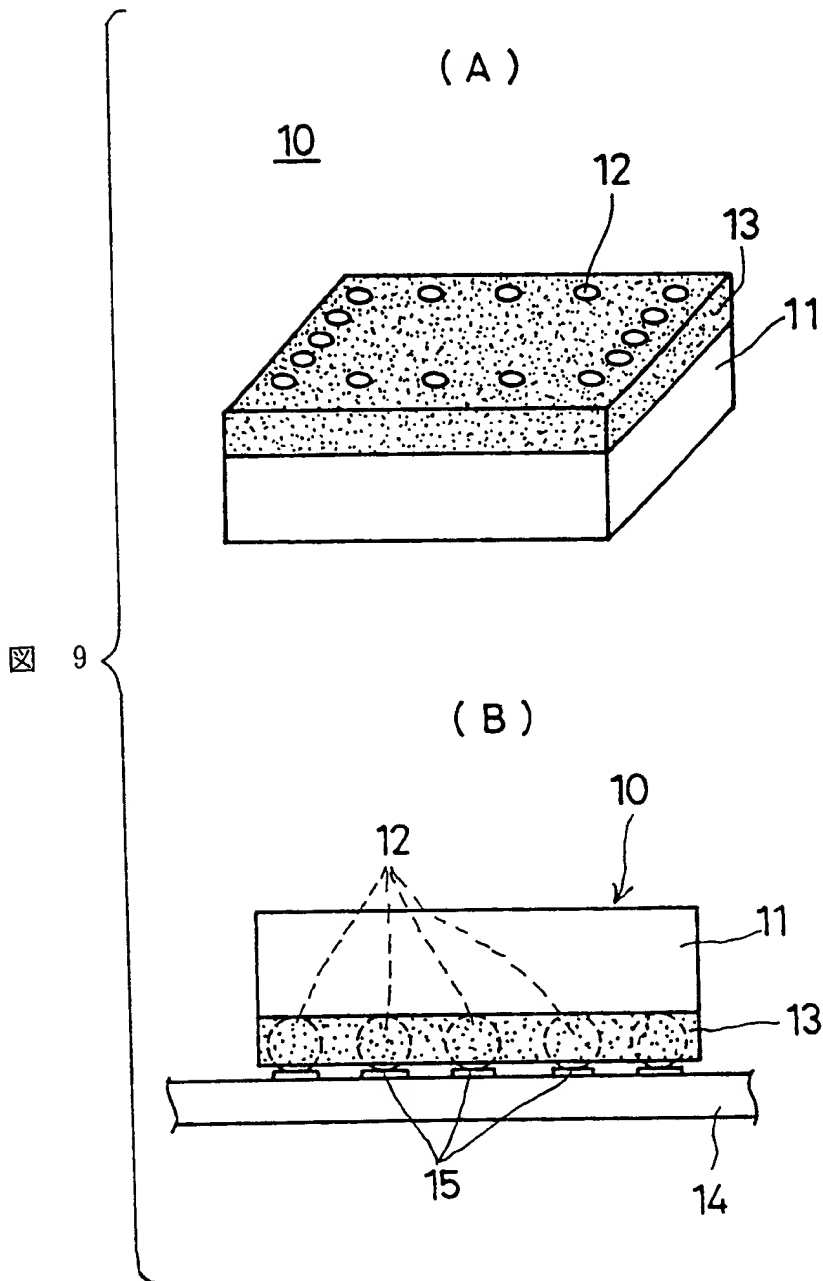
11



10



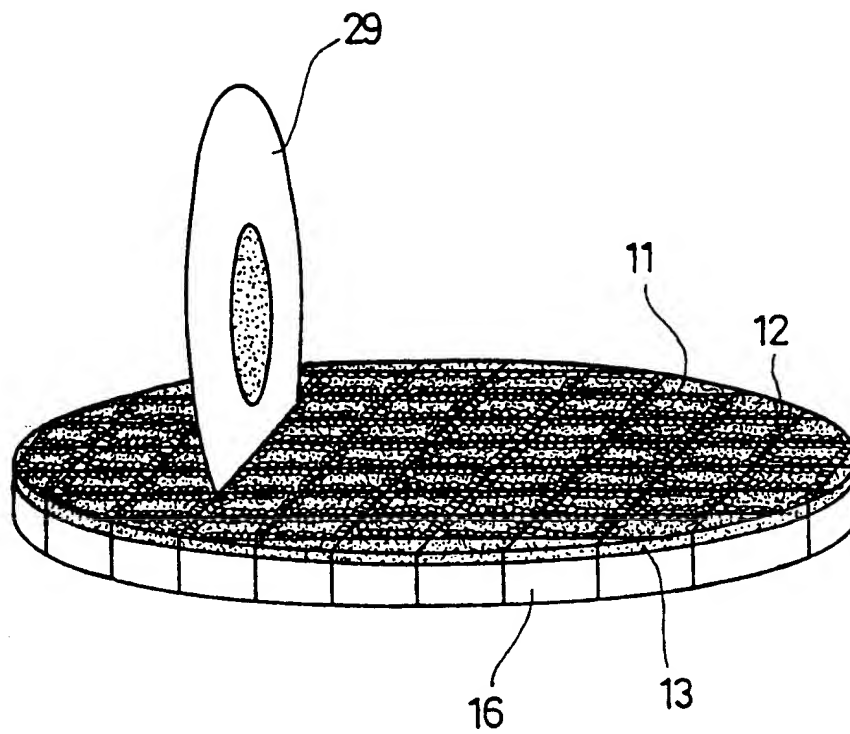




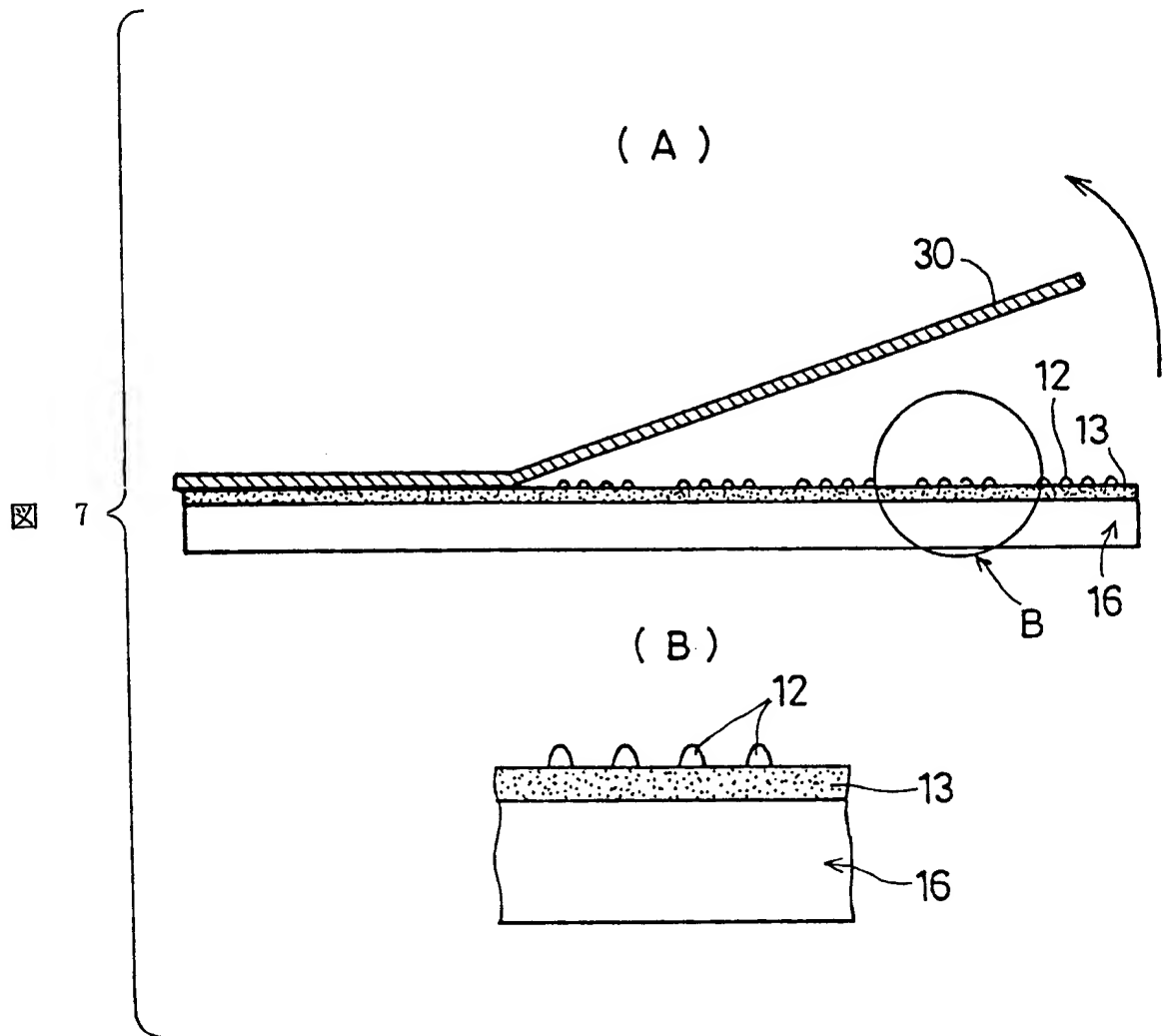




8









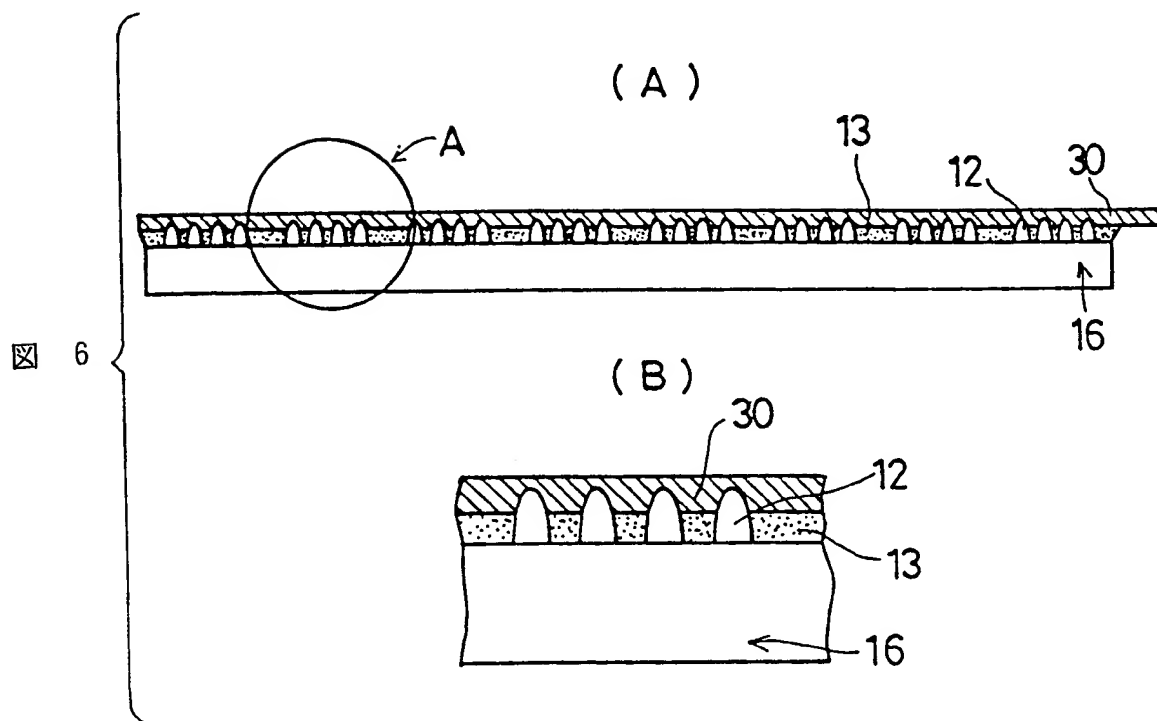
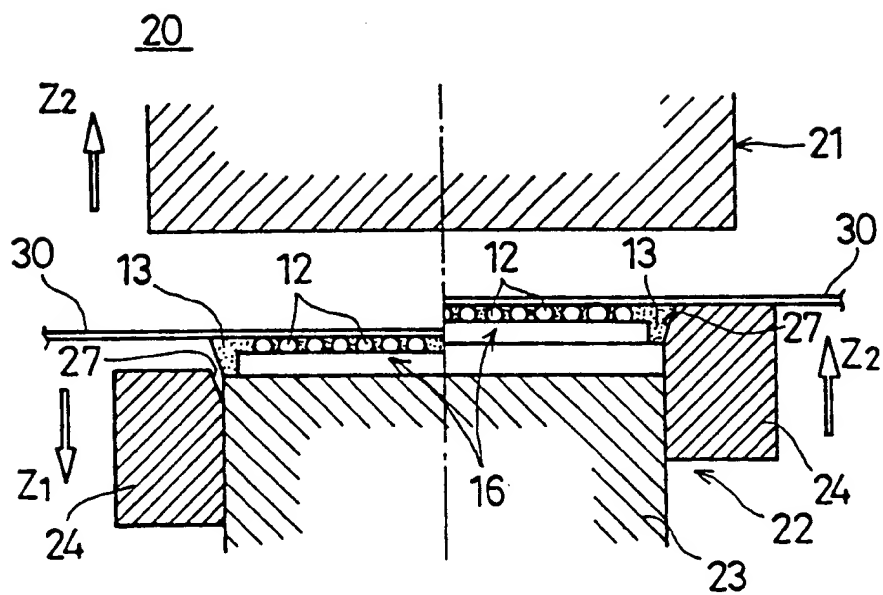




図 5







☒ 3

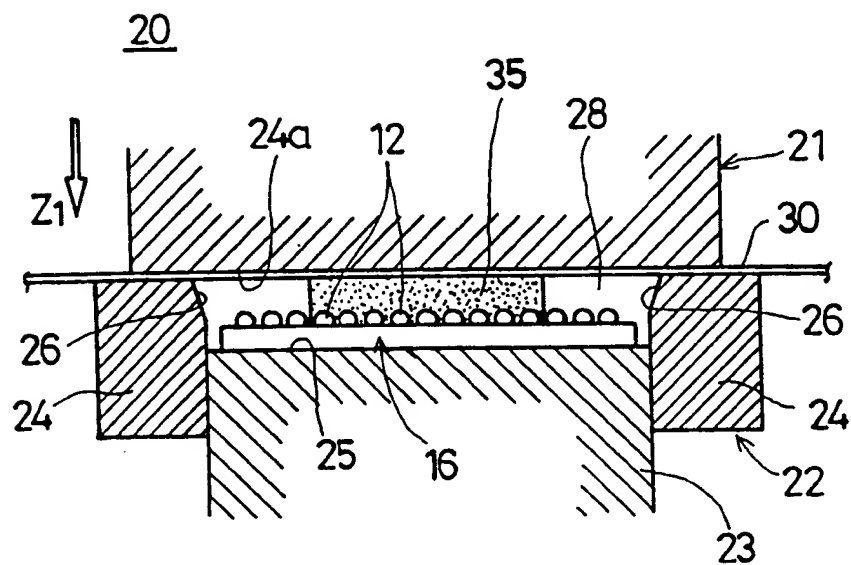
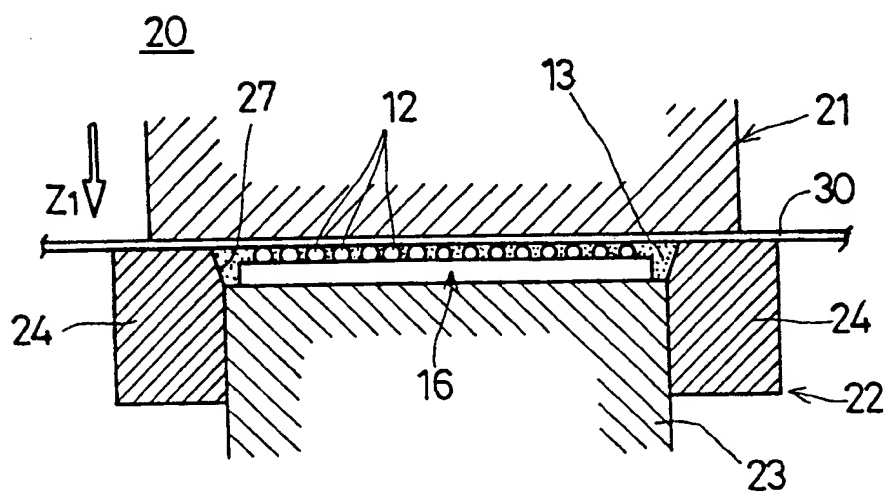


图 4





2

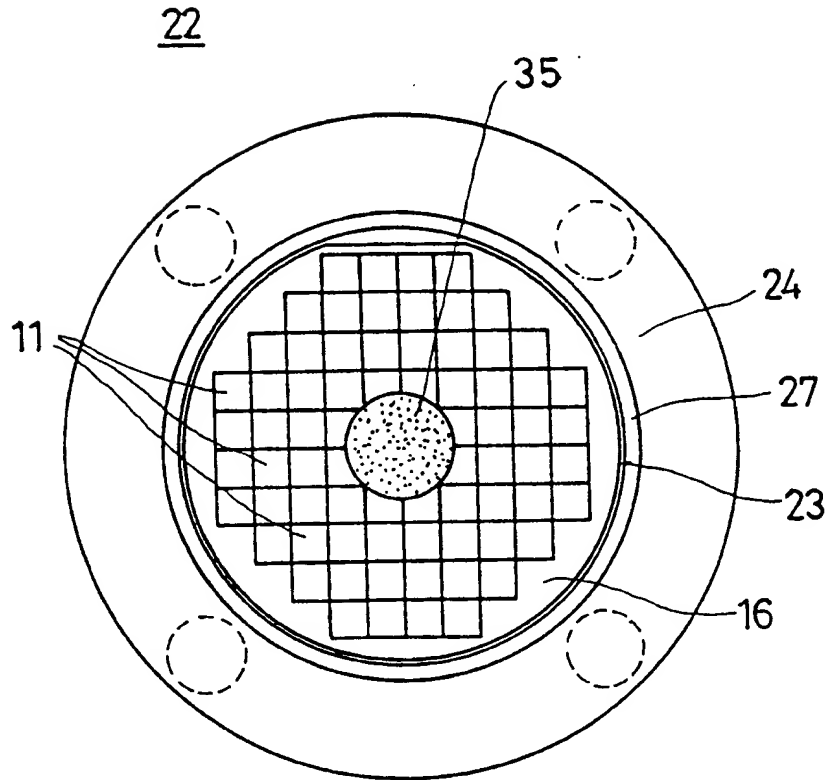




図 1 A

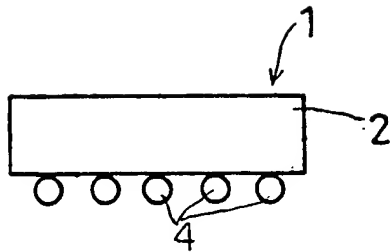


図 1 B

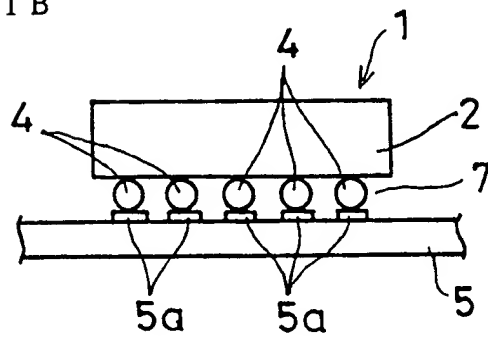


図 1 C

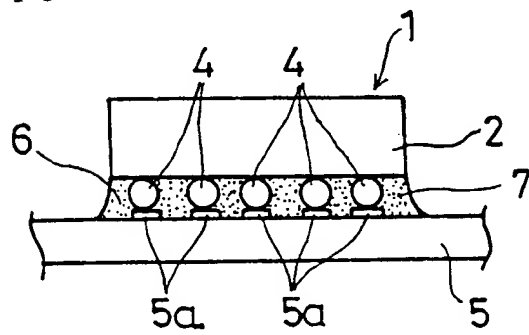
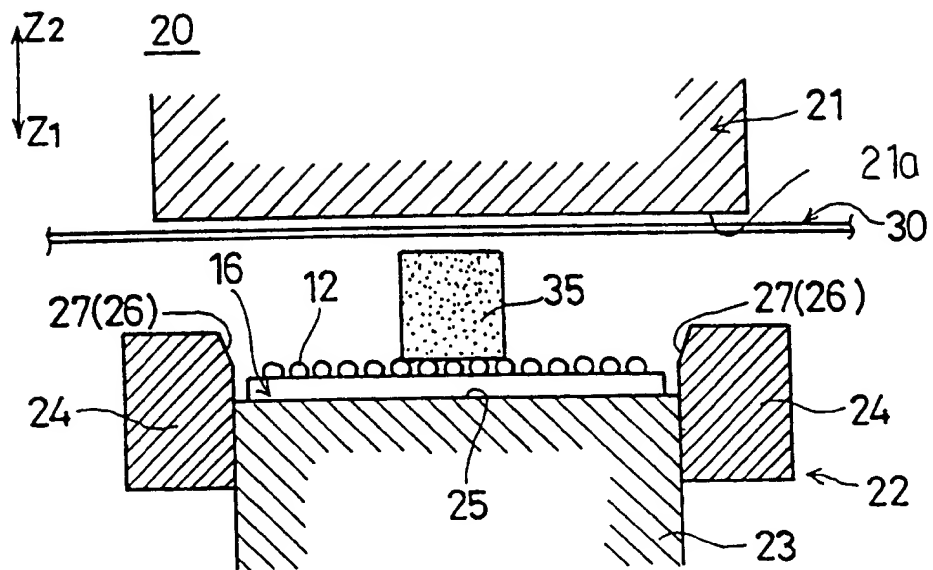




図 1







形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程と  
を具備することを特徴とする半導体装置の製造方法。

5

10

15

20

25



前記導電性部材は、前記配線パターンと一体的に形成されると共に前記接着剤の配設位置を迂回して前記突起電極に接続するフライングリードであることを特徴とする半導体装置。

5 8 3. 請求項 8 2 記載の半導体装置において、  
少なくとも前記突起電極と前記フライングリードとの接続位置を樹脂封止する構成としたことを特徴とする半導体装置。

8 4. 請求項 7 9 記載の半導体装置において、  
前記導電性部材は、  
10 前記突起電極の形成位置に対応した位置に配設され、その上端部を前記半導体装置の突起電極に接合すると共に、下端部を前記外部接続端子に接合する接続ピンと、

該接続ピンを位置決めする位置決め部材と  
により構成されることを特徴とする半導体装置。

8 5. 請求項 8 4 記載の半導体装置において、  
15 前記位置決め部材は、可撓性部材により形成されていることを特徴とする半導体装置。

8 6. 半導体素子の少なくとも表面上に突起電極を直接形成すると共に、該半導体素子の表面上に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、  
20 ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成しインタポーザを形成するインタポーザ形成工程と、

前記半導体装置本体または前記インタポーザの少なくとも一方に導電性部材を配設する導電性部材配設工程と、  
25

前記半導体装置本体と前記インタポーザとを接着剤を介して接合すると共に、前記導電性部材により前記半導体装置本体と前記インタポーザとを電氣的に接続する接合工程と、

前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に



に対する導電性を有した異方性導電膜を介して接合し、前記半導体装置本体を前記インタポーザに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタポーザとを電氣的に接続する接合工程と、

- 5 前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程と
- を具備することを特徴とする半導体装置の製造方法。

- 7 9. 少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備する半導体装置本体と、

- 10 前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタポーザと、

15 前記半導体装置本体と前記インタポーザとの間に介装され、前記半導体装置本体を前記インタポーザに接着固定する接着剤と、

- 前記半導体装置本体と前記インタポーザとを電氣的に接続する導電性部材と、前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子と
- 20 を具備することを特徴とする半導体装置。

8 0. 請求項 7 9 記載の半導体装置において、

- 前記導電性部材は、導電性ペーストであることを特徴とする半導体装置。

8 1. 請求項 7 9 記載の半導体装置において、

前記導電性部材は、スタッドバンプであることを特徴とする半導体装置。

8 2. 請求項 7 9 記載の半導体装置において、



導電膜と、

前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子と

5 を具備することを特徴とする半導体装置。

7 4. 請求項 7 3 記載の半導体装置において、

前記半導体装置本体に形成された前記突起電極の配設ピッチと、前記インタポーザに配設された前記外部接続端子の配設ピッチを同一ピッチとしたことを特徴とする半導体装置。

10 7 5. 請求項 7 3 記載の半導体装置において、

前記半導体装置本体に形成された前記突起電極の配設ピッチに対し、前記インタポーザに配設された前記外部接続端子の配設ピッチを大きく設定したことを特徴とする半導体装置。

15 7 6. 請求項 7 3 乃至 7 5 のいずれかに記載の半導体装置において、

前記インタポーザ上に、前記突起電極と対向する位置に孔を有する絶縁部材を配設したことを特徴とする半導体装置。

7 7. 請求項 7 3 乃至 7 6 のいずれかに記載の半導体装置において、

20 前記インタポーザとしてTAB (Tape Automated Bonding) テープを用いたことを特徴とする半導体装置。

7 8. 半導体素子の少なくとも表面上に突起電極を直接形成すると共に、該半導体素子の表面上に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、

25 ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成しインタポーザを形成するインタポーザ形成工程と、

前記半導体装置本体と前記インタポーザとを接着性及び押圧方向





出した外部接続端子と接続するよう設けられたリード部とを有するソケットを用い、

5 前記半導体装置を前記ソケットに装着して前記リード部と前記外部接続端子を接続した上で、前記リード部を前記実装基板に接合させることを特徴とする半導体装置の実装構造。

71. 請求項60乃至62のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、

10 前記外部端子を形成する前記突出端子にバンプを配設し、該バンプを介して前記半導体装置を前記実装基板に接合させることを特徴とする半導体装置の実装構造。

72. 請求項59乃至64のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、

15 前記外部接続端子の形成位置に対応した位置に配設された可撓可能な接続ピンと、前記接続ピンを位置決めする位置決め部材とにより構成される実装部材を用い、

前記接続ピンの上端部を前記半導体装置の外部接続端子に接合すると共に、下端部を前記実装基板に接合することを特徴とする半導体装置の実装構造。

20 73. 少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備する半導体装置本体と、

25 前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタポーザと、

接着性及び押圧方向に対する導電性を有しており、前記半導体装置本体と前記インタポーザとの間に介装され、前記半導体装置本体を前記インタポーザに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタポーザとを電氣的に接続する異方性



止樹脂形成工程と、

個々の半導体装置の境界位置で、前記封止樹脂及び前記電極板を切断することにより個々の半導体装置を切り出す切断工程とを有することを特徴とする半導体装置の製造方法。

5

6 6. 請求項 6 5 記載の半導体装置の製造方法において、

前記電極板形成工程で実施するパターン成形処理は、エッチング法またはプレス加工法を用いて行なうことを特徴とする半導体装置の製造方法。

10

6 7. 請求項 6 5 または 6 6 記載の半導体装置の製造方法において、

前記チップ搭載工程で、前記半導体素子を前記電極板に搭載する手段として、フリップチップ接合法を用いたことを特徴とする半導体装置の製造方法。

15

6 8. 請求項 6 5 または 6 7 のいずれかに記載の半導体装置の製造方法において、

前記チップ搭載工程を実施する前に、前記半導体素子を放熱部材上に位置決めして取り付けるチップ取り付け工程を実施し、

20

前記チップ搭載工程において、前記放熱部材に取り付けられた状態で前記半導体素子を前記電極板に搭載することを特徴とする半導体装置の製造方法。

6 9. 請求項 6 5 または 6 8 のいずれかに記載の半導体装置の製造方法において、

25

前記電極板形成工程で、前記電極板より突出する突出端子を形成すると共に、前記封止樹脂形成工程で、前記突出端子が前記封止樹脂から露出するよう前記封止樹脂を形成することを特徴とする半導体装置の製造方法。

7 0. 請求項 5 7 乃至 6 4 のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、

前記半導体装置が装着される装着部と、前記封止樹脂の側面に露



5 8. 請求項 5 7 記載の半導体装置において、

前記半導体素子と前記電極板とをフリップチップ接合したことを特徴とする半導体装置。

5 9. 請求項 5 7 または 5 8 記載の半導体装置において、

5 前記電極板を前記封止樹脂の側面に加え底面にも露出させて外部接続端子を形成するよう構成したことを特徴とする半導体装置。

6 0. 請求項 5 7 または 5 8 記載の半導体装置において、

10 前記電極板に突出形成された突出端子を設けると共に、前記突出端子を前記封止樹脂の底面に露出させて外部接続端子を形成する構成としたことを特徴とする半導体装置。

6 1. 請求項 6 0 記載の半導体装置において、

前記突出端子は、前記電極板を塑性加工することにより前記電極板に一体的に形成したことを特徴とする半導体装置。

6 2. 請求項 6 0 記載の半導体装置において、

15 前記突出端子は、前記電極板に配設した突起電極であることを特徴とする半導体装置。

6 3. 請求項 5 7 乃至 6 2 のいずれかに記載の半導体装置において、

20 前記半導体素子の一部を前記封止樹脂より露出させた構成としたことを特徴とする半導体装置。

6 4. 請求項 5 7 乃至 6 3 のいずれかに記載の半導体装置において、

前記封止樹脂の前記半導体素子に近接する位置に放熱部材を配設したことを特徴とする半導体装置。

25 6 5. 金属基板に対しパターン成形処理を行なうことにより電極板を形成する電極板形成工程と、

前記電極板に半導体素子を搭載し電氣的に接続するチップ搭載工程と、

前記半導体素子及び前記電極板を封止する封止樹脂を形成する封



て、

5

前記延出部の先端部に前記半導体素子と接続される接続電極を形成しておき、前記折曲工程の実施後に、前記半導体素子と前記接続電極とを接続する素子接続工程を行なうことを特徴とする半導体装置の製造方法。

5 3. 請求項 5 1 記載の半導体装置の製造方法において、

前記接続電極を千鳥状に配設すると共に、角部を曲線状に形成したことを特徴とする半導体装置の製造方法。

5 4. 半導体素子と、

10

外部接続端子として機能する突起電極と、

可撓性基材上に、前記半導体素子に一端が接続されると共に他端部が前記突起電極に接続されるリードが形成された配線基板と、

前記半導体素子を封止する封止樹脂とを具備する半導体装置において、

15

前記配線基板に前記半導体素子の形成位置より側方に長く延出すると共に折曲された延出部を形成し、前記延出部に前記突起電極が形成されていることを特徴とする半導体装置。

5 5. 請求項 5 4 記載の半導体装置において、

20

前記配線基板を支持すると共に前記半導体素子を収納するキャビティ部が形成された枠体が設けられていることを特徴とする半導体装置。

5 6. 請求項 5 4 または 5 5 記載の半導体装置において、

前記突起電極は前記リードを塑性変形することにより形成されたメカニカルバンプであることを特徴とする半導体装置。

25

5 7. 単数または複数の半導体素子と、

前記半導体素子の一部或いは全部を封止する封止樹脂と、

前記封止樹脂内に配設され、前記半導体素子と電氣的に接続すると共にその一部が少なくとも前記封止樹脂の側面に露出して外部接続端子を形成する電極板とを具備することを特徴とする半導体装置。





前記樹脂封止工程で、前記金型の前記配線基板と対向する位置に前記封止樹脂に対する離型性の良好な板状部材を配設し、前記金型が前記板状部材を介して前記封止樹脂と接触するよう構成したことを特徴とする半導体装置の製造方法。

5

48. 請求項47記載の半導体装置の製造方法において、  
前記板状部材として放熱性の良好な材料を選定したことを特徴とする半導体装置の製造方法。

49. 請求項44乃至48のいずれかに記載の半導体装置の製造方法において、

10

前記樹脂封止工程で用いられる金型に、余剰樹脂を除去すると共に前記金型内における封止樹脂の圧力を制御する余剰樹脂除去機構を設けたことを特徴とする半導体装置の製造方法。

50. 請求項44乃至49のいずれかに記載の半導体装置の製造方法において、

15

前記配線基板に前記半導体素子の形成位置より側方に長く延出した延出部を形成し、

前記樹脂封止工程の終了後で前記突起電極形成工程の実施前に、前記延出部を折り曲げる折曲工程を実施し、

20

前記突起電極形成工程において、折曲された前記延出部に前記突起電極を形成することを特徴とする半導体装置の製造方法。

51. 請求項44乃至49のいずれかに記載の半導体装置の製造方法において、

前記配線基板に前記半導体素子の形成位置より側方に長く延出した延出部を形成し、

25

前記樹脂封止工程の実施前に、前記延出部を折り曲げる折曲工程を実施し、

前記折曲工程を実施した後に、前記樹脂封止工程と前記突起電極形成工程を実施することを特徴とする半導体装置の製造方法。

52. 請求項50または51記載の半導体装置の製造方法におい



形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程とを具備することを特徴とする半導体装置の製造方法。

5

10

15

20

25

前記導電性部材は、前記配線パターンと一体的に形成されると共に前記接着剤の配設位置を迂回して前記突起電極に接続するフライングリードであることを特徴とする半導体装置。

8 3. 請求項 8 2 記載の半導体装置において、

5 少なくとも前記突起電極と前記フライングリードとの接続位置を樹脂封止する構成としたことを特徴とする半導体装置。

8 4. 請求項 7 9 記載の半導体装置において、  
前記導電性部材は、

10 前記突起電極の形成位置に対応した位置に配設され、その上端部を前記半導体装置の突起電極に接合すると共に、下端部を前記外部接続端子に接合する接続ピンと、

該接続ピンを位置決めする位置決め部材と  
により構成されることを特徴とする半導体装置。

8 5. 請求項 8 4 記載の半導体装置において、

15 前記位置決め部材は、可撓性部材により形成されていることを特徴とする半導体装置。

8 6. 半導体素子の少なくとも表面上に突起電極を直接形成すると共に、該半導体素子の表面上に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、

20 ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成しインタポーザを形成するインタポーザ形成工程と、

25 前記半導体装置本体または前記インタポーザの少なくとも一方に導電性部材を配設する導電性部材配設工程と、

前記半導体装置本体と前記インタポーザとを接着剤を介して接合すると共に、前記導電性部材により前記半導体装置本体と前記インタポーザとを電氣的に接続する接合工程と、

前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に

に対する導電性を有した異方性導電膜を介して接合し、前記半導体装置本体を前記インタポーザに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタポーザとを電氣的に接続する接合工程と、

- 5 前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程と
- を具備することを特徴とする半導体装置の製造方法。

- 7 9. 少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備する半導体装置本体と、
- 10

- 前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタポーザと、
- 15

前記半導体装置本体と前記インタポーザとの間に介装され、前記半導体装置本体を前記インタポーザに接着固定する接着剤と、

- 前記半導体装置本体と前記インタポーザとを電氣的に接続する導電性部材と、 前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子と
- 20
- を具備することを特徴とする半導体装置。

- 8 0. 請求項 7 9 記載の半導体装置において、
- 前記導電性部材は、導電性ペーストであることを特徴とする半導体装置。
- 25

- 8 1. 請求項 7 9 記載の半導体装置において、
- 前記導電性部材は、スタッドバンプであることを特徴とする半導体装置。

- 8 2. 請求項 7 9 記載の半導体装置において、

導電膜と、

前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子と

5 を具備することを特徴とする半導体装置。

7 4. 請求項 7 3 記載の半導体装置において、

前記半導体装置本体に形成された前記突起電極の配設ピッチと、前記インタポーザに配設された前記外部接続端子の配設ピッチを同一ピッチとしたことを特徴とする半導体装置。

10 7 5. 請求項 7 3 記載の半導体装置において、

前記半導体装置本体に形成された前記突起電極の配設ピッチに対し、前記インタポーザに配設された前記外部接続端子の配設ピッチを大きく設定したことを特徴とする半導体装置。

15 7 6. 請求項 7 3 乃至 7 5 のいずれかに記載の半導体装置において、

前記インタポーザ上に、前記突起電極と対向する位置に孔を有する絶縁部材を配設したことを特徴とする半導体装置。

7 7. 請求項 7 3 乃至 7 6 のいずれかに記載の半導体装置において、

20 前記インタポーザとして T A B (Tape Automated Bonding) テープを用いたことを特徴とする半導体装置。

7 8. 半導体素子の少なくとも表面上に突起電極を直接形成すると共に、該半導体素子の表面上に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、

25 ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成しインタポーザを形成するインタポーザ形成工程と、

前記半導体装置本体と前記インタポーザとを接着性及び押圧方向

出した外部接続端子と接続するよう設けられたリード部とを有するソケットを用い、

5 前記半導体装置を前記ソケットに装着して前記リード部と前記外部接続端子を接続した上で、前記リード部を前記実装基板に接合させることを特徴とする半導体装置の実装構造。

7 1. 請求項 6 0 乃至 6 2 のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、

10 前記外部端子を形成する前記突出端子にバンプを配設し、該バンプを介して前記半導体装置を前記実装基板に接合させることを特徴とする半導体装置の実装構造。

7 2. 請求項 5 9 乃至 6 4 のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、

15 前記外部接続端子の形成位置に対応した位置に配設された可撓可能な接続ピンと、前記接続ピンを位置決めする位置決め部材とにより構成される実装部材を用い、

前記接続ピンの上端部を前記半導体装置の外部接続端子に接合すると共に、下端部を前記実装基板に接合することを特徴とする半導体装置の実装構造。

20 7 3. 少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備する半導体装置本体と、

25 前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタポーザと、

接着性及び押圧方向に対する導電性を有しており、前記半導体装置本体と前記インタポーザとの間に介装され、前記半導体装置本体を前記インタポーザに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタポーザとを電氣的に接続する異方性



止樹脂形成工程と、

個々の半導体装置の境界位置で、前記封止樹脂及び前記電極板を切断することにより個々の半導体装置を切り出す切断工程とを有することを特徴とする半導体装置の製造方法。

5

6 6. 請求項 6 5 記載の半導体装置の製造方法において、前記電極板形成工程で実施するパターン成形処理は、エッチング法またはプレス加工法を用いて行なうことを特徴とする半導体装置の製造方法。

10

6 7. 請求項 6 5 または 6 6 記載の半導体装置の製造方法において、

前記チップ搭載工程で、前記半導体素子を前記電極板に搭載する手段として、フリップチップ接合法を用いたことを特徴とする半導体装置の製造方法。

15

6 8. 請求項 6 5 または 6 7 のいずれかに記載の半導体装置の製造方法において、

前記チップ搭載工程を実施する前に、前記半導体素子を放熱部材上に位置決めして取り付けるチップ取り付け工程を実施し、

20

前記チップ搭載工程において、前記放熱部材に取り付けられた状態で前記半導体素子を前記電極板に搭載することを特徴とする半導体装置の製造方法。

6 9. 請求項 6 5 または 6 8 のいずれかに記載の半導体装置の製造方法において、

25

前記電極板形成工程で、前記電極板より突出する突出端子を形成すると共に、前記封止樹脂形成工程で、前記突出端子が前記封止樹脂から露出するよう前記封止樹脂を形成することを特徴とする半導体装置の製造方法。

7 0. 請求項 5 7 乃至 6 4 のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、

前記半導体装置が装着される装着部と、前記封止樹脂の側面に露

5 8. 請求項 5 7 記載の半導体装置において、  
前記半導体素子と前記電極板とをフリップチップ接合したことを  
特徴とする半導体装置。

5 9. 請求項 5 7 または 5 8 記載の半導体装置において、  
5 前記電極板を前記封止樹脂の側面に加え底面にも露出させて外部  
接続端子を形成するよう構成したことを特徴とする半導体装置。

6 0. 請求項 5 7 または 5 8 記載の半導体装置において、  
前記電極板に突出形成された突出端子を設けると共に、前記突出  
10 端子を前記封止樹脂の底面に露出させて外部接続端子を形成する構  
成としたことを特徴とする半導体装置。

6 1. 請求項 6 0 記載の半導体装置において、  
前記突出端子は、前記電極板を塑性加工することにより前記電極  
板に一体的に形成したことを特徴とする半導体装置。

6 2. 請求項 6 0 記載の半導体装置において、  
15 前記突出端子は、前記電極板に配設した突起電極であることを特  
徴とする半導体装置。

6 3. 請求項 5 7 乃至 6 2 のいずれかに記載の半導体装置におい  
て、  
前記半導体素子の一部を前記封止樹脂より露出させた構成とした  
20 ことを特徴とする半導体装置。

6 4. 請求項 5 7 乃至 6 3 のいずれかに記載の半導体装置におい  
て、

前記封止樹脂の前記半導体素子に近接する位置に放熱部材を配設  
したことを特徴とする半導体装置。

25 6 5. 金属基板に対しパターン成形処理を行なうことにより電極  
板を形成する電極板形成工程と、

前記電極板に半導体素子を搭載し電氣的に接続するチップ搭載工  
程と、

前記半導体素子及び前記電極板を封止する封止樹脂を形成する封

て、

5 前記延出部の先端部に前記半導体素子と接続される接続電極を形成しておき、前記折曲工程の実施後に、前記半導体素子と前記接続電極とを接続する素子接続工程を行なうことを特徴とする半導体装置の製造方法。

5 3. 請求項 5 1 記載の半導体装置の製造方法において、

前記接続電極を千鳥状に配設すると共に、角部を曲線状に形成したことを特徴とする半導体装置の製造方法。

5 4. 半導体素子と、

10 外部接続端子として機能する突起電極と、

可撓性基材上に、前記半導体素子に一端が接続されると共に他端部が前記突起電極に接続されるリードが形成された配線基板と、

前記半導体素子を封止する封止樹脂とを具備する半導体装置において、

15 前記配線基板に前記半導体素子の形成位置より側方に長く延出すると共に折曲された延出部を形成し、前記延出部に前記突起電極が形成されていることを特徴とする半導体装置。

5 5. 請求項 5 4 記載の半導体装置において、

20 前記配線基板を支持すると共に前記半導体素子を収納するキャビティ部が形成された枠体が設けられていることを特徴とする半導体装置。

5 6. 請求項 5 4 または 5 5 記載の半導体装置において、

25 前記突起電極は前記リードを塑性変形することにより形成されたメカニカルバンプであることを特徴とする半導体装置。

5 7. 単数または複数の半導体素子と、

前記半導体素子の一部或いは全部を封止する封止樹脂と、

前記封止樹脂内に配設され、前記半導体素子と電氣的に接続すると共にその一部が少なくとも前記封止樹脂の側面に露出して外部接続端子を形成する電極板とを具備することを特徴とする半導体装置。

前記樹脂封止工程で、前記金型の前記配線基板と対向する位置に前記封止樹脂に対する離型性の良好な板状部材を配設し、前記金型が前記板状部材を介して前記封止樹脂と接触するよう構成したことを特徴とする半導体装置の製造方法。

- 5 48. 請求項47記載の半導体装置の製造方法において、  
前記板状部材として放熱性の良好な材料を選定したことを特徴とする半導体装置の製造方法。

49. 請求項44乃至48のいずれかに記載の半導体装置の製造方法において、

- 10 前記樹脂封止工程で用いられる金型に、余剰樹脂を除去すると共に前記金型内における封止樹脂の圧力を制御する余剰樹脂除去機構を設けたことを特徴とする半導体装置の製造方法。

50. 請求項44乃至49のいずれかに記載の半導体装置の製造方法において、

- 15 前記配線基板に前記半導体素子の形成位置より側方に長く延出した延出部を形成し、

前記樹脂封止工程の終了後で前記突起電極形成工程の実施前に、前記延出部を折り曲げる折曲工程を実施し、

- 20 前記突起電極形成工程において、折曲された前記延出部に前記突起電極を形成することを特徴とする半導体装置の製造方法。

51. 請求項44乃至49のいずれかに記載の半導体装置の製造方法において、

前記配線基板に前記半導体素子の形成位置より側方に長く延出した延出部を形成し、

- 25 前記樹脂封止工程の実施前に、前記延出部を折り曲げる折曲工程を実施し、

前記折曲工程を実施した後に、前記樹脂封止工程と前記突起電極形成工程を実施することを特徴とする半導体装置の製造方法。

52. 請求項50または51記載の半導体装置の製造方法におい

少なくとも前記半導体素子の背面を覆うように配設された第2の樹脂層とを具備することを特徴とする半導体装置。

43. 少なくとも表面上に突起電極が直接形成されてなる半導体素子と、

5 前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する樹脂層と、

前記樹脂層から露出した前記突起電極の先端部に形成された外部接続用突起電極とを具備することを特徴とする半導体装置。

10 44. 少なくとも可撓性基材に半導体素子及びリードが配設された構成の配線基板を金型内に装着し、続いて前記半導体素子の配設位置に封止樹脂を供給して前記半導体素子を樹脂封止する樹脂封止工程と、

15 前記配線基板に形成されたリードと電氣的に接続するよう突起電極を形成する突起電極形成工程とを有する半導体装置の製造方法において、

前記半導体素子を樹脂封止する手段として、圧縮成形法を用いたことを特徴とする半導体装置の製造方法。

45. 請求項44記載の半導体装置の製造方法において、

20 前記配線基板を形成する際、前記半導体素子を収納するキャビティ部が形成された枠体を配設することを特徴とする半導体装置の製造方法。

46. 請求項44または45記載の半導体装置の製造方法において、

25 前記樹脂封止工程で、前記金型の前記配線基板と対向する位置に前記封止樹脂に対する離型性の良好なフィルムを配設し、前記金型が前記フィルムを介して前記封止樹脂と接触するよう構成したことを特徴とする半導体装置の製造方法。

47. 請求項44または45記載の半導体装置の製造方法において、

用突起電極と他の突起電極とを識別しうるようにすることを特徴とする半導体装置の製造方法。

36. 外部端子と電氣的に接続される外部接続電極が表面に形成された半導体素子と、

5 前記外部接続電極を覆うように前記半導体素子の表面に形成された樹脂層とを具備し、

前記半導体素子と前記樹脂層との界面において、前記外部接続電極が側方に向け露出した構成としたことを特徴とする半導体装置。

37. 請求項36記載の半導体装置の実装方法であって、  
10 前記半導体装置を実装基板に対し立設状態で実装することを特徴とする半導体装置の実装方法。

38. 請求項37記載の半導体装置の実装方法であって、  
前記半導体装置を複数個並列状態に実装すると共に、隣接する前記半導体装置同志を接着剤により接合することを特徴とする半導体装置の実装方法。  
15

39. 請求項37記載の半導体装置の実装方法であって、  
前記半導体装置を複数個並列状態に実装すると共に、前記複数の半導体装置を支持部材を用いて立設状態に支持することを特徴とする半導体装置の実装方法。  
40. 請求項18または請求項19または請求項36のいずれかに記載の半導体装置の実装方法であって、  
20 前記半導体装置をインターポーザ基板を介して実装基板に実装することを特徴とする半導体装置の実装方法。

41. 請求項18または17記載の半導体装置において、  
前記樹脂層を異なる複数の樹脂により構成したことを特徴とする半導体装置。  
25

42. 少なくとも表面上に突起電極が直接形成されてなる半導体素子と、

前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する第1の樹脂層と、

封止樹脂を供給して前記外部接続電極及び前記基板を前記封止樹脂で封止し樹脂層を形成する樹脂封止工程と、

5 前記外部接続電極が形成された位置で前記基板を前記樹脂層と共に切断して個々の半導体素子に分離する分離工程とを具備することを特徴とする半導体装置の製造方法。

3 1. 請求項 3 0 記載の半導体装置の製造方法において、

前記分離工程実施前では、前記外部接続電極が前記基板に形成された隣接する半導体素子間で共有化されていることを特徴とする半導体装置の製造方法。

10 3 2. 請求項 1 乃至 1 2 のいずれか、または請求項 2 0 乃至 3 1 のいずれかに記載の半導体装置の製造方法において、

少なくとも前記樹脂封止工程の実施後で、かつ前記分離工程を実施する前に、前記樹脂層または前記基板の背面に位置決め溝を形成することを特徴とする半導体装置の製造方法。

15 3 3. 請求項 3 2 記載の半導体装置の製造方法において、

前記位置決め溝は、前記樹脂層または前記基板の背面にハーフスクライブを行なうことにより形成されることを特徴とする半導体装置の製造方法。

20 3 4. 請求項 3 乃至 1 2 のいずれか、または請求項 2 0 乃至 2 9 のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程で、前記フィルムとして前記突起電極と干渉しない位置に凸部または凹部が形成されたものを用い、

25 前記樹脂封止工程の終了後に、前記凸部または凹部により前記樹脂層上に形成される凹凸を位置決め部として用いることを特徴とする半導体装置の製造方法。

3 5. 請求項 1 乃至 1 2 のいずれか、または請求項 2 0 乃至 2 9 のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程の終了後、位置決め基準として用いる位置決め用突起電極の形成位置における封止樹脂を加工し、前記位置決め

続用突起電極を応力緩和機能を有する接合材を用いて接合させることを特徴とする半導体装置の製造方法。

27. 請求項1乃至12のいずれか、または請求項20乃至26のいずれかに記載の半導体装置の製造方法において、

5 前記樹脂封止工程を実施する前に、予め前記基板の前記分離工程で切断される位置に切断位置溝を形成しておき、

前記分離工程において、前記封止樹脂が充填された前記切断位置溝の形成位置で前記基板を切断することを特徴とする半導体装置の製造方法。

10 28. 請求項1乃至12のいずれか、または請求項20乃至26のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程を実施する前に、予め前記基板の前記分離工程で切断される位置を挟んで少なくとも一対の応力緩和溝を形成しておき、

15 前記分離工程において、前記一対の応力緩和溝の間位置で前記基板を切断することを特徴とする半導体装置の製造方法。

29. 突起電極を有する複数の半導体素子が形成された基板を切断することにより個々の半導体素子に分離する第1の分離工程と、

20 分離された前記半導体素子をベース材に整列させて搭載した後、前記搭載された半導体素子を前記封止樹脂で封止し樹脂層を形成する樹脂封止工程と、

前記突起電極の少なくとも先端部を前記樹脂層より露出させる突起電極露出工程と、

25 隣接する前記半導体素子の間位置で前記ベース材と共に前記樹脂層を切断することにより、前記樹脂層が形成された半導体素子を個々分離する第2の分離工程とを具備することを特徴とする半導体装置の製造方法。

30. 外部と接続される外部接続電極が表面に形成された複数の半導体素子が形成された基板を金型内に装着し、続いて前記表面に



前記樹脂封止工程において、予め前記封止樹脂を前記補強板に配設しておくことを特徴とする半導体装置の製造方法。

22. 請求項21記載の半導体装置の製造方法において、

5 前記補強板に金型に装着した状態において基板に向け延出する枠部を形成することにより凹部を形成し、

前記樹脂封止工程の実施時において、前記補強板に形成された凹部を樹脂封止用のキャビティとして用いて前記基板に樹脂層を形成することを特徴とする半導体装置の製造方法。

10 23. 請求項1乃至12のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程で前記突起電極が配設された前記基板の表面に第1の樹脂層を形成した後、または同時に、前記基板の背面を覆うように第2の樹脂層を形成することを特徴とする半導体装置の製造方法。

15 24. 請求項3乃至10のいずれかに記載の半導体装置の製造方法において、

20 前記樹脂封止工程で、前記フィルムとして前記突起電極と対向する位置に凸部が形成されたものを用い、前記凸部を前記突起電極に押圧した状態で前記樹脂層を形成することを特徴とする半導体装置の製造方法。

25 25. 請求項1乃至12のいずれか、または請求項20乃至24のいずれかに記載の半導体装置の製造方法において、

前記突起電極露出工程で前記突起電極の少なくとも先端部を前記樹脂層より露出させた後に、

前記突起電極の先端部に外部接続用突起電極を形成する外部接続用突起電極形成工程を実施することを特徴とする半導体装置の製造方法。

26. 請求項25記載の半導体装置の製造方法において、

前記外部接続用突起電極形成工程で、前記突起電極と前記外部接

て、

前記第 1 の下型半体の前記基板が載置される部位に、前記基板を前記第 1 の下型半体に固定・離型させる固定・離型機構を設けたことを特徴とする半導体装置製造用金型。

5 16. 請求項 15 記載の半導体装置製造用金型において、

前記固定・離型機構を、

前記第 1 の下型半体の前記基板が載置される部位に配設された多孔質部材と、前記多孔質部材に対し気体の吸引処理及び気体の供給処理を行なう吸排気装置とにより構成したことを特徴とする半導体装置製造用金型。

10

17. 請求項 13 乃至 16 のいずれかに記載の半導体装置製造用金型において、

前記キャビティを形成した状態において、前記第 1 の下型半体の上部の面積よりも前記第 2 の下型半体で囲繞される面積が広くなる部分を有する構成としたことを特徴とする半導体装置製造用金型。

15

18. 少なくとも表面上に突起電極が直接形成されてなる半導体素子と、

前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する樹脂層と

20

を具備することを特徴とする半導体装置。

19. 請求項 18 記載の半導体装置において、

前記半導体素子の前記突起電極が形成される表面に対し反対側となる背面に、放熱部材を配設したことを特徴とする半導体装置。

20. 請求項 1 乃至 12 のいずれかに記載の半導体装置の製造方法において、

25

前記樹脂封止工程で用いられる封止樹脂として、異なる特性を有する複数の封止樹脂を用いることを特徴とする半導体装置の製造方法。

21. 請求項 9 または 10 記載の半導体装置の製造方法において、

10. 請求項9記載の半導体装置の製造方法において、  
前記補強板として放熱性の良好な材料を選定したことを特徴とする半導体装置の製造方法。

5 11. 請求項1乃至10のいずれかに記載の半導体装置の製造方法において、

前記突起電極露出工程で前記樹脂層に覆われた突起電極の少なくとも先端部を前記樹脂層より露出させる手段として、レーザ光照射、エキシマレーザ、エッチング、機械研磨、及びブラストの内、少なくとも1の手段を用いることを特徴とする半導体装置の製造方法。

10 12. 請求項3乃至10のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程で用いられる前記フィルムの材質として弾性変形可能な材質を選定し、前記金型を用いて前記樹脂層を形成する際に前記突起電極の先端部を前記フィルムにめり込ませると共に、

15 前記突起電極露出工程で前記フィルムを前記樹脂層から剝離させることにより、前記突起電極の先端部が前記樹脂層より露出させることを特徴とする半導体装置の製造方法。

13. 昇降可能な上型と、

20 基板の形状に対応しており固定された第1の下型半体と、前記第1の下型半体を囲繞するよう配設されると共に前記第1の下型半体に対して昇降可能な第2の下型半体とよりなる下型とにより構成され、

25 前記上型と下型とが協働して樹脂充填が行なわれるキャビティを形成する構成としたことを特徴とする半導体装置製造用金型。

14. 請求項13記載の半導体装置製造用金型において、

樹脂成形時に余剰樹脂の除去処理を同時に行うと共に前記封止樹脂の圧力を制御する余剰樹脂除去機構を設けたことを特徴とする半導体装置製造用金型。

15. 請求項13または14記載の半導体装置製造用金型におい

程と、

前記上型を前記第 2 の下型半体と共に下動させることにより前記封止樹脂を加熱、溶融、圧縮し、前記突起電極を封止する樹脂層を形成する樹脂層形成工程と、

- 5 先ず上型を上昇させて前記上型を前記樹脂層から離間させ、続いて第 2 の下型半体を第 1 の下型半体に対して昇降させることにより、前記樹脂層が形成された基板を前記金型から離型させる離型工程とを有することを特徴とする半導体装置の製造方法。

- 10 5. 請求項 1 乃至 4 のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程で用いられる金型に余剰樹脂除去機構を設け、該余剰樹脂除去機構により余剰樹脂を除去すると共に前記金型内における封止樹脂の圧力を制御することを特徴とする半導体装置の製造方法。

- 15 6. 請求項 1 乃至 5 の何れかに記載の半導体装置の製造方法において、

前記樹脂封止工程で、封止樹脂としてシート状樹脂を用いたことを特徴とする半導体装置の製造方法。

- 20 7. 請求項 3 または 6 記載の半導体装置の製造方法において、前記封止樹脂を前記樹脂封止工程の実施前に予め前記フィルムに配設することを特徴とする半導体装置の製造方法。

- 25 8. 請求項 7 記載の半導体装置の製造方法において、前記封止樹脂を前記フィルムに複数個配設しておき、前記フィルムを移動させることにより、連続的に前記樹脂封止工程を実施することを特徴とする半導体装置の製造方法。

9. 請求項 1 乃至 8 記載のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程で前記金型に前記基板を装着する前に補強板を装着しておくことを特徴とする半導体装置の製造方法。

施例に係る製造方法)を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置 3 1 0 T を形成する方法を例に挙げて示している。

5 本実施例に係る半導体装置 3 1 0 T の製造方法では、予め別工程において半導体装置本体 3 7 0, 接続ピン 3 1 1 0 を保持した位置決め部材 3 1 1 2, 接着剤 3 1 1 4, 及びインタポータ 3 7 2 B を形成しておく。この際、接着剤 3 1 1 4 の突起電極 3 8 0 の形成位置と対応する位置には、通孔 3 1 0 2 を予め穿設しておく。

10 そして、突起電極 3 8 0 と位置決めピン 3 1 1 2, 及び位置決めピン 3 1 1 2 と接続孔 3 9 6 との位置決めを行なった上で、半導体装置本体 3 7 0 をインタポータ 3 7 2 B に加熱しつつ押圧する。これにより、接続ピン 3 1 1 0 の上端部は突起電極 3 8 0 内に嵌入し、かつ下端部は外部接続端子 3 7 6 に嵌入すし、よって突起電極 3 8 0 と外部接続端子 3 7 6 は接続ピン 3 1 1 0 を介して電氣的に接続  
15 される。以上の処理を行なうことにより、図 1 7 6 に示す半導体装置 3 1 0 U が形成される。

以上、本発明の実施例を説明した。本発明は上記実施例に限定されるものではなく、その他の実施例、変形例等を含むものである。

20

25

## 請求の範囲

1. 突起電極が配設された複数の半導体素子が形成された基板を金型内に装着し、続いて前記突起電極の配設位置に封止樹脂を供給して前記突起電極及び前記基板を前記封止樹脂で封止し樹脂層を形成する樹脂封止工程と、

前記突起電極の少なくとも先端部を前記樹脂層より露出させる突起電極露出工程と、

前記基板を前記樹脂層と共に切断して個々の半導体素子に分離する分離工程とを具備することを特徴とする半導体装置の製造方法。

2. 請求項 1 記載の半導体装置の製造方法において、

前記樹脂封止工程で用いられる封止樹脂は、封止処理後における前記樹脂層の高さが前記突起電極の高さと略等しい高さとなる量に計量されていることを特徴とする半導体装置の製造方法。

3. 請求項 1 または 2 記載の半導体装置の製造方法において、

前記樹脂封止工程で、前記突起電極と前記金型との間にフィルムを配設し、前記金型が前記フィルムを介して前記封止樹脂と接触するよう構成したことを特徴とする半導体装置の製造方法。

4. 請求項 1 乃至 3 のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程で用いられる金型を、

昇降可能な上型と、

固定された第 1 の下型半体と、前記第 1 の下型半体に対して昇降可能な構成とされた第 2 の下型半体とよりなる下型とにより構成すると共に、

前記樹脂封止工程が、

突起電極が配設された複数の半導体素子が形成された基板を前記第 1 及び第 2 の下型半体が協働して形成するキャビティ内に装着すると共に、前記封止樹脂を前記キャビティ内に配設する基板装着工

このように、突起電極 380 と外部接続端子 376 との接続処理が終了すると、続いて図 174 に A-A で示す破線位置で切断処理が行なわれ、これにより図 172 (A) に示す半導体装置 310 T が形成される。尚、上記した製造方法では、半導体装置 310 T を多数個取りする方法について述べたが、図 175 に示すように、半導体装置 310 T を個々に製造することも可能である。

続いて、第 73 実施例である半導体装置 10 U について説明する。

図 176 は、第 73 実施例に係る半導体装置 310 U を示す断面図である。尚、図 176 において、図 172 を用いて説明した第 72 実施例に係る半導体装置 310 T の構成と対応する構成については、同一符号を付してその説明を省略する。

前記した第 72 実施例に係る半導体装置 310 T では、小型化を図るために半導体装置本体 370 に形成された突起電極 380 の配設ピッチと、インタポーザ 372 D に配設された接続ピン 3110 の配設ピッチとを同一ピッチとするよう構成していた。

これに対し、本実施例に係る半導体装置 310 U は、半導体装置本体 370 に形成された突起電極 380 の配設ピッチに対し、インタポーザ 372 B に配設された外部接続端子 376 の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタポーザ 372 B の面積は半導体装置本体 370 の面積に対し広くなっている。

このように、突起電極 380 の配設ピッチに対し外部接続端子 376 の配設ピッチを大きく設定したことにより、インタポーザ 372 B 上における配線パターン 384 B の引回しの自由度を更に向上することができる。これにより、外部接続端子 376 の端子レイアウトの自由度が向上し端子設計の容易化を図ることができると共に、突起電極 380 (接続ピン 3110) の電極間ピッチが狭ピッチ化してもこれに容易に対応することができる。

図 177 は、上記した半導体装置 310 T の製造方法 (第 66 実

また、接続ピン 3110 は位置決め部材により突起電極 380 の形成位置に対応した位置に位置決めされている。このため、実装時において個々の接続ピン 3110 と突起電極 380 または外部接続端子 376 との位置決め処理を行なう必要はなく、実装作業を容易に行なうことができる。

更に、位置決め部材 3112 は可撓性部材により形成されているため、前記のように接続ピン 3110 が可撓しても、位置決め部材 3112 はこれに追随して可撓するため、半導体装置本体 370 とインタポーザ 372D との間に発生する応力を位置決め部材 3112 によっても吸収することができる。

図 173 乃至図 175 は、半導体装置 310T の製造方法（第 6 実施例に係る製造方法）を示している。尚、図 173 乃至図 175 において、第 60 実施例に係る製造方法を説明するのに用いた図 155 乃至図 157 に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置 310T を多数個取りする方法について説明するものとする。

半導体装置 310S を製造するには、図 173 に示すように、予め別工程において半導体装置本体 370 が複数個形成されたウェハ 390、接続ピン 3110 を保持した位置決め部材 3112、接着剤 3114、及びベース部材 3116 を形成しておく。接着剤 3114 及びベース部材 3116 の突起電極 380 の形成位置と対応する位置には、孔 388 及び通孔 3102 を形成しておく。

そして、突起電極 380 と位置決めピン 3110 との位置決めを行なった上で、ウェハ 390 をインタポーザ 372D（接続ピン 3110、位置決め部材 3112、接着剤 3114、ベース部材 3116）に加熱しつつ押圧する。これにより、図 174 に示すように、接続ピン 3110 の上端部は突起電極 380 内に嵌入し、かつ下端部は外部接続端子 376 に嵌入する。よって突起電極 380 と外部接続端子 376 は接続ピン 3110 を介して電氣的に接続される。



る。

本実施例に係るインタポータ 3 7 2 D は、大略すると接続ピン 3 1 1 0、位置決め部材 3 1 1 2、接着剤 3 1 1 4、及びベース部材 3 1 1 6 等により構成されている。接続ピン 3 1 1 0 は、突起電極 3 8 0 の形成位置に対応した位置に配設され、組み立てられた状態において、その上端部を突起電極 3 8 0 に接合すると共に、下端部を外部接続端子 3 7 6 に接合される。また、位置決め部材 3 1 1 2 は、この接続ピン 3 1 1 0 を突起電極 3 8 0 の形成位置に位置決めする機能を有するものであり、シリコンゴム等の可撓性材料により形成されている。

上記のように、接続ピン 3 1 1 0 を保持した位置決め部材 3 1 1 2 は、接着剤 3 1 1 4 によりベース部材 3 1 1 6 に接着固定される。この際、ベース部材 3 1 1 6 の突起電極 3 8 0 の形成位置と対向する位置には孔 3 8 8 が形成されており、接続ピン 3 1 1 0 はこの孔 3 8 8 を介して外部接続端子 3 7 6 と接続される。図 1 7 2 (B) は、接続ピン 3 1 1 0 と外部接続端子 3 7 6 との接続位置を拡大して示している。同図に示されるように、接続ピン 3 1 1 0 は外部接続端子 3 7 6 内に食い込んだ状態で接続されており、よって確実に電氣的に接続されている。

上記構成とされた半導体装置 3 1 0 T では、接続ピン 3 1 1 0 の上端部を突起電極 3 8 0 に接合すると共に下端部を外部接続端子 3 7 6 に接合しているため、突起電極 3 8 0 と外部接続端子 3 7 6 との間に接続ピン 3 1 1 0 が介在した構成となる。

この接続ピン 3 1 1 0 は可撓可能な構成であるため、例えば加熱時等に半導体装置本体 3 7 0 とインタポータ 3 7 2 D との間に熱膨張率差に起因して応力が発生しても、この応力は接続ピン 3 1 1 0 が可撓することにより吸収される。よって、応力が印加されても外部接続端子 3 7 6 と突起電極 3 8 0 との接続を確実に維持することができる。

372Cとが機械的に接合され、かつ突起電極380とフライングリード3106とが電氣的に接続されると、続いて少なくとも突起電極380とフライングリード3106との接続位置を含むウェハ390とインタポーザ372C間にカバー樹脂3108が形成される。このカバー樹脂3108は、ポッティングにより形成しても、  
5      またモールド成形により形成する構成としてもよい。図168は、カバー樹脂3108が形成された状態を示している。

このように、カバー樹脂3108の形成処理が終了すると、続いて図169にA-Aで示す破線位置で切断処理が行なわれ、これにより図166に示す半導体装置310Sが形成される。尚、上記した製造方法では、半導体装置310Qを多数個取りする方法について述べたが、図170及び図171に示すように、半導体装置310Sを個々に製造することも可能である。

続いて、第72実施例である半導体装置310Tについて説明する。  
15      る。

図172(A)は、第72実施例である半導体装置10Tを示す断面図である。尚、図172において、図154を用いて説明した第67実施例に係る半導体装置310Nの構成と対応する構成については、同一符号を付してその説明を省略する。前記した第67  
20      乃至71実施例に係る半導体装置310N～310Sは、導電性部材として導電性ペースト3100、スタッドバンプ3104、或いはフライングリード3106を用い、この導電性ペースト3100、スタッドバンプ3104、フライングリード3106により半導体装置本体370とインタポーザ372A、372Bとを電氣的に接  
25      合（接続）する構成とされていた。

これに対し、本実施例に係る半導体装置310Uは、上記の導電性ペースト3100或いはスタッドバンプ3104に代えて、インタポーザ372Dに導電性部材として、接続ピン3110と位置決め部材3112を組み込んだ構成としたことを特徴とするものである。

また、フライングリード 3 1 0 6 と突起電極 3 8 0 との接続位置においては絶縁性を有する接着剤 3 9 8 が介在しないため、フライングリード 3 1 0 6 と突起電極 3 8 0 との電氣的接続の信頼性を向上させることができる。更に、フライングリード 3 1 0 6 はバネ性を有しているため、接続時にフライングリード 3 1 0 6 はバネ力をもって突起電極 3 8 0 に圧接する。よって、これによってもフライングリード 3 1 0 6 と突起電極 3 8 0 との電氣的接続の信頼性を向上させることができる。

図 1 6 7 乃至図 1 7 1 は、半導体装置 3 1 0 S の製造方法（第 6 4 実施例に係る製造方法）を示している。尚、図 1 6 7 乃至図 1 7 1 において、第 6 0 実施例に係る製造方法を説明するのに用いた図 1 5 5 乃至図 1 5 7 に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置 3 1 0 S を多数個取りする方法について説明するものとする。

半導体装置 3 1 0 S を製造するには、図 1 6 7 に示すように、予め別工程において半導体装置本体 3 7 0 が複数個形成されたウェハ 3 9 0、接着剤 3 9 8、及びインタポーザ 3 7 2 C を形成しておく。また、このインタポーザ 3 7 2 C を形成する際、上記した形成方法によりフライングリード 3 1 0 6 を形成しておく。

そして、突起電極 3 8 0 とフライングリード 3 1 0 6 との位置決めを行なった上で、ウェハ 3 9 0 と各インタポーザ 3 7 2 C との間に接着剤 3 9 8 を介装し、各インタポーザ 3 7 2 C をウェハ 3 9 0 に押圧しつつ接着固定する。これにより、図 1 6 8 に示すように、接着材 3 9 8 によりウェハ 3 9 0 とインタポーザ 3 7 2 C は機械的に接合される。また、フライングリード 3 1 0 6 は突起電極 3 8 0 に押圧されることにより発生するバネ力により突起電極 3 8 0 に圧接し、よって突起電極 3 8 0 とフライングリード 3 1 0 6 は確実に電氣的接合が行なわれる。

上記のように、接着材 3 9 8 によりウェハ 3 9 0 とインタポーザ

0 6（導電性部材）を設けたことを特徴とするものである。

5 フライングリード 3 1 0 6 は、インタポーザ 3 7 2 C に形成された配線パターン 3 8 4 C と一体的に形成されており、インタポーザ 3 7 2 C の外周縁部より斜め上方向（半導体装置本体 3 7 0 に向かう方向）に延出した構成とされている。また、このフライングリード 3 1 0 6 の形成位置は、突起電極 3 8 0 の形成位置と対応するよう設定されている。

10 フライングリード 3 1 0 6 を形成するには、予め形成されたインタポーザ 3 7 2 C のフライングリード 3 1 0 6 の形成部分に対応するベース部材 3 8 6 C をドライエッチング等により除去し、これにより単体となって配線パターン 3 3 7 C を上記した斜め上方向にむけ折曲形成する。これにより、インタポーザ 3 7 2 C の外周縁部位置にフライングリード 3 1 0 6 が形成される。

15 このフライングリード 3 1 0 6 は、接着剤 3 9 8 の配設位置を迂回して突起電極 3 8 0 に接続し、これにより半導体装置本体 3 7 0 とインタポーザ 3 7 2 A とを電氣的に接続する機能を奏する。また、突起電極 3 8 0 とフライングリード 3 1 0 6 との接続位置は、カバー樹脂 3 1 0 8 により樹脂封止されている。これにより、外力印加等によりフライングリード 3 1 0 6 が変形することを防止でき、  
20 半導体装置 3 1 0 S の信頼性を向上させることができる。

上記のように、本実施例に係る半導体装置 3 1 0 S では、接着剤 3 9 8 が半導体装置本体 3 7 0 とインタポーザ 3 7 2 C とを機械的に接合し、またスタッドバンプ 3 1 0 4 が半導体装置本体 3 7 0 とインタポーザ 3 7 2 C とを電氣的に接合（接続）する。このように、  
25 機械的接合と電氣的接合を別個の部材（接着剤 3 9 8，フライングリード 3 1 0 6）により行なうことにより、半導体装置本体 3 7 0 とインタポーザ 3 7 2 A との機械的接合及び電氣的接合を共に確実に行なうことが可能となり、半導体装置 3 1 0 Q の信頼性を向上させることができる。

の形成位置と対応する位置には、通孔 3 1 0 2 を予め穿設しておく。  
また、インタポーザ 3 7 2 B に絶縁部材 3 9 4 を形成すると共に、  
絶縁部材 3 9 4 の突起電極 3 8 0 の形成位置と対応する位置に接続  
孔 3 9 6 を形成しておく。更に、接続孔 3 9 6 内に露出した配線パ  
ターン 3 8 4 A には、前記したワイヤボンディング技術を用いてス  
タッドバンプ 3 1 0 4 を形成しておく。

そして、突起電極 3 8 0 と接続孔 3 9 6 との位置決めを行なった  
上で、半導体装置本体 3 7 0 とインタポーザ 3 7 2 B との間に接着  
剤 3 9 8 を介装し、半導体装置本体 3 7 0 をインタポーザ 3 7 2 B  
に押圧しつつ接着固定する。これにより、接着材 3 9 8 により半導  
体装置本体 3 7 0 とインタポーザ 3 7 2 B は機械的に接合されると  
共に、スタッドバンプ 3 1 0 4 は通孔 3 1 0 2 及び接続孔 3 9 6 を  
介して突起電極 3 8 0 に食い込んだ状態となる。以上の処理を行な  
うことにより、突起電極 3 8 0 と配線パターン 3 8 4 A はスタッド  
バンプ 3 1 0 4 より電氣的に接合され、よって図 1 6 4 に示す半導  
体装置 3 1 0 R が形成される。

続いて、第 7 1 実施例である半導体装置 3 1 0 S について説明す  
る。

図 1 6 6 は、第 7 1 実施例である半導体装置 3 1 0 S を示す断面  
図である。尚、図 1 6 6 において、図 1 5 4 を用いて説明した第 6  
7 実施例に係る半導体装置 3 1 0 N の構成と対応する構成について  
は、同一符号を付してその説明を省略する。

前記した第 6 7 乃至 7 0 実施例に係る半導体装置 3 1 0 N ~ 3 1  
0 R は、導電性部材として導電性ペースト 3 1 0 0 或いはスタッド  
バンプ 3 1 0 4 を用い、この導電性ペースト 3 1 0 0 或いはスタッ  
ドバンプ 3 1 0 4 により半導体装置本体 3 7 0 とインタポーザ 3 7  
2 A とを電氣的に接合（接続）する構成とされていた。これに対し、  
本実施例に係る半導体装置 3 1 0 S は、上記の導電性ペースト 3 1  
0 0 或いはスタッドバンプ 3 1 0 4 に代えてフライングリード 3 1

る。

図 1 6 4 は、第 7 0 実施例に係る半導体装置 3 1 0 R を示す断面図である。尚、図 1 6 4 において、図 1 6 0 を用いて説明した第 6 9 実施例に係る半導体装置 3 1 0 Q の構成と対応する構成については、同一符号を付してその説明を省略する。

前記した第 6 9 実施例に係る半導体装置 3 1 0 Q では、小型化を図るために半導体装置本体 3 7 0 に形成された突起電極 3 8 0 の配設ピッチと、インタポーザ 3 7 2 A に配設された外部接続端子 3 7 6 の配設ピッチとを同一ピッチとするよう構成していた。

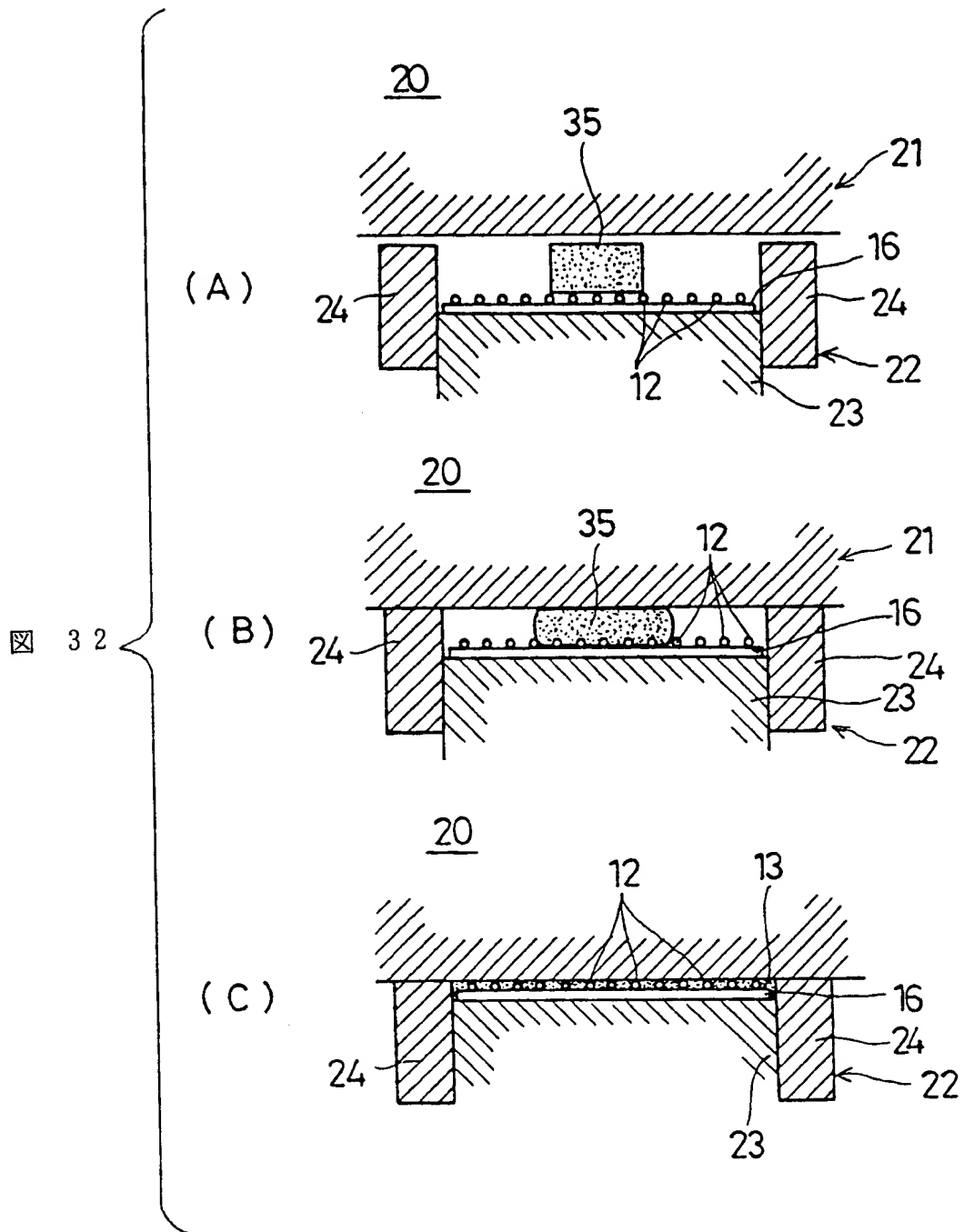
これに対し、本実施例に係る半導体装置 3 1 0 R は、半導体装置本体 3 7 0 に形成された突起電極 3 8 0 の配設ピッチに対し、インタポーザ 3 7 2 B に配設された外部接続端子 3 7 6 の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタポーザ 3 7 2 B の面積は半導体装置本体 3 7 0 の面積に対し広くなっている。

このように、突起電極 3 8 0 の配設ピッチに対し外部接続端子 3 7 6 の配設ピッチを大きく設定したことにより、インタポーザ 3 7 2 B 上における配線パターン 3 8 4 B の引回しの自由度を更に向上することができる。これにより、外部接続端子 3 7 6 の端子レイアウトの自由度が向上し端子設計の容易化を図ることができると共に、突起電極 3 8 0 の電極間ピッチが狭ピッチ化してもこれに容易に対応することができる。

図 1 6 5 は、上記した半導体装置 3 1 0 Q の製造方法（第 6 3 実施例に係る製造方法）を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置 3 1 0 Q を形成する方法を例に挙げて示している。

本実施例に係る半導体装置 3 1 0 Q の製造方法でも、予め別工程において半導体装置本体 3 7 0、接着材 3 9 8、及びインタポーザ 3 7 2 B を形成しておく。この際、接着剤 3 9 8 の突起電極 3 8 0





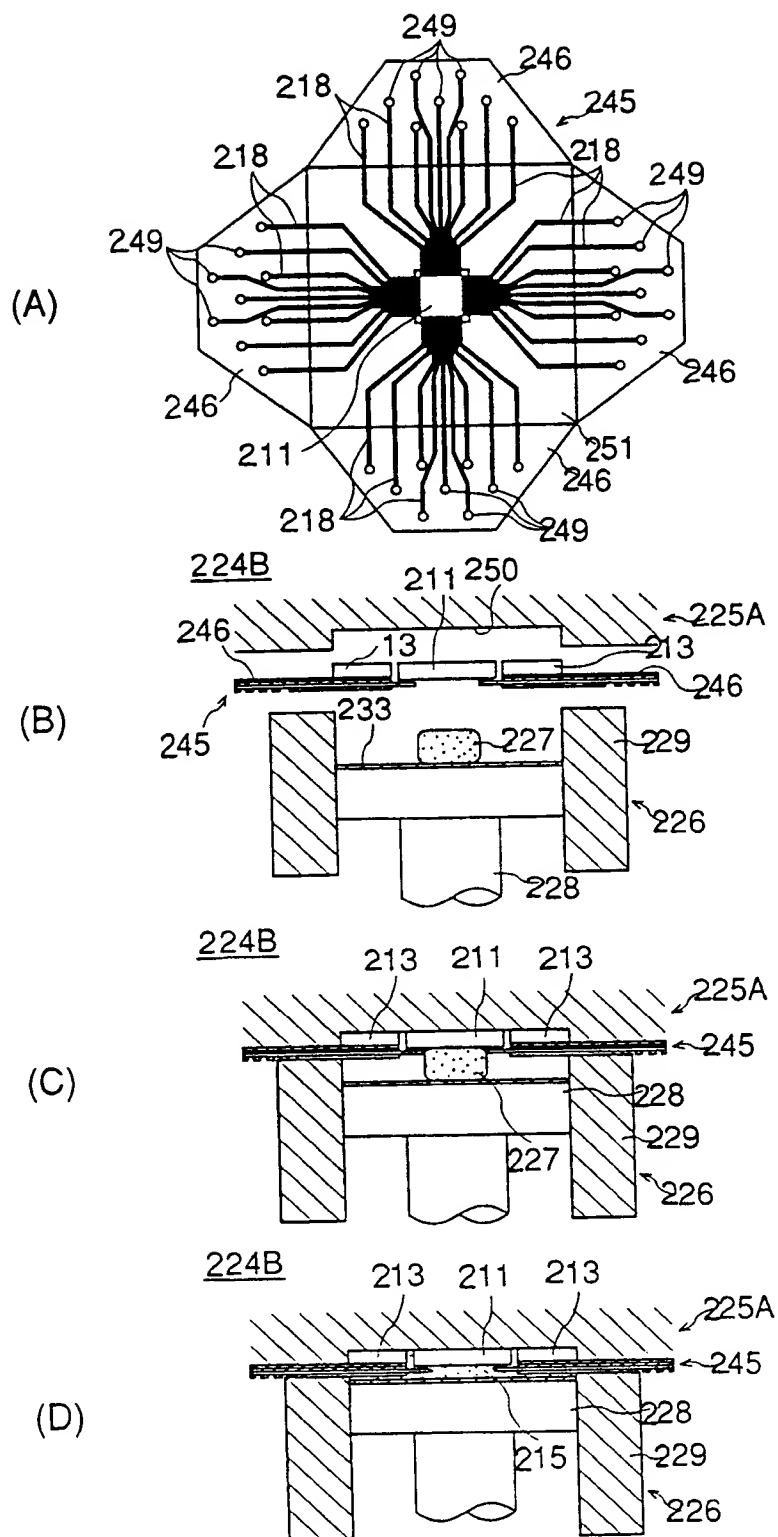




1  
2  
3  
4

1  
2  
3  
4

89





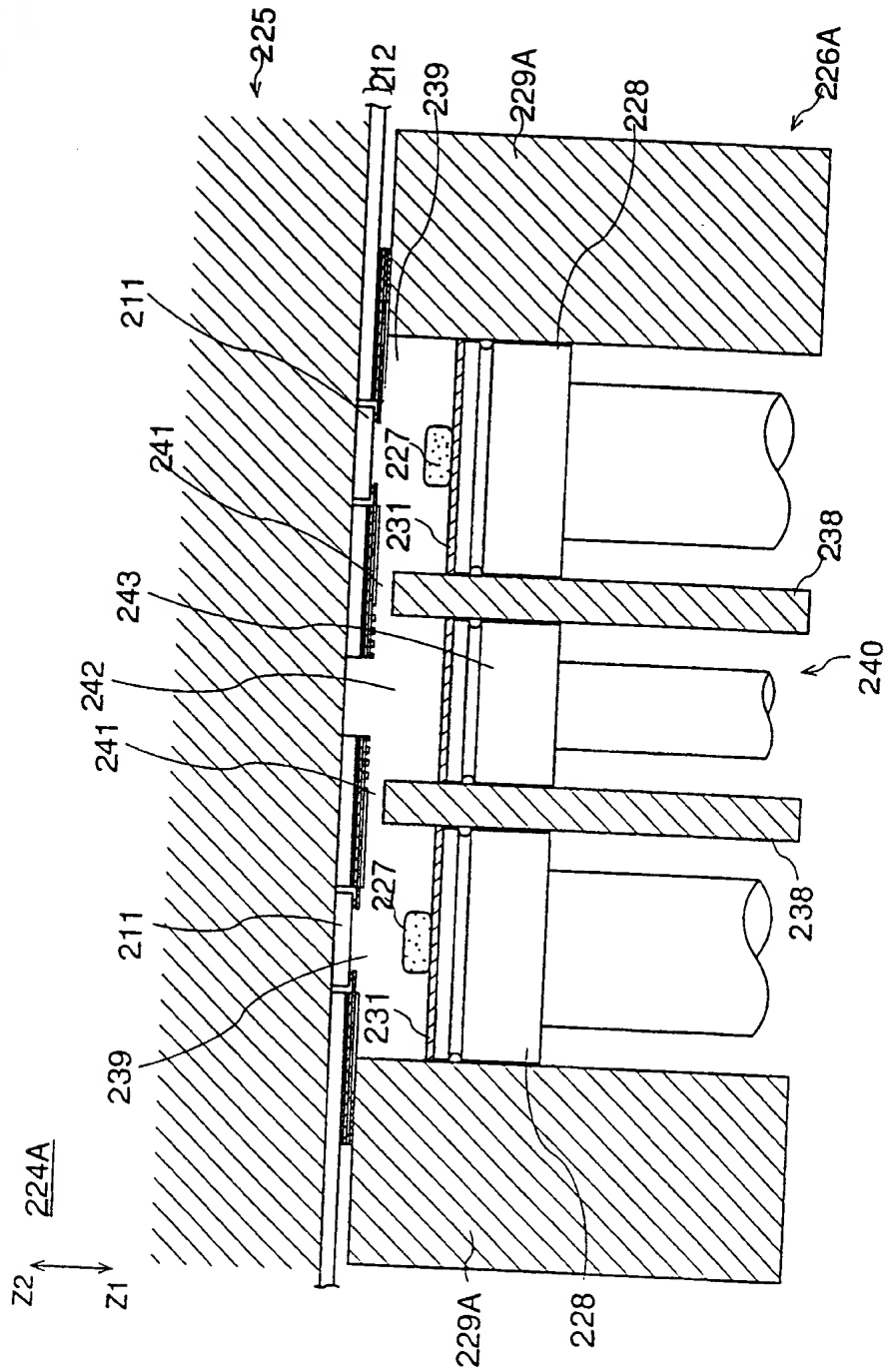




WO 98/02919

...

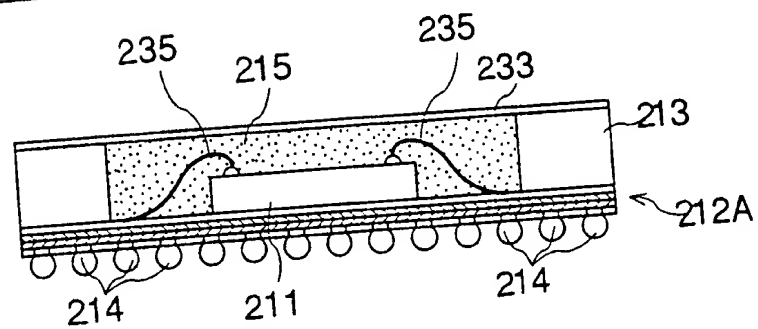
87





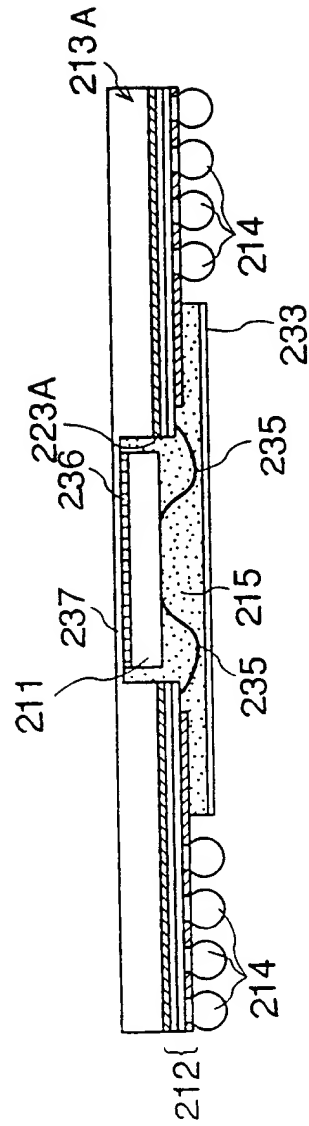
86

210D







210C



1  
2  
3  
4

5  
6  
7  
8

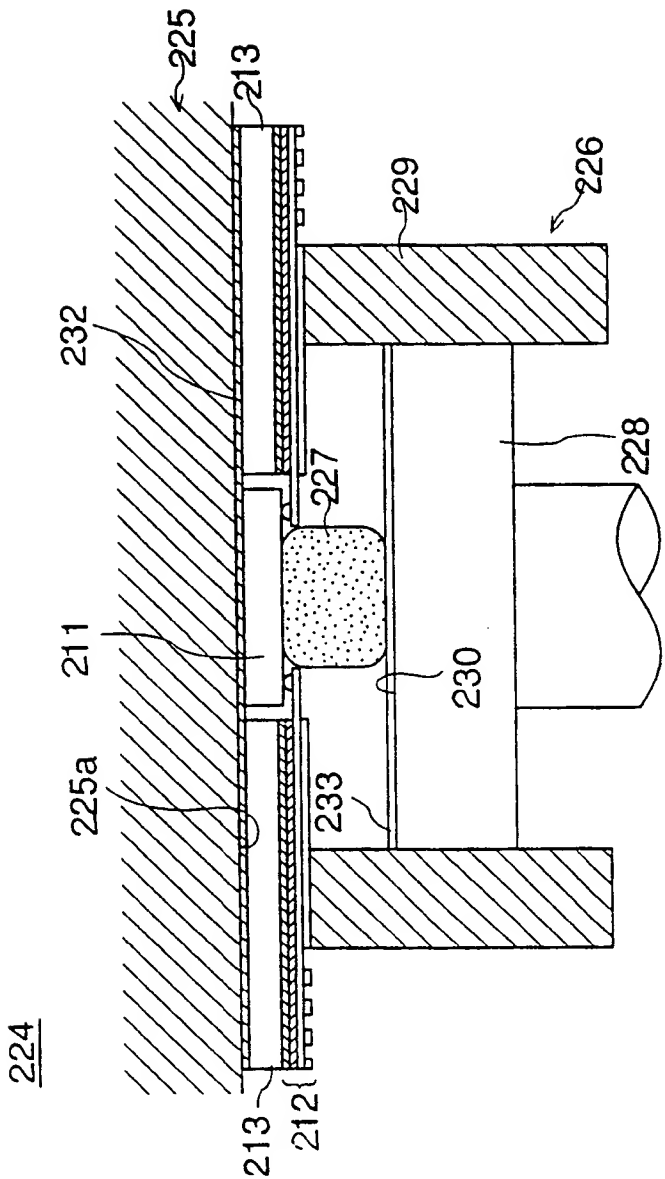




1  
2  
3  
4

5  
6  
7  
8

図 83

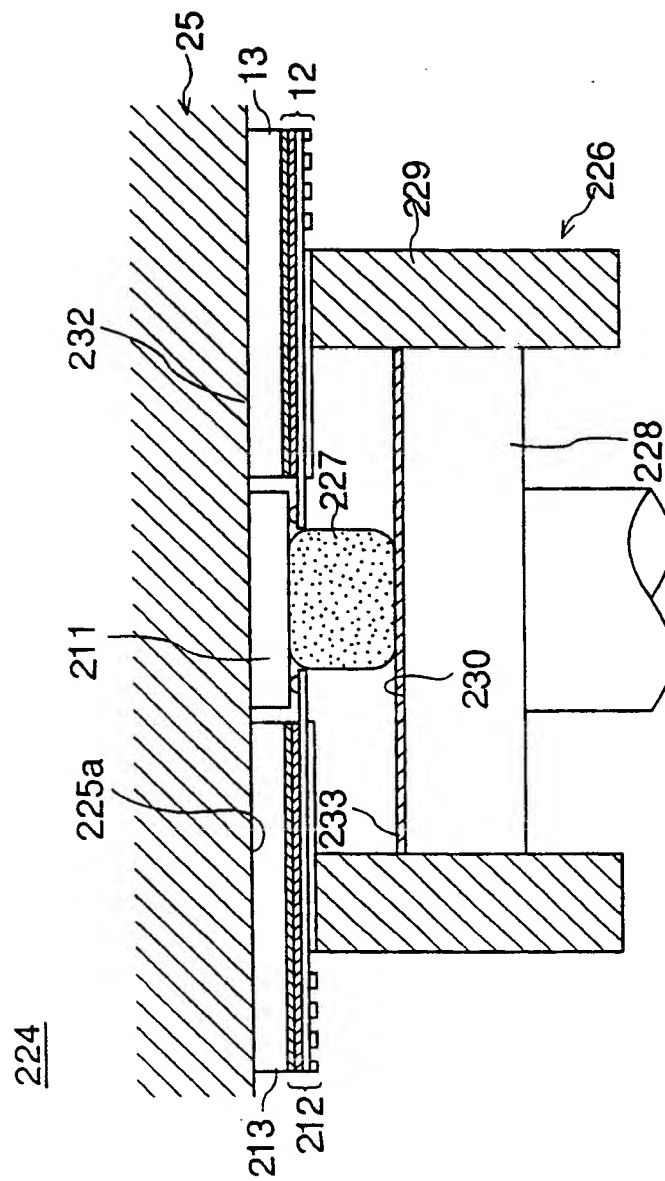




1  
2  
3  
4

5  
6  
7  
8

図 8 2







1  
2  
3  
4

5  
6  
7  
8

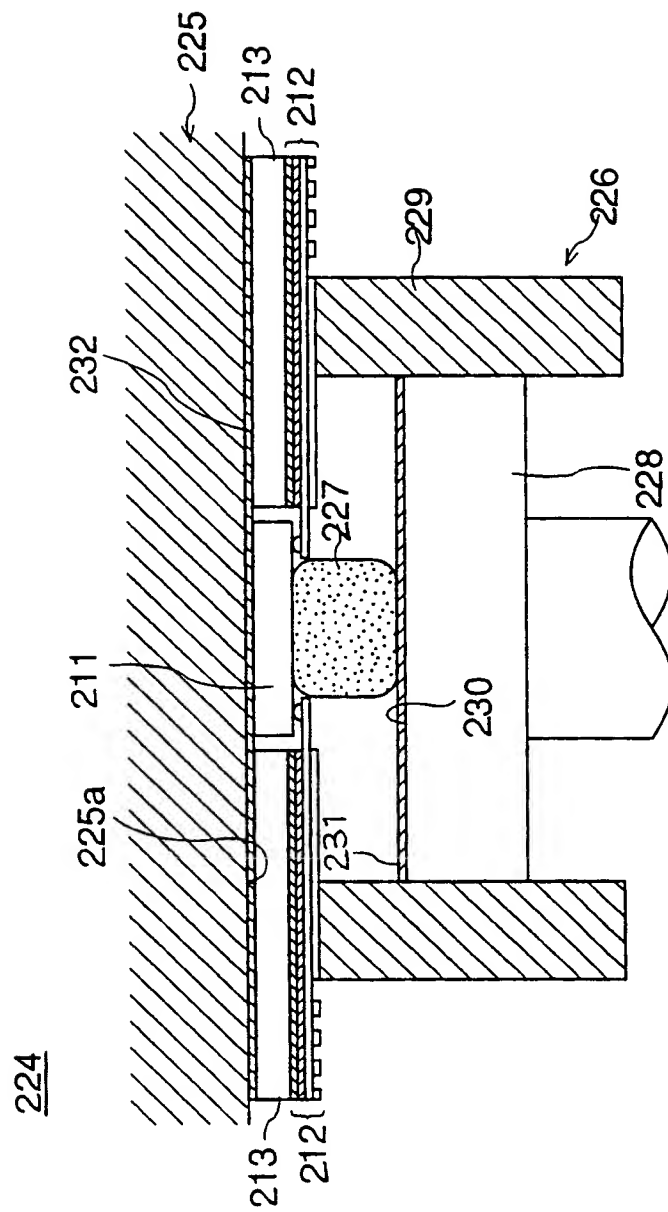




1  
2  
3  
4

5  
6  
7  
8

図 80

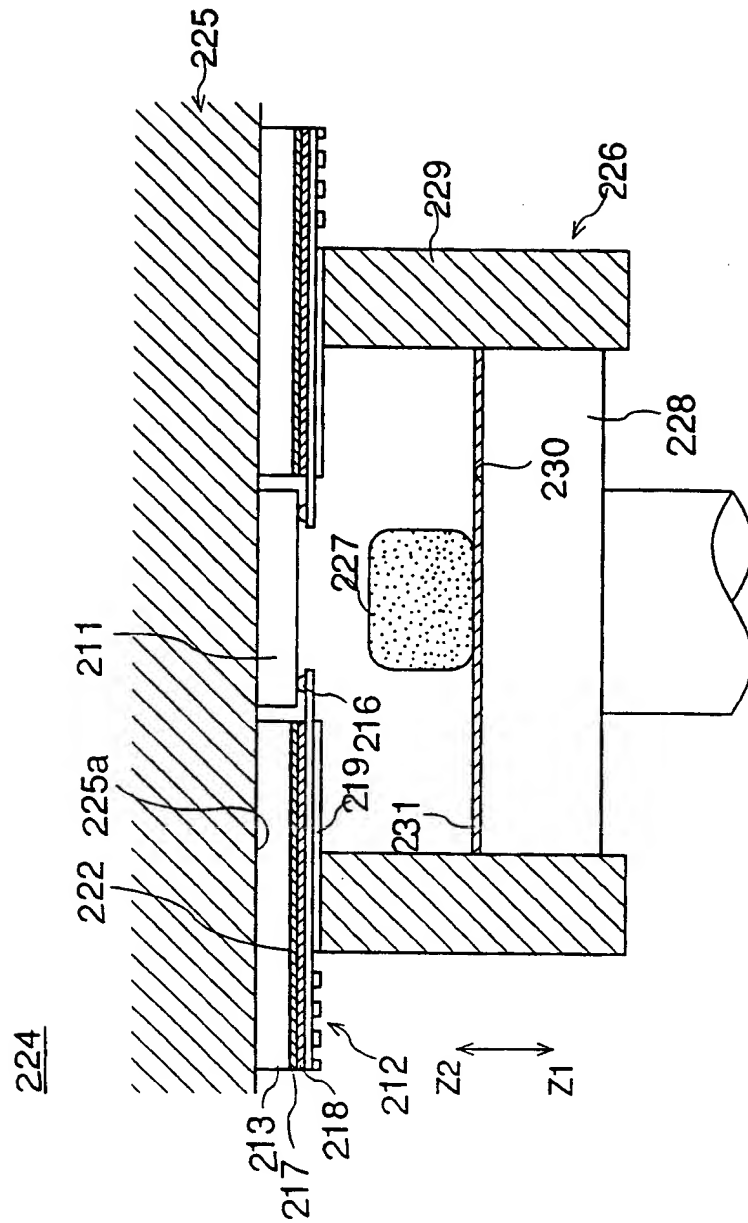




1  
2  
3  
4

5  
6  
7  
8

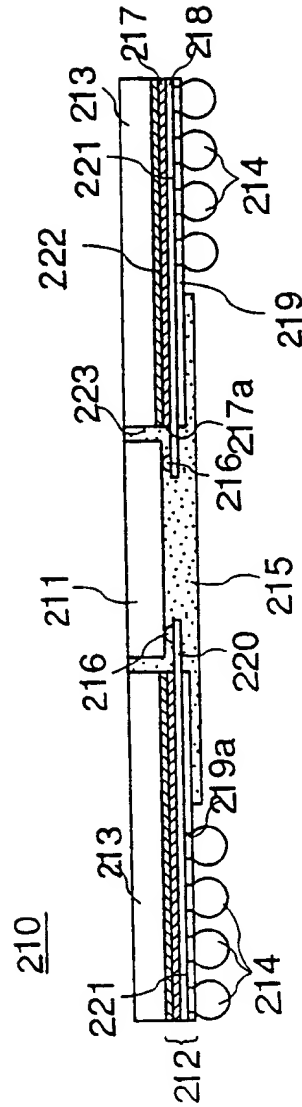
図 79





1  
2  
3  
4

5  
6  
7  
8







1  
2  
3  
4

5  
6  
7  
8

図 76

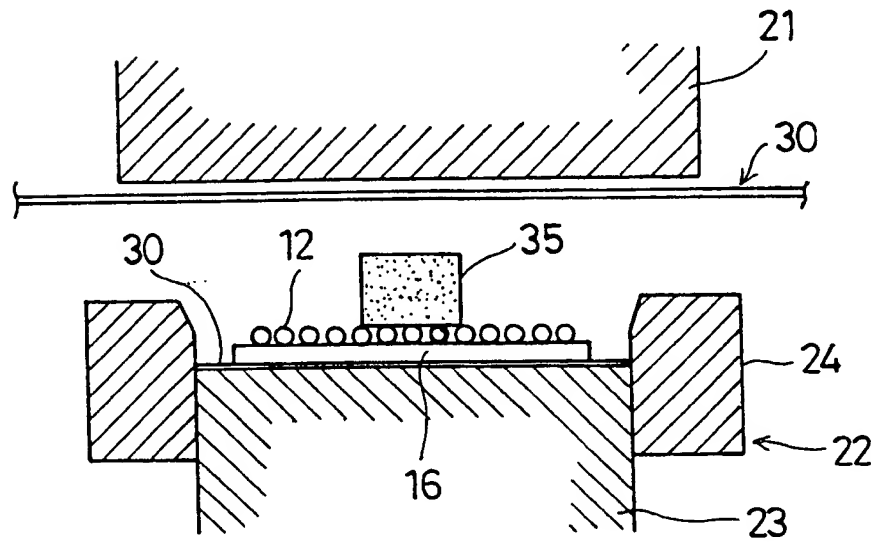
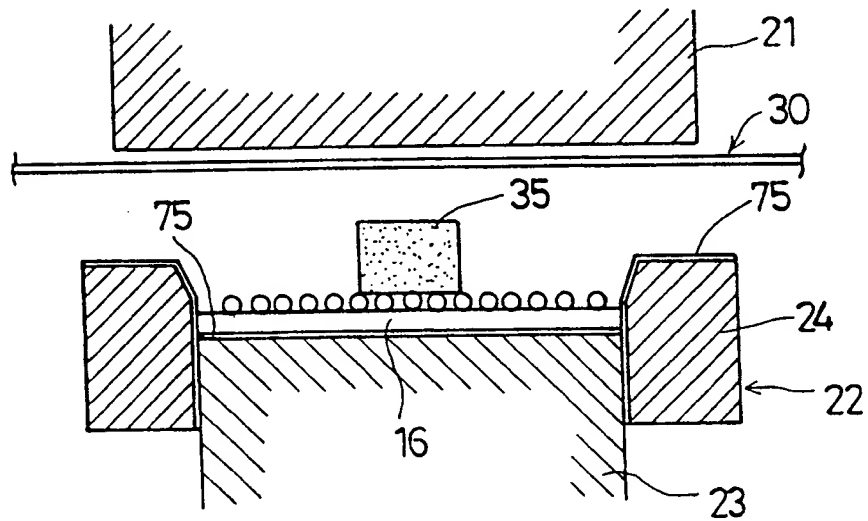


図 77





-  
-  
•  
-

•  
•  
•  
-

図 7 4

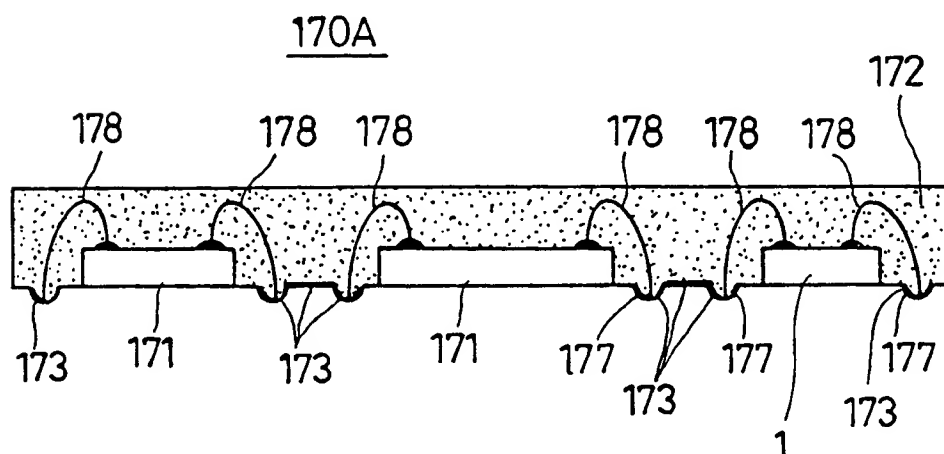
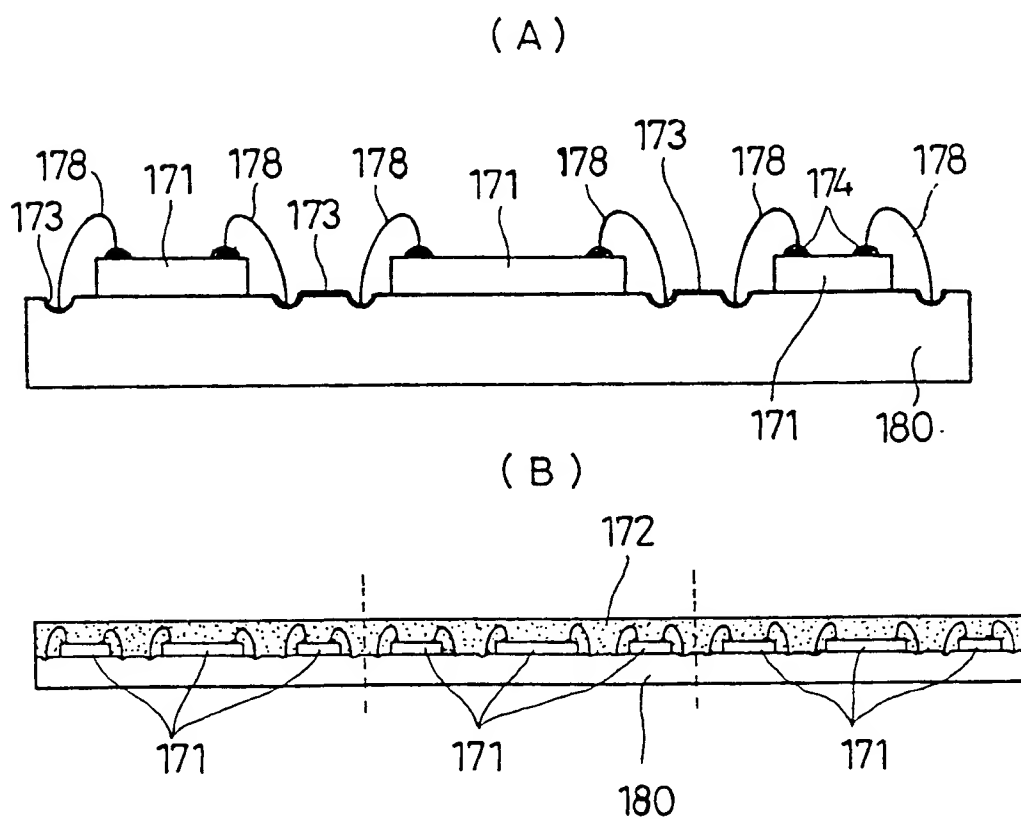


図 7 5





1  
2  
3  
4

5  
6  
7  
8

図 7 2

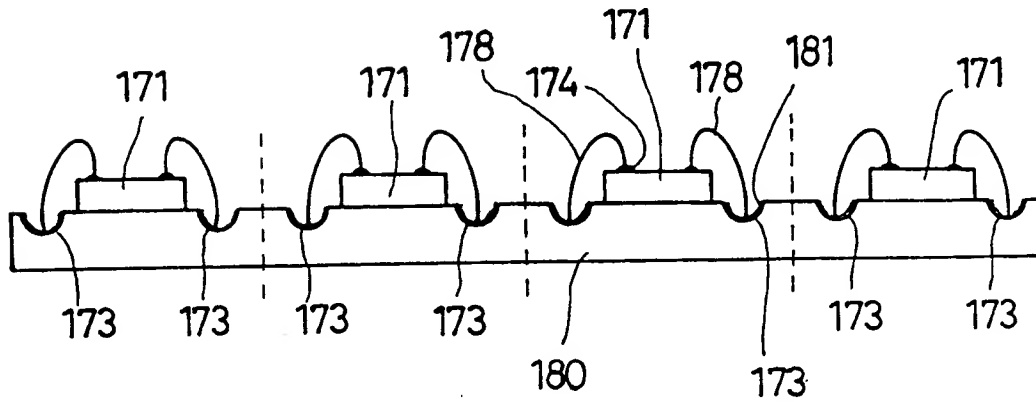
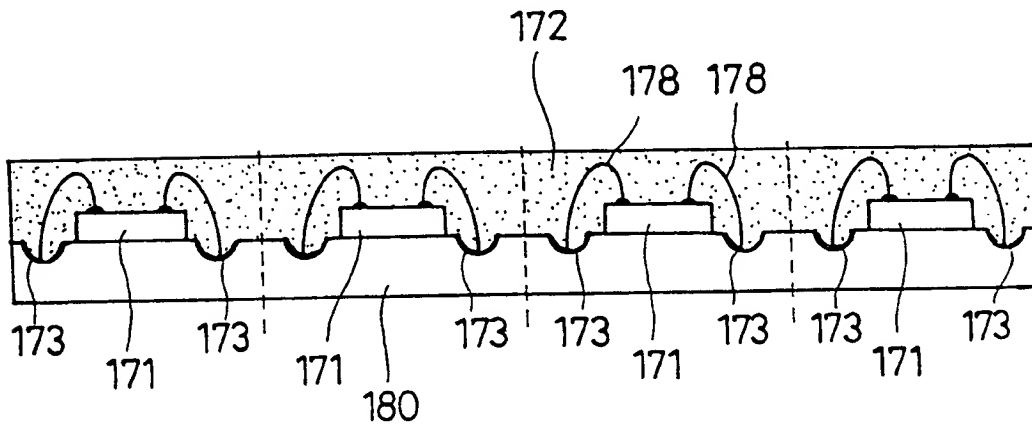


図 7 3





1  
2  
3  
4

5  
6  
7  
8

図 70

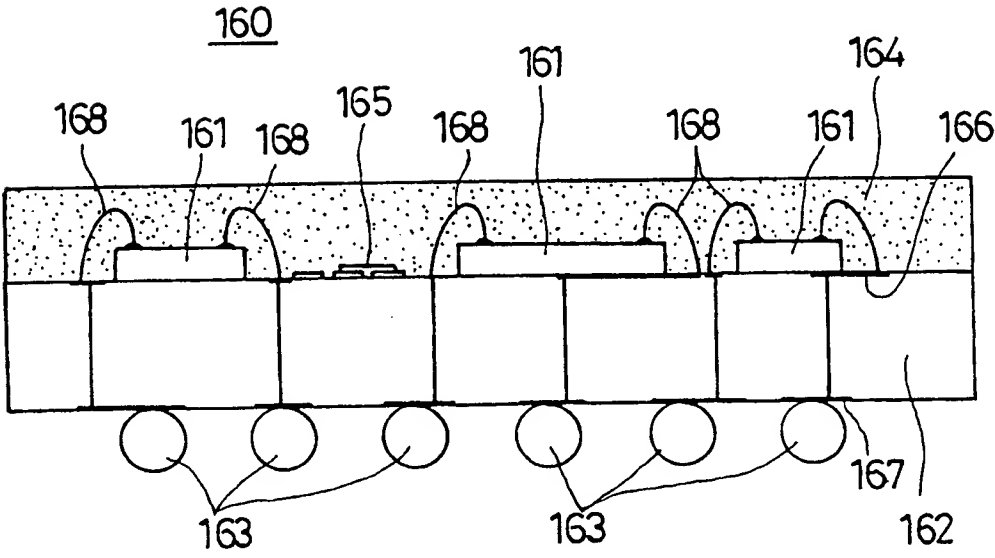
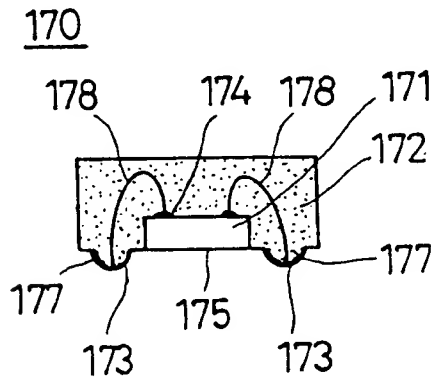


図 71







1  
2  
3  
4

5  
6  
7  
8

図 68

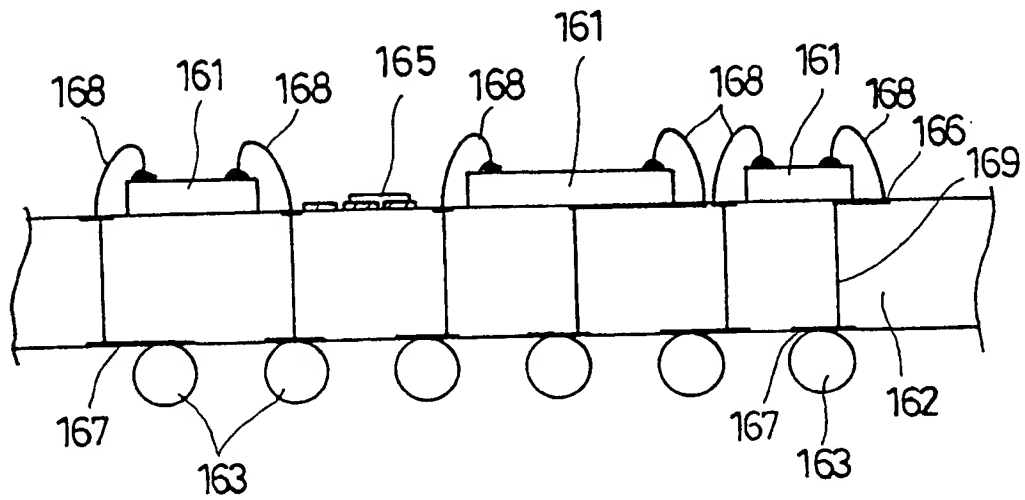


図 69

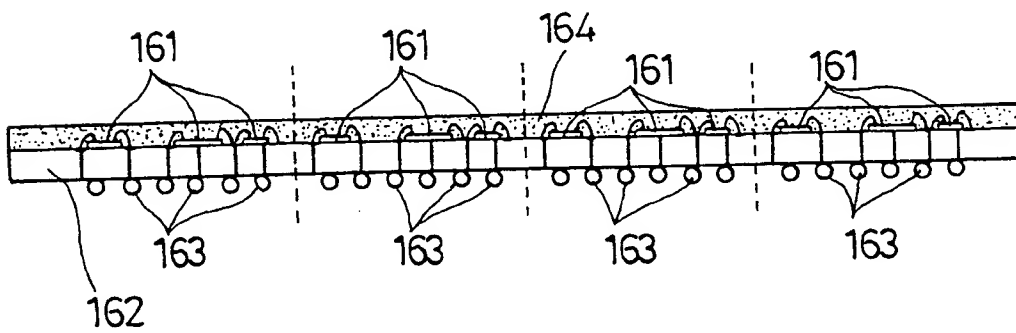
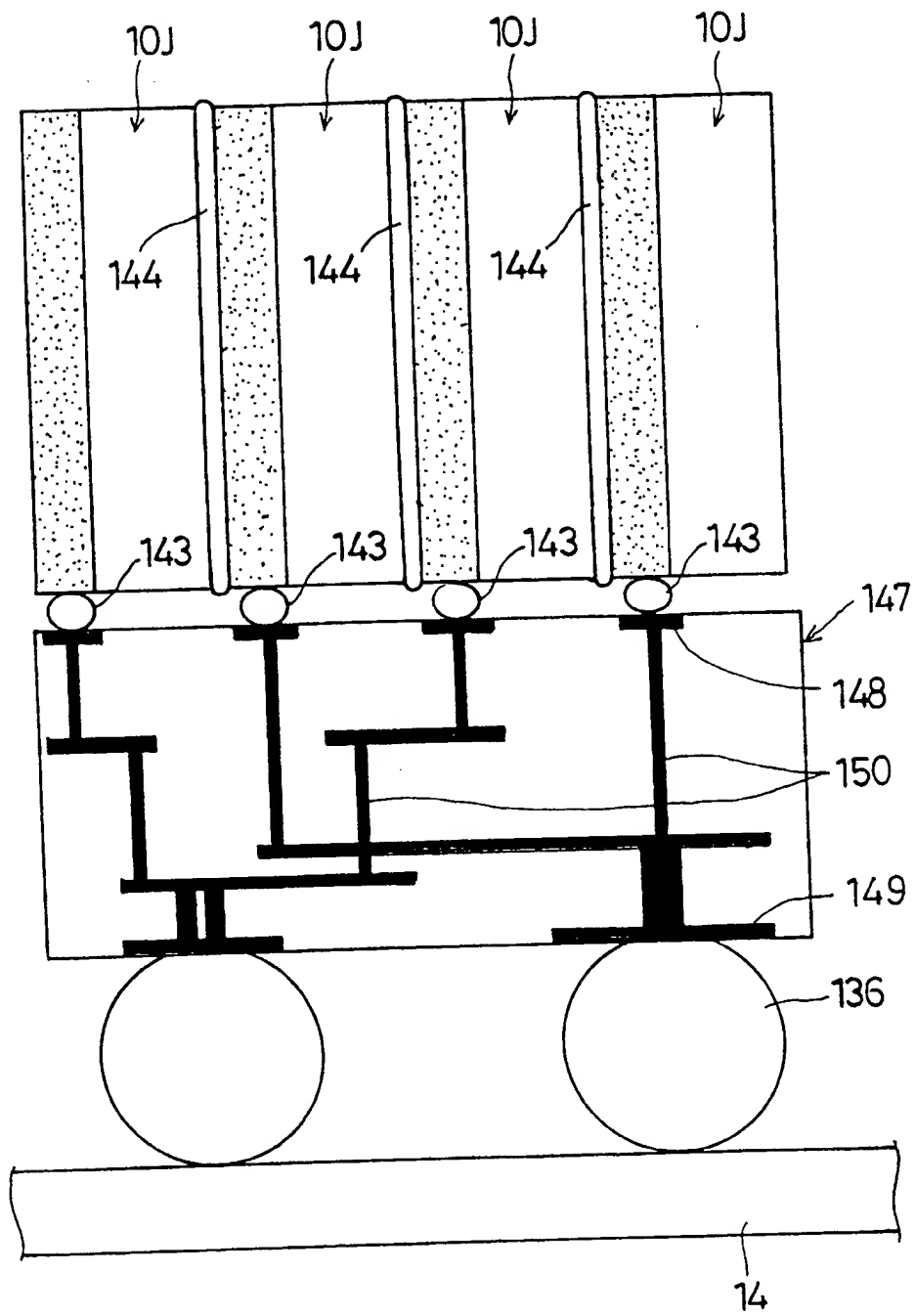




図 67





66

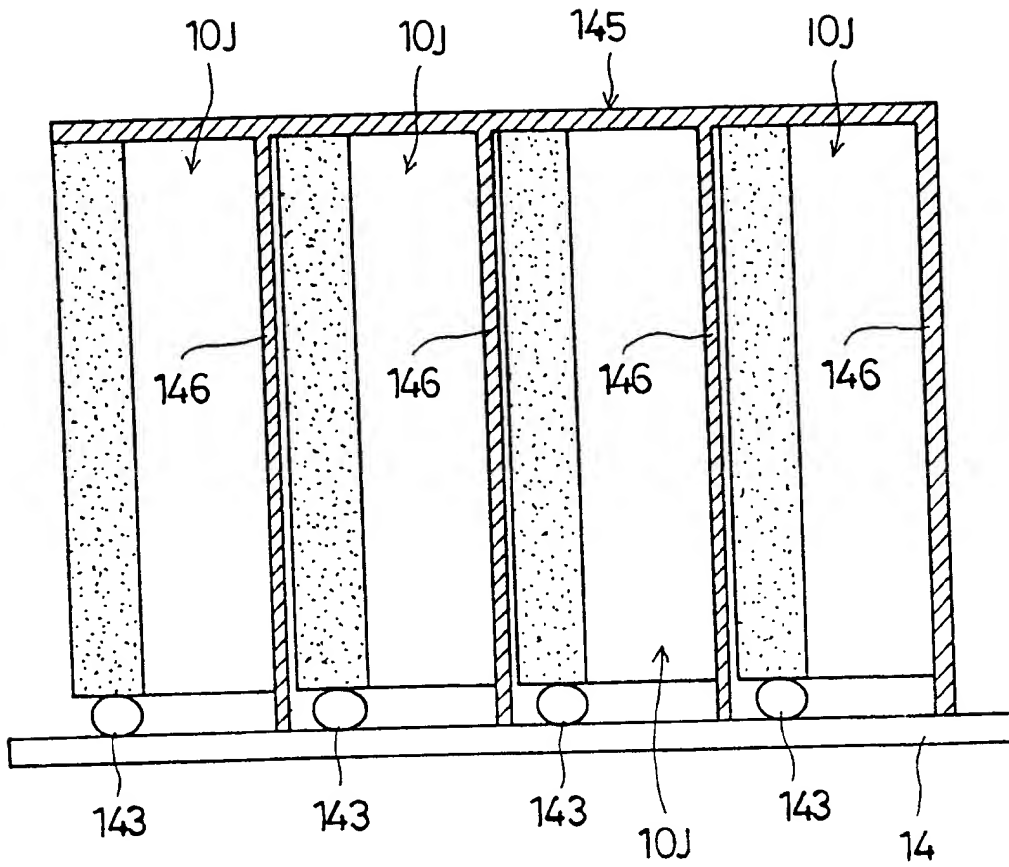




図 65

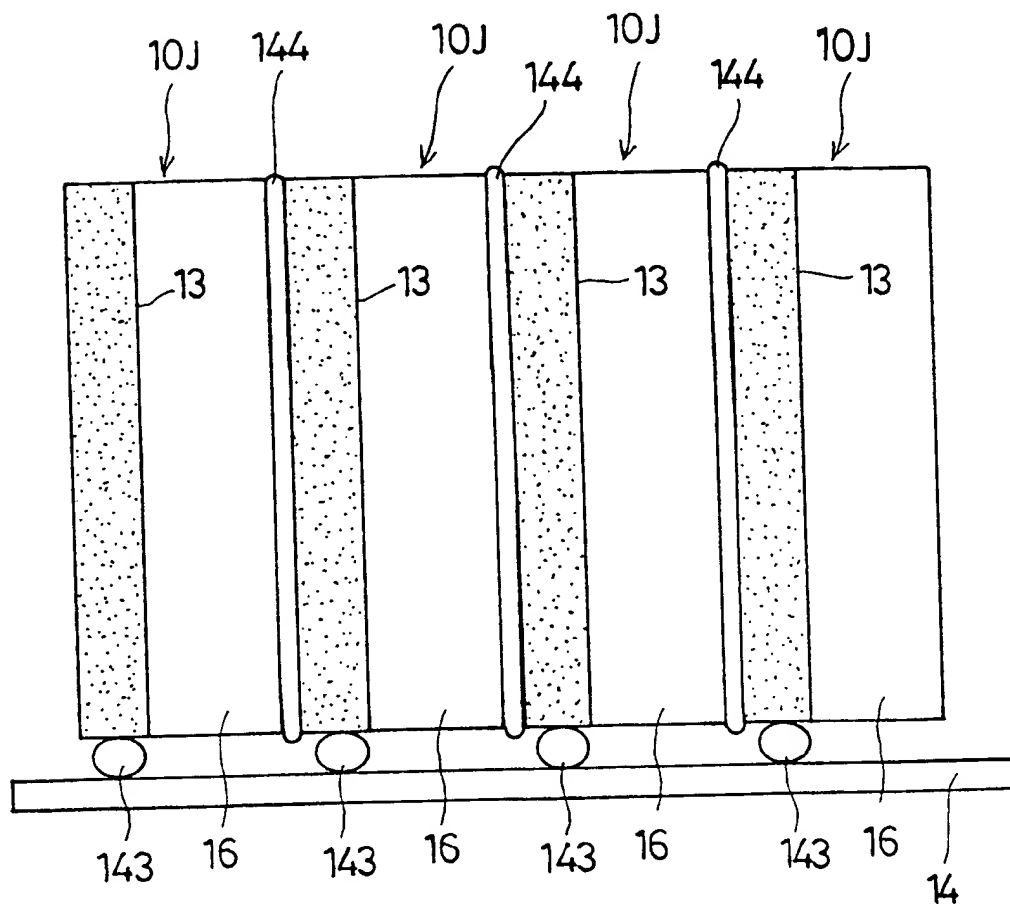
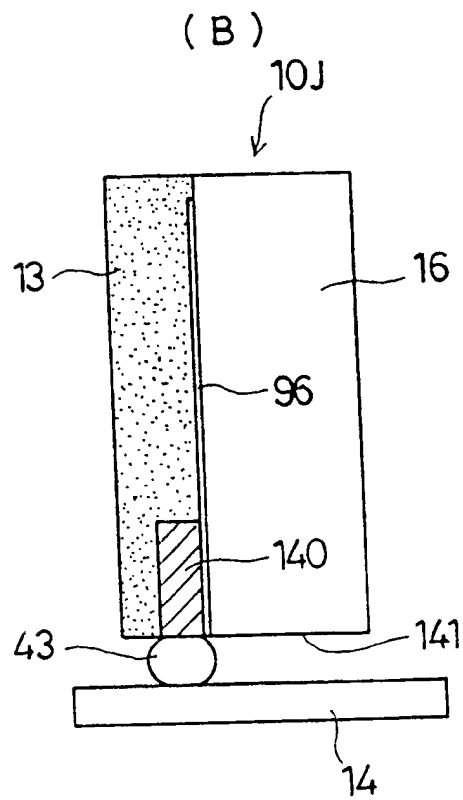
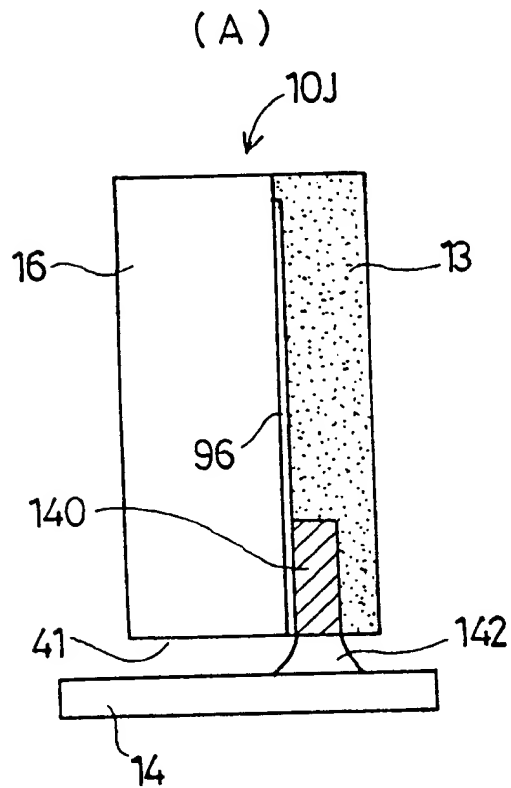


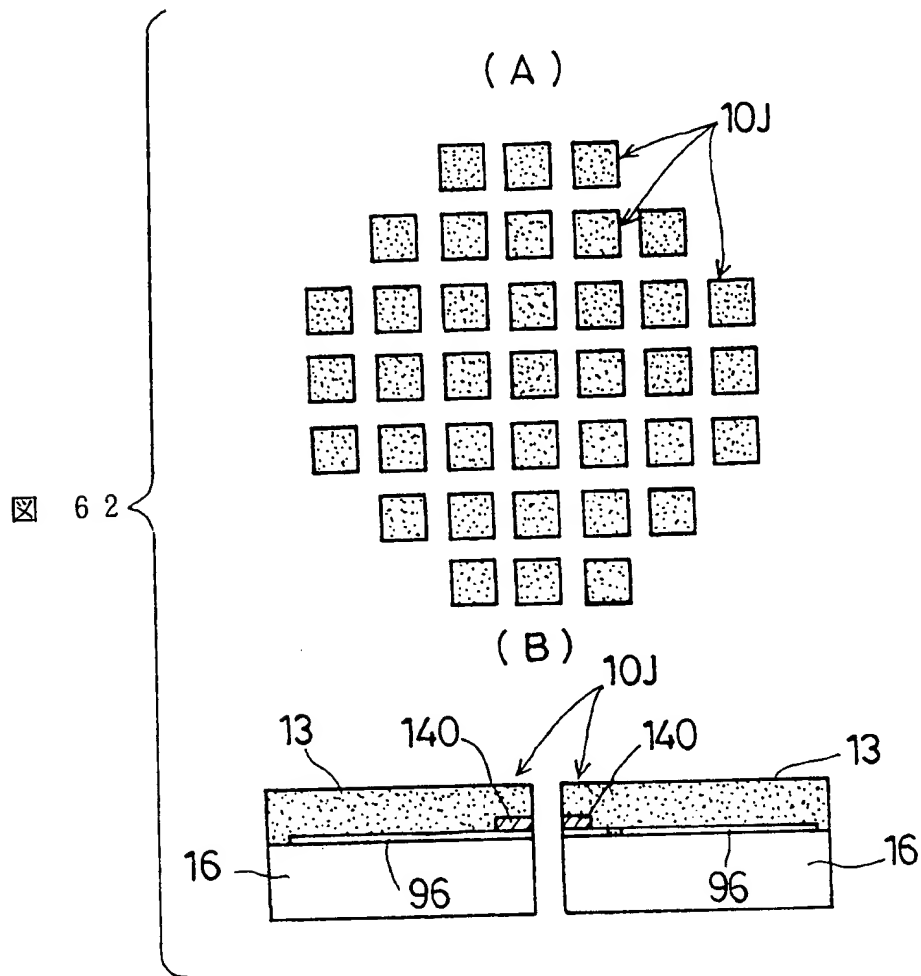




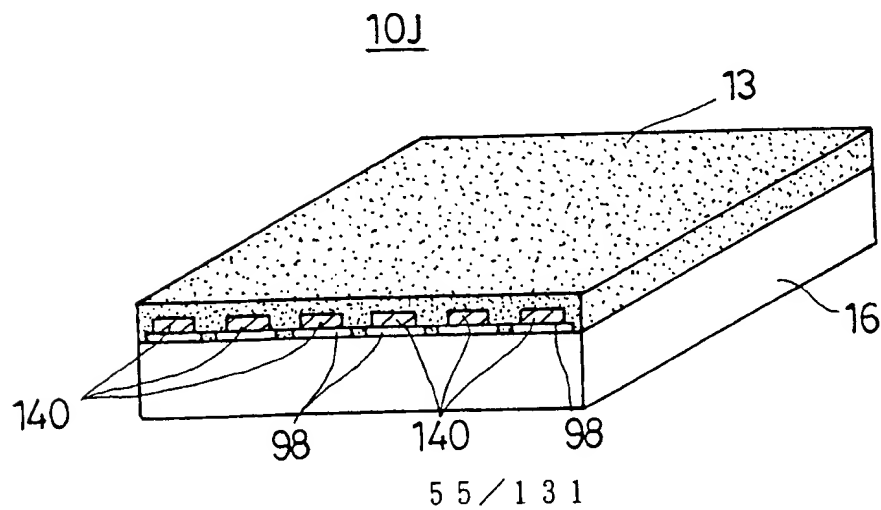
図 64







63





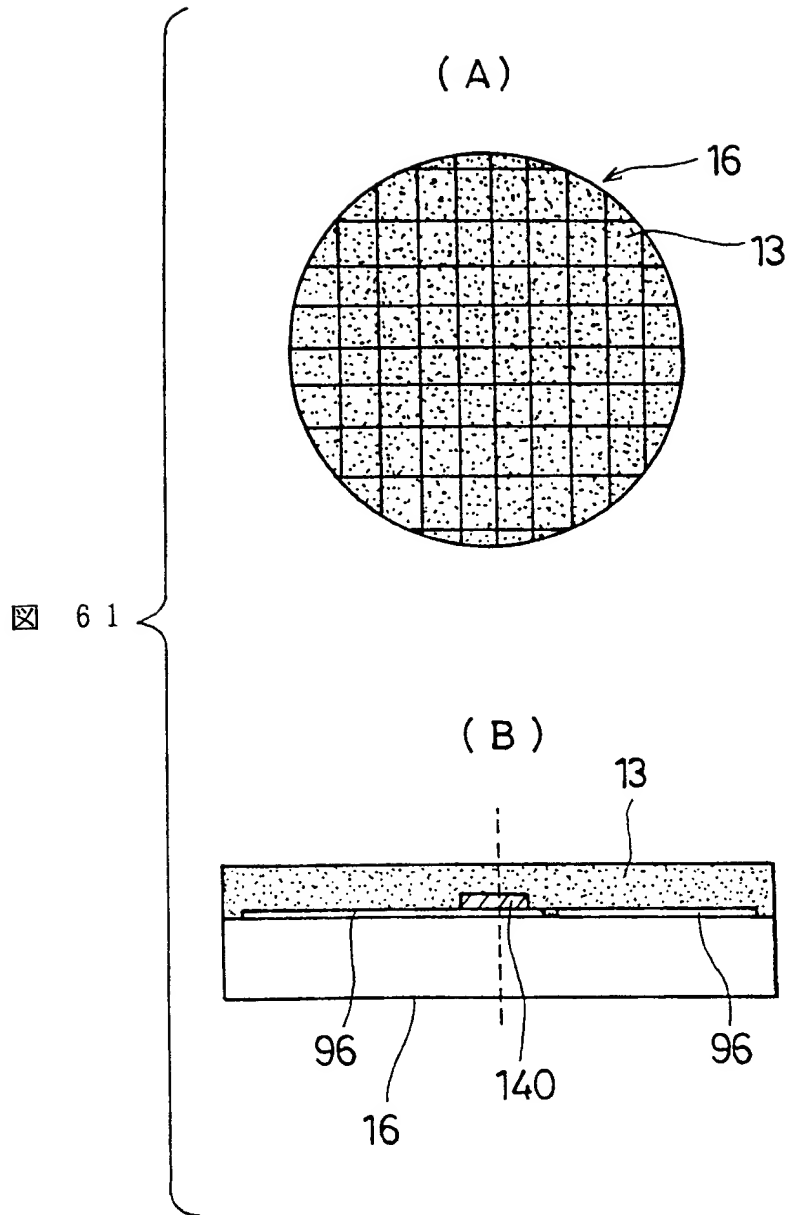










図 59

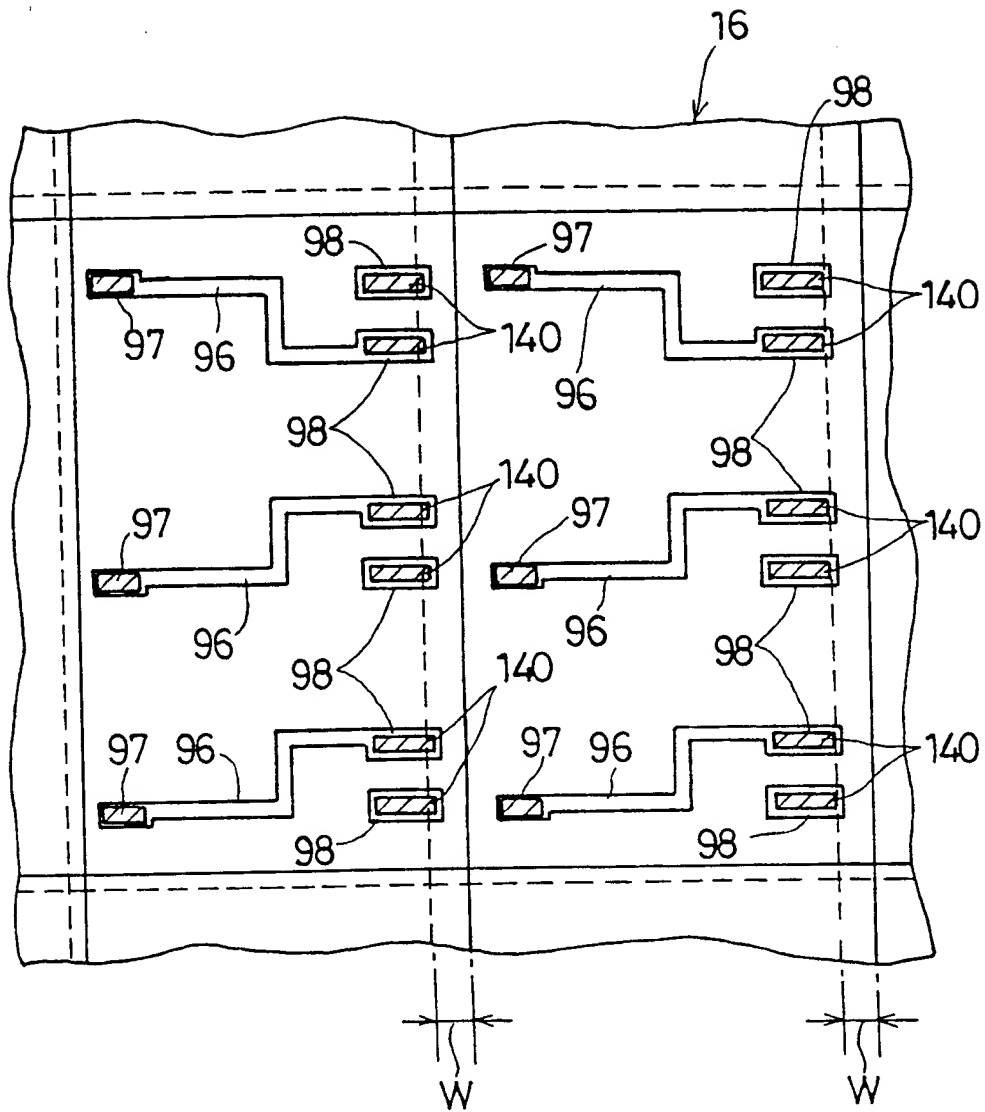




図 58

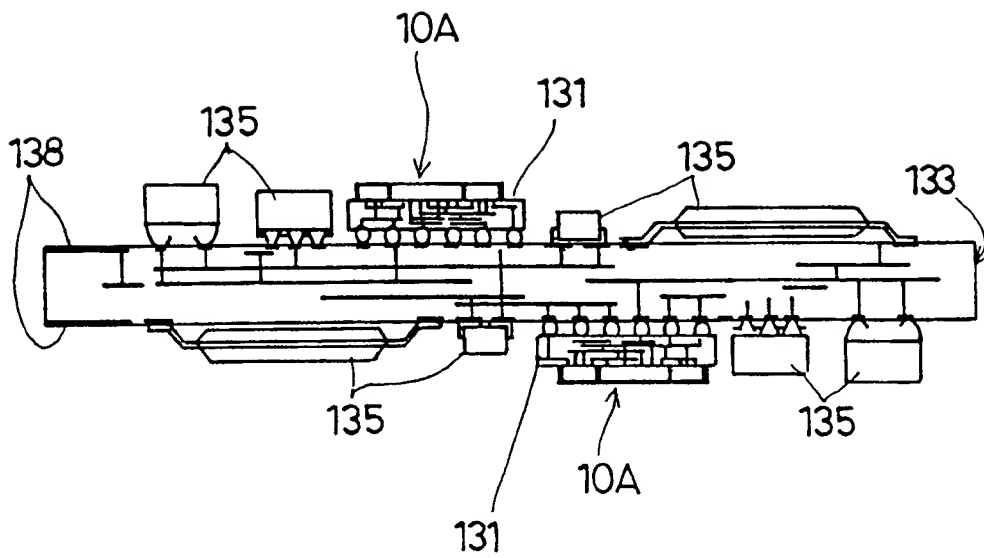




図 56

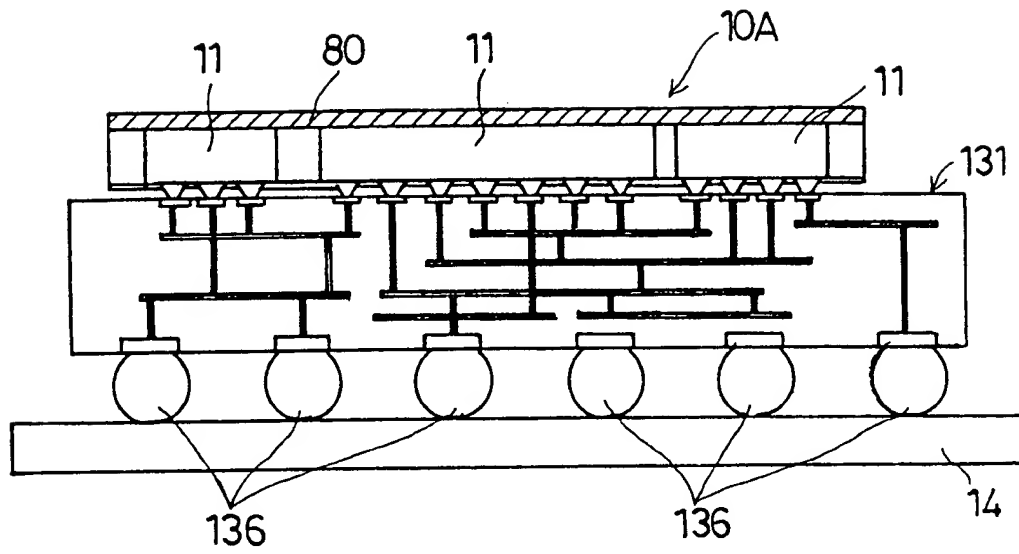


図 57

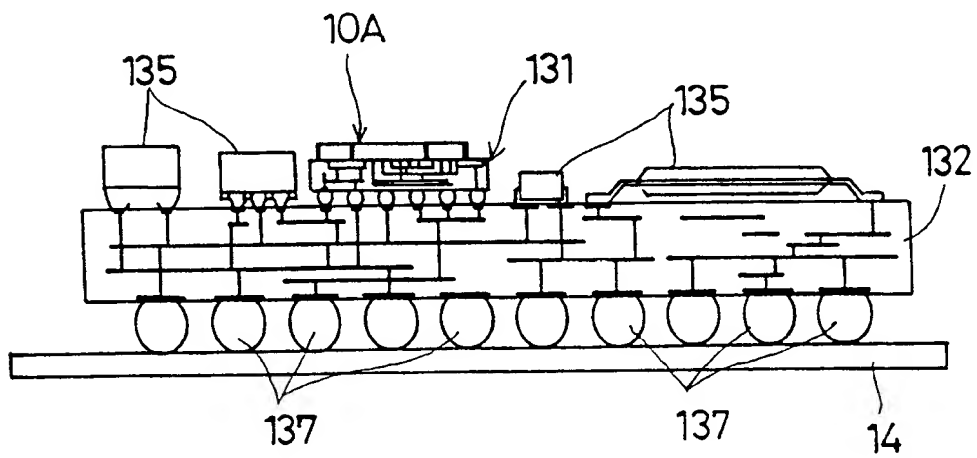
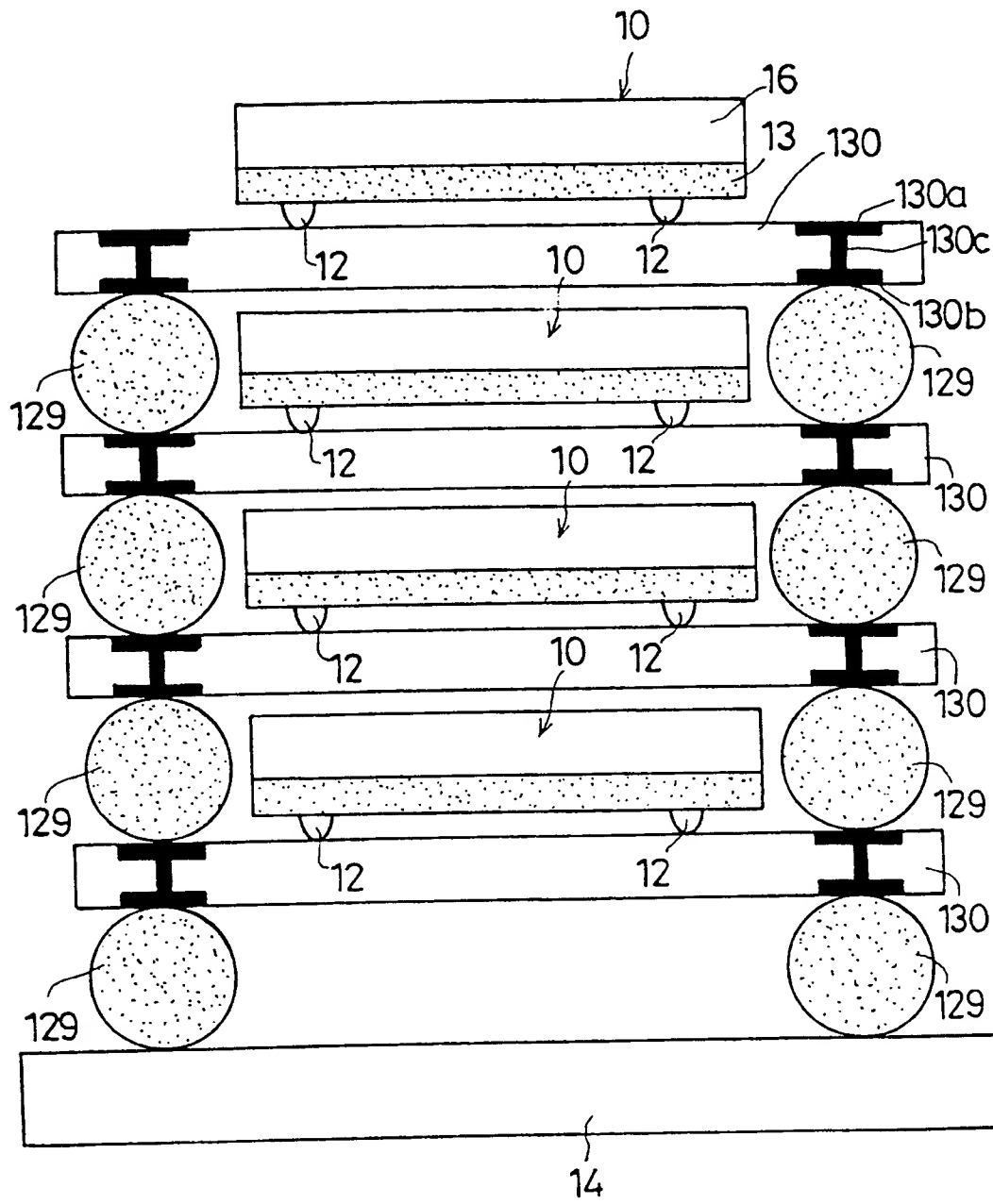




図 55



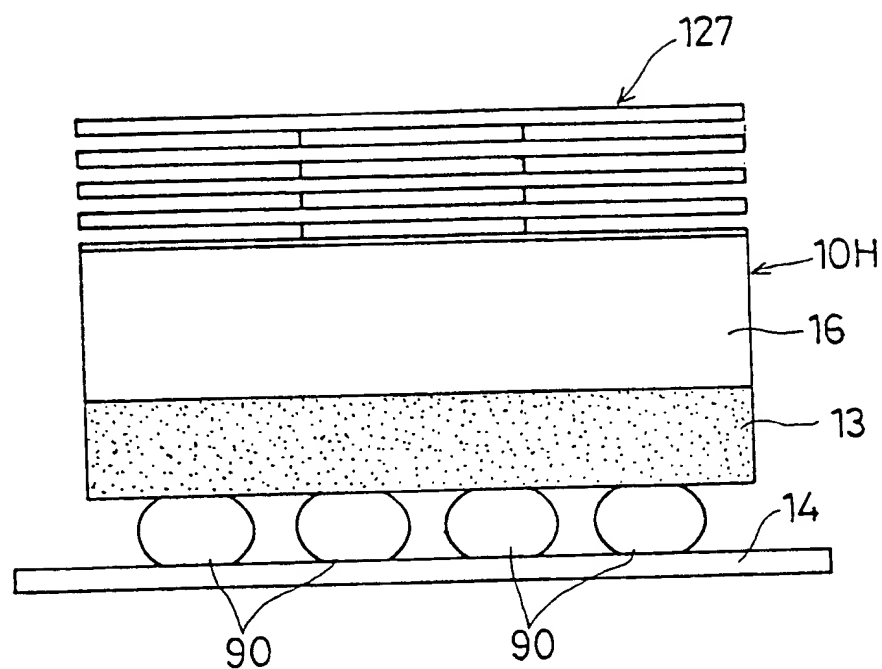




1  
2  
3  
4

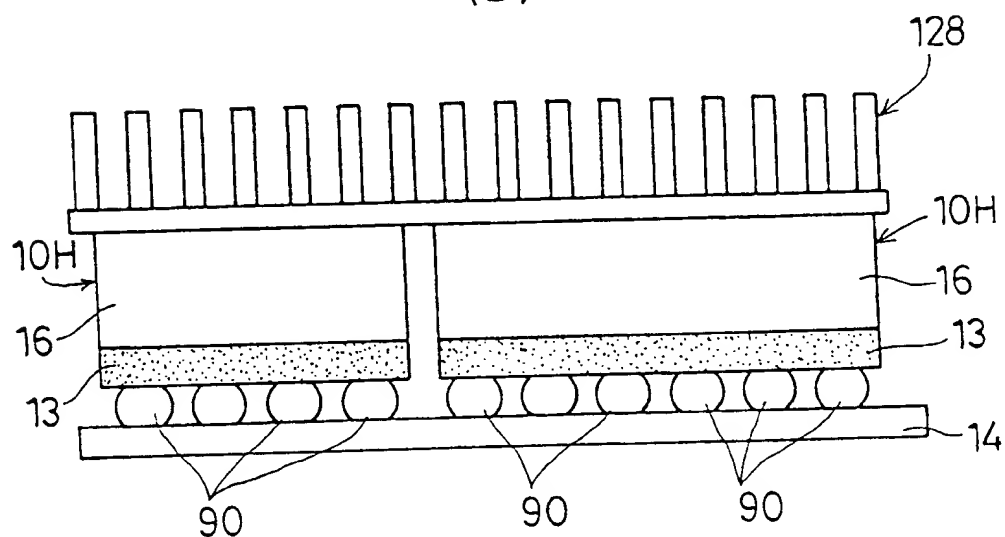
5  
6  
7  
8

(A)



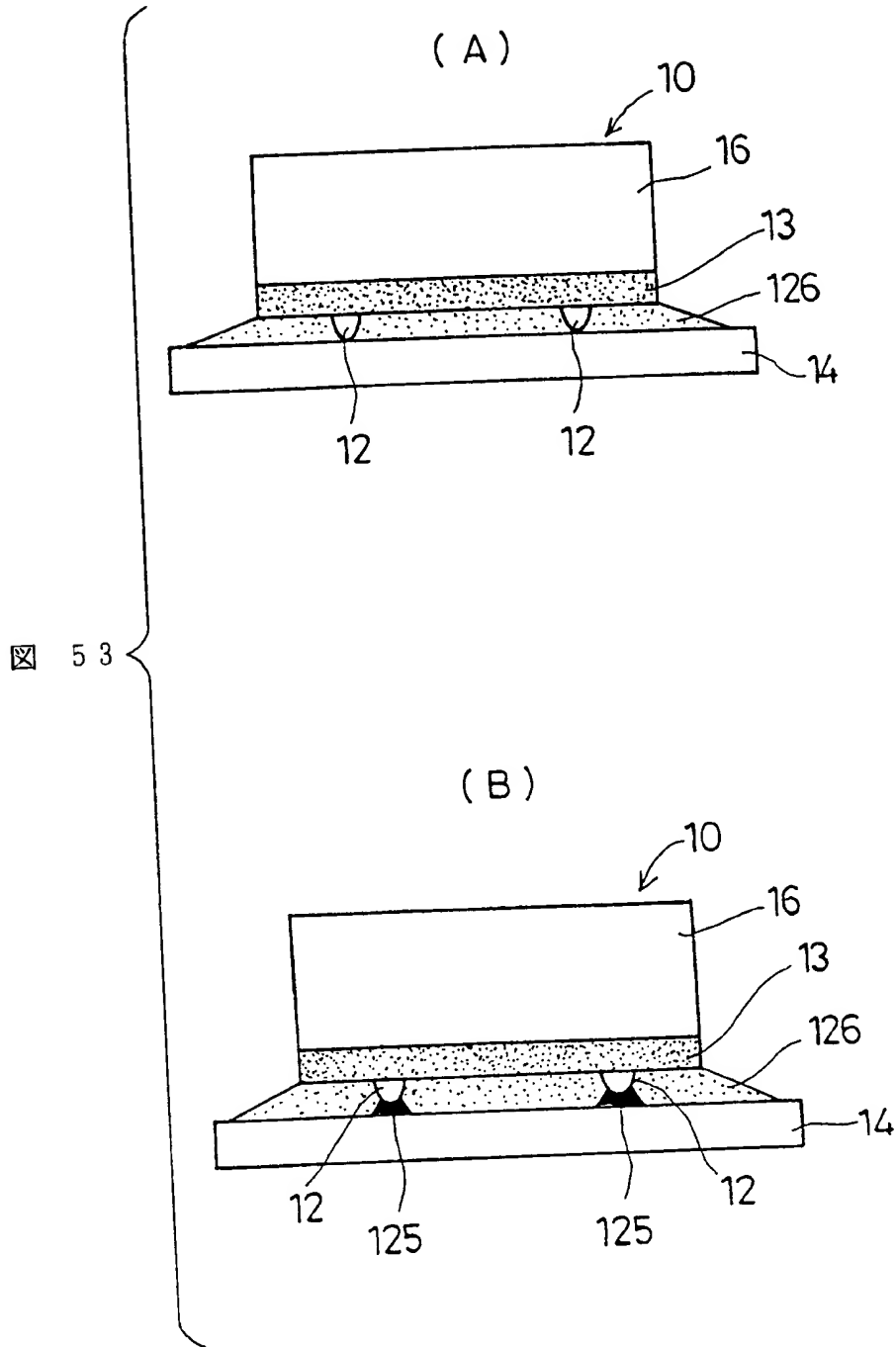
54

(B)

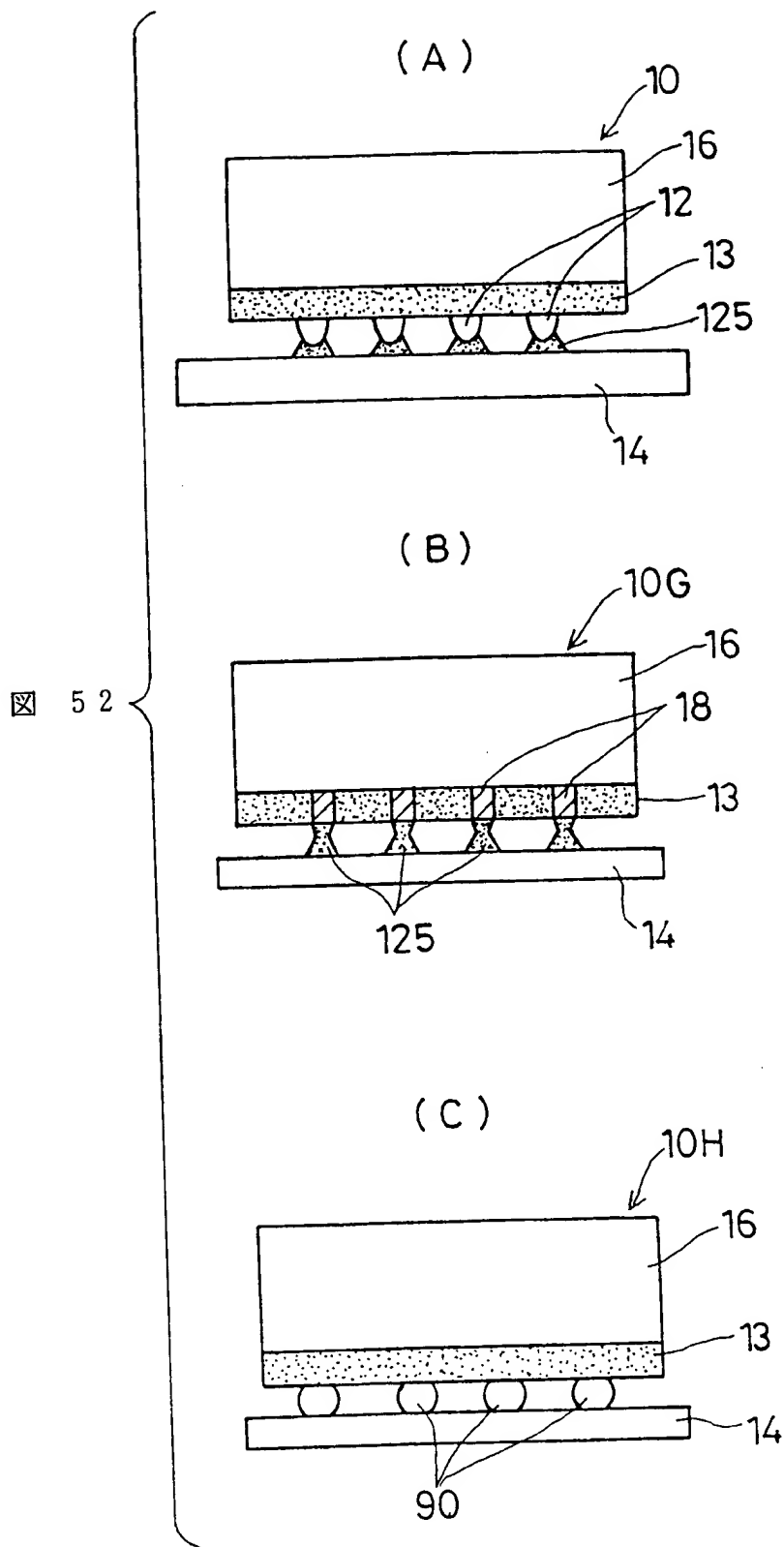


1  
2  
3  
4

5  
6  
7  
8



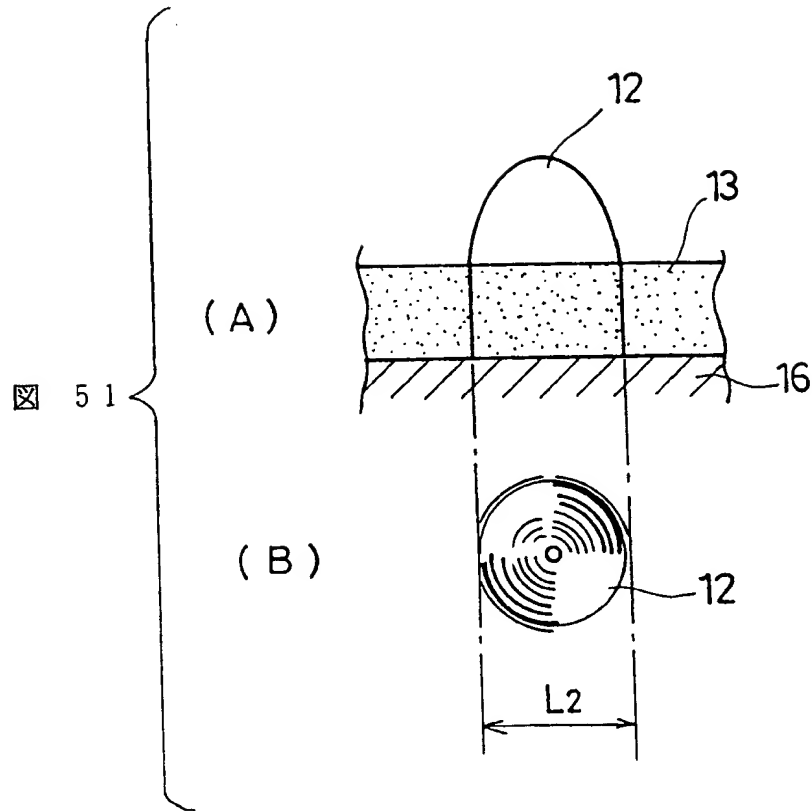






•  
•  
•  
•

•  
•  
•  
•



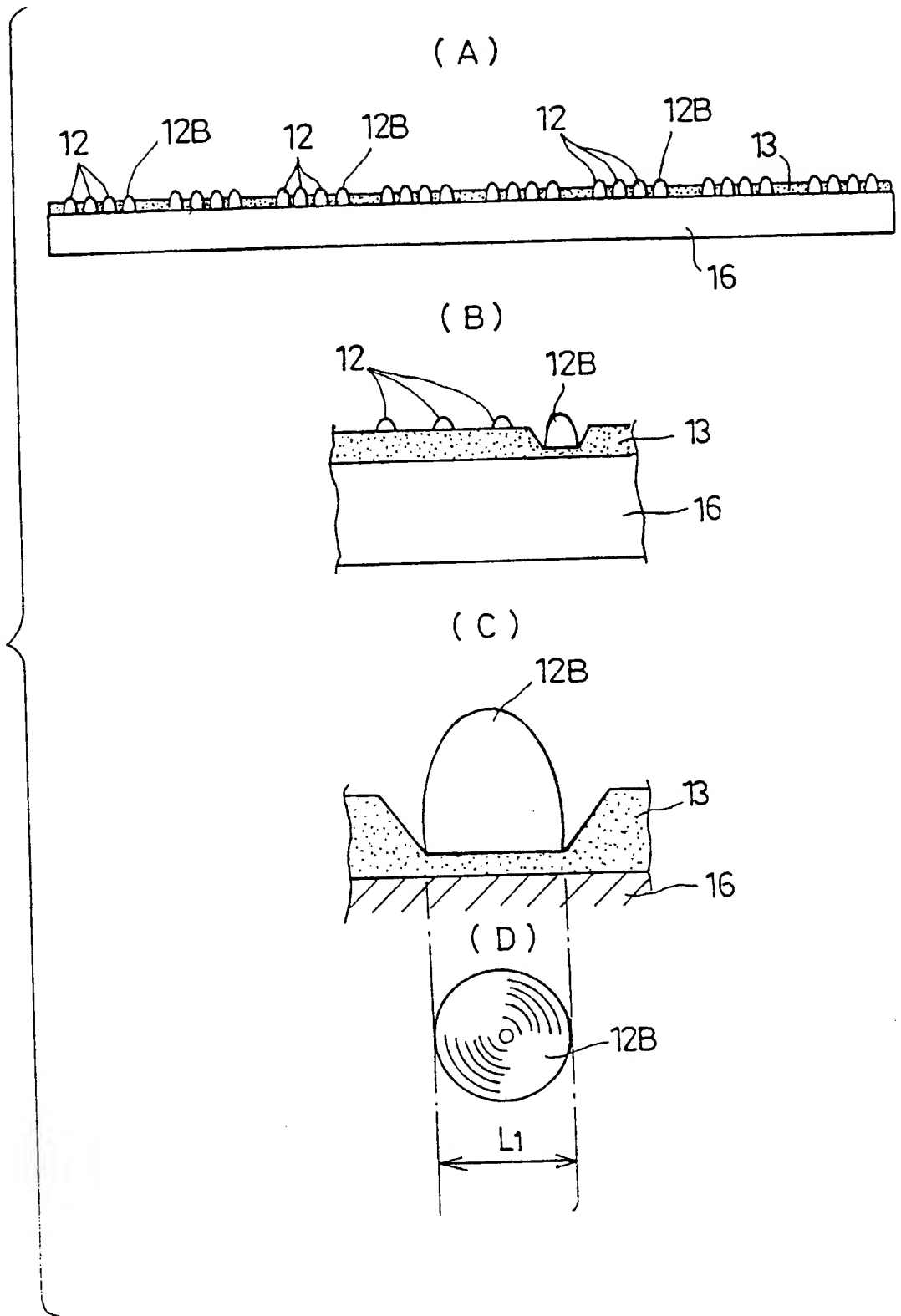




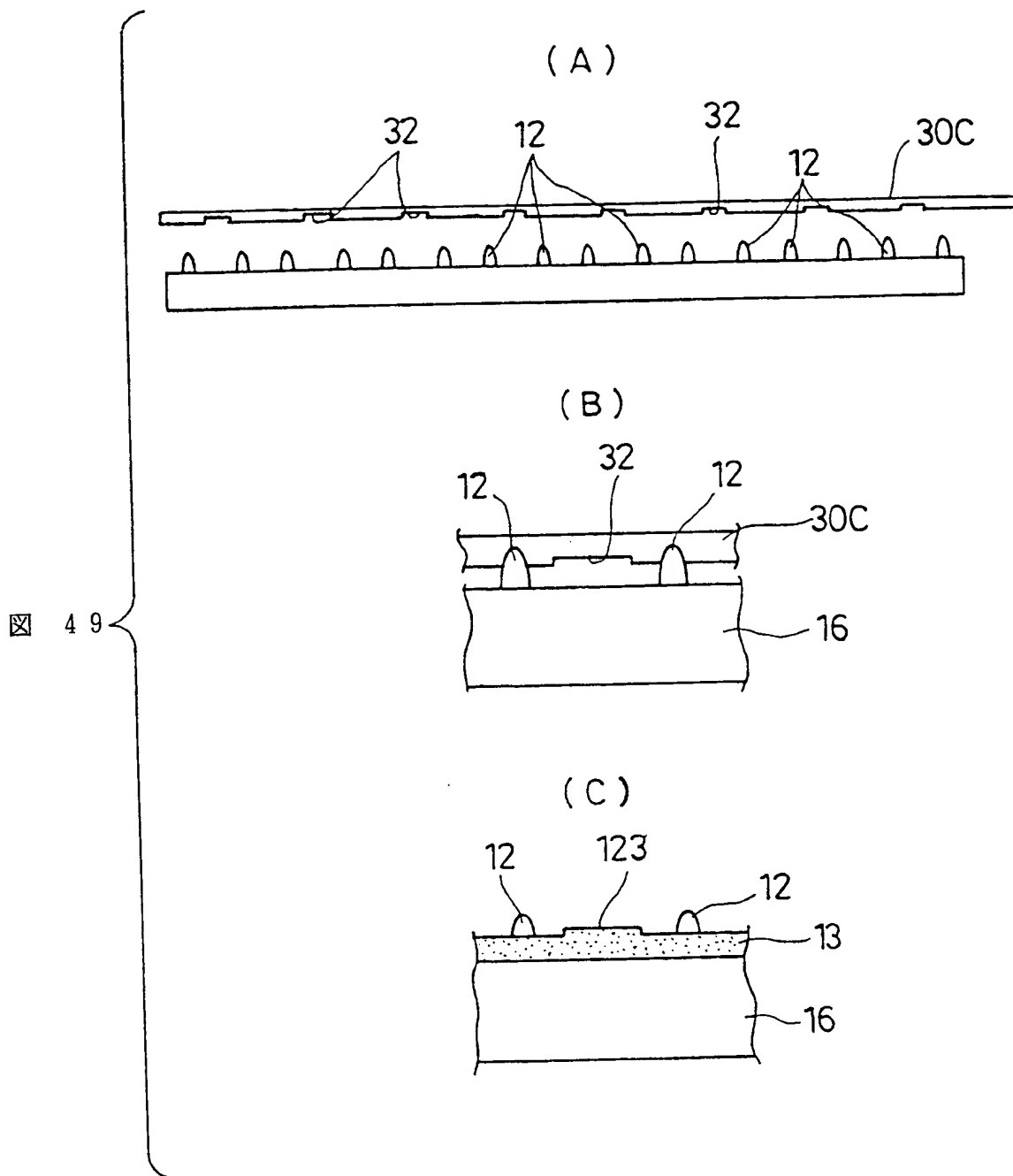
1  
2  
3  
4

5  
6  
7  
8

図 50



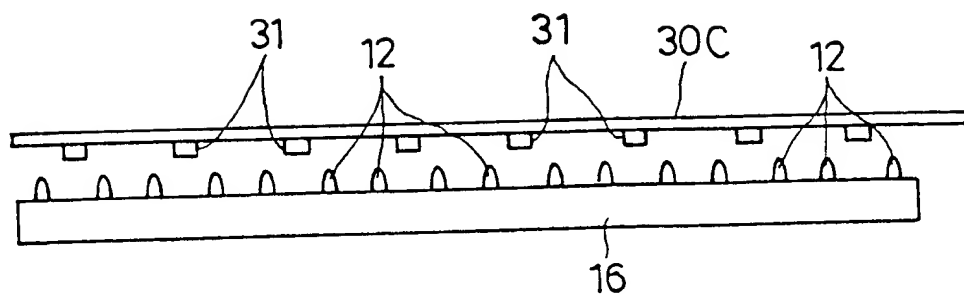




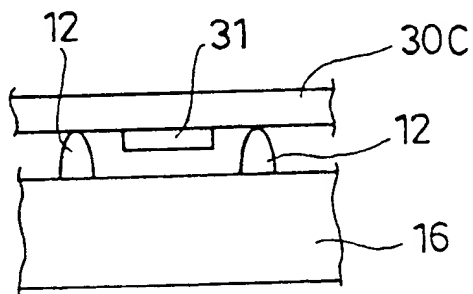


48

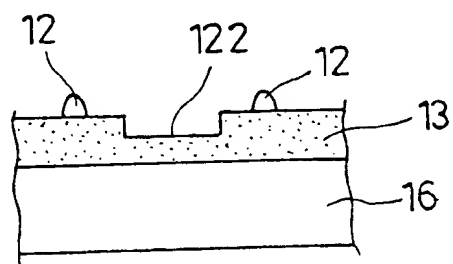
(A)



(B)



(C)





1  
2  
3  
4

5  
6  
7

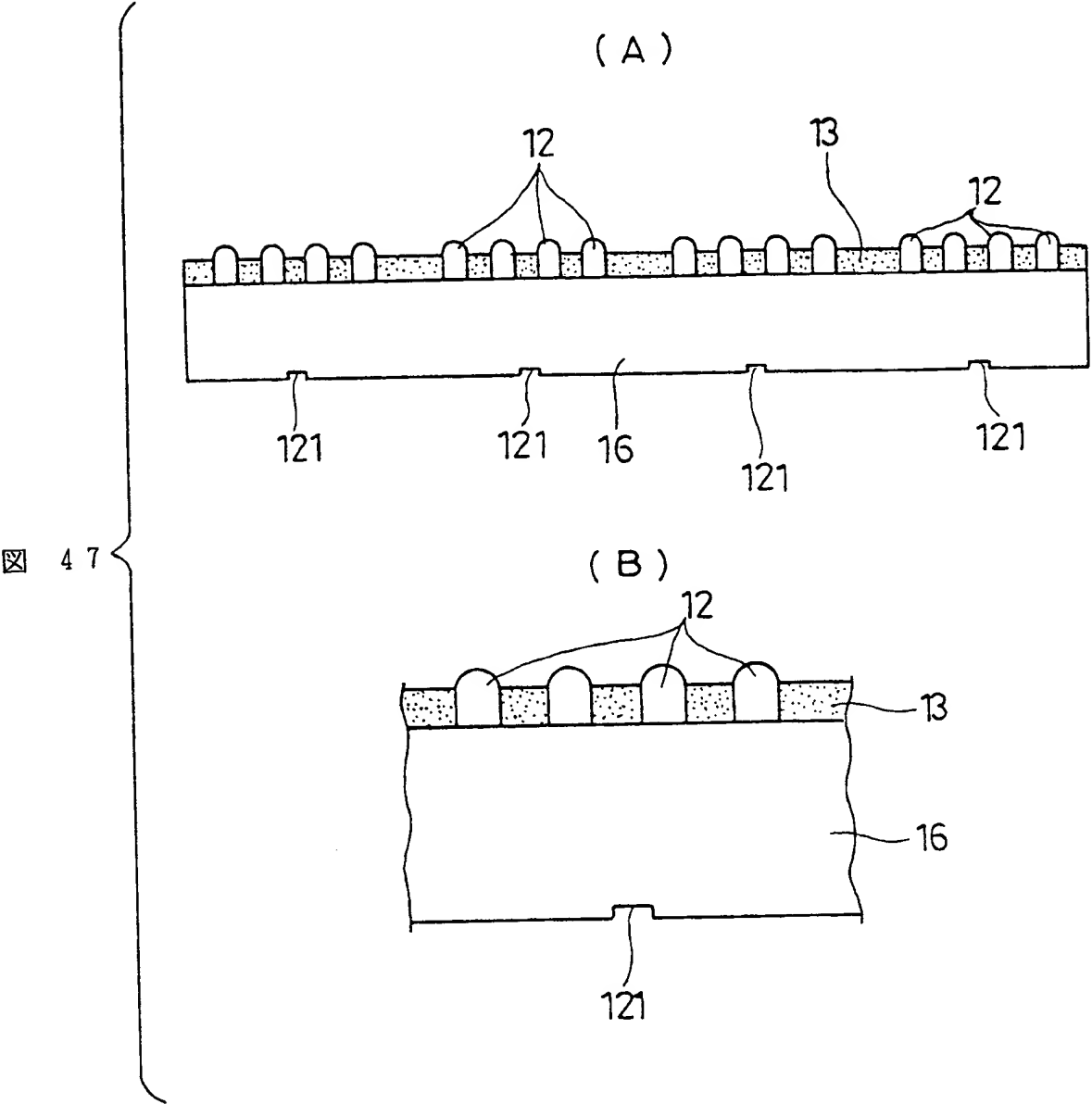






図 45

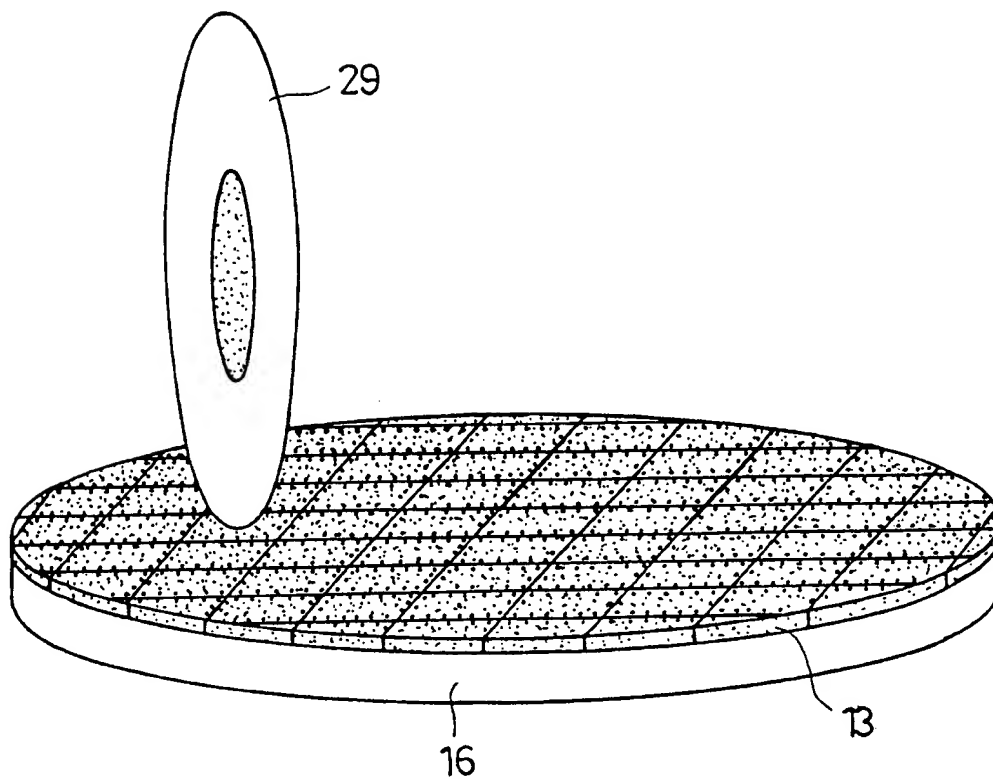
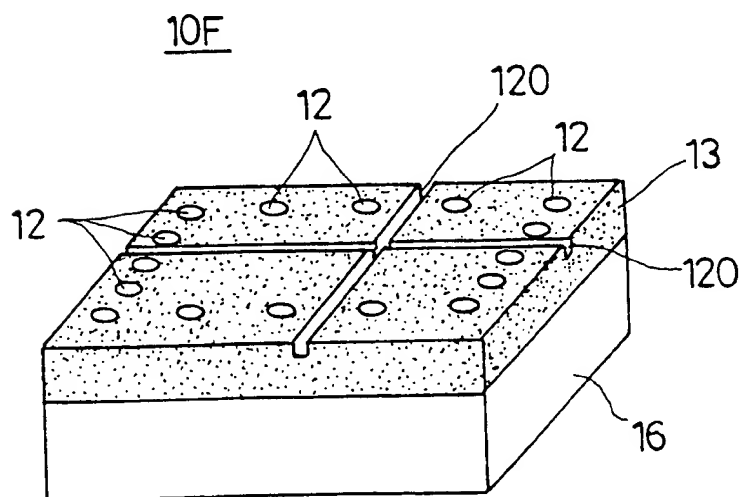


図 46



40/131



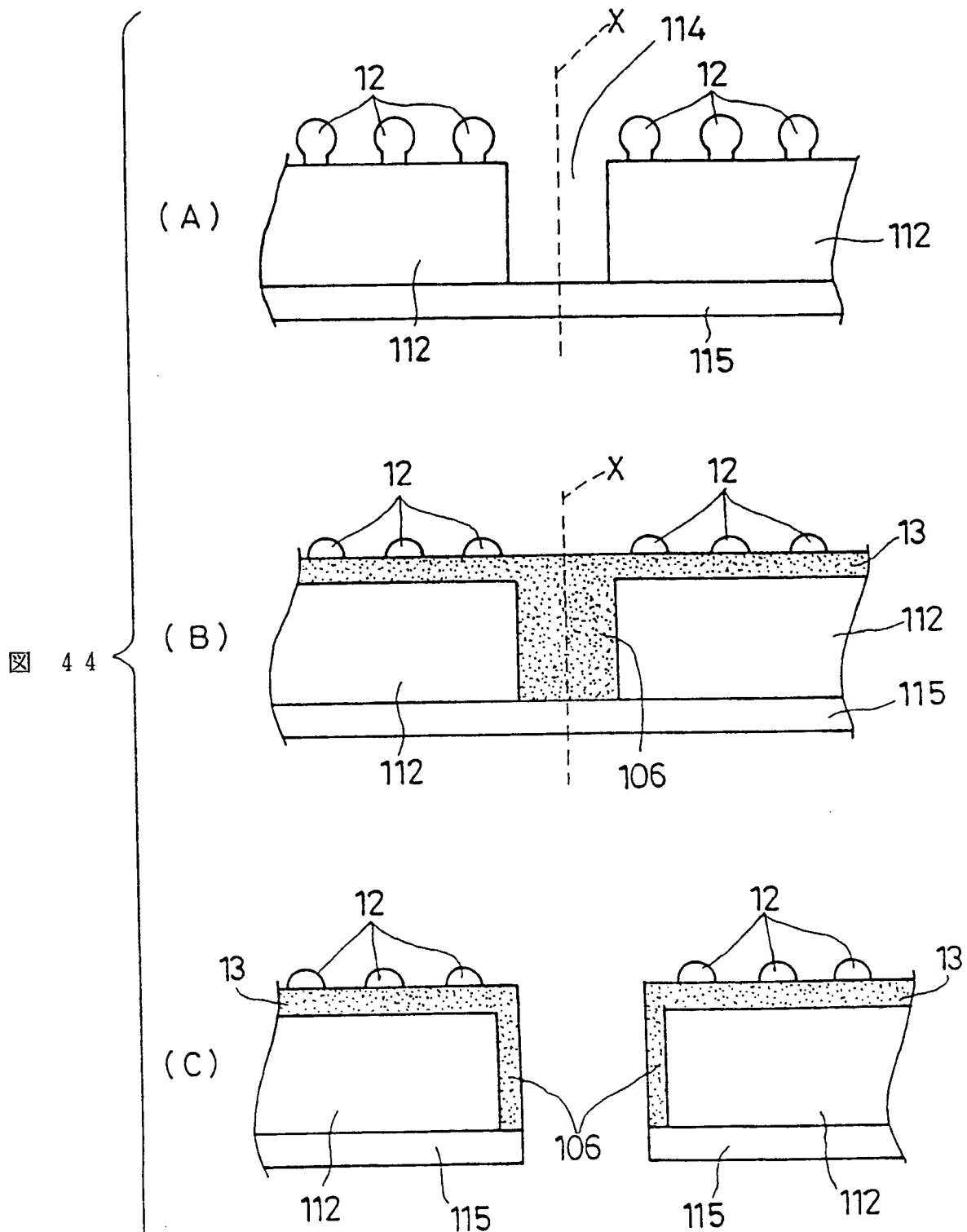
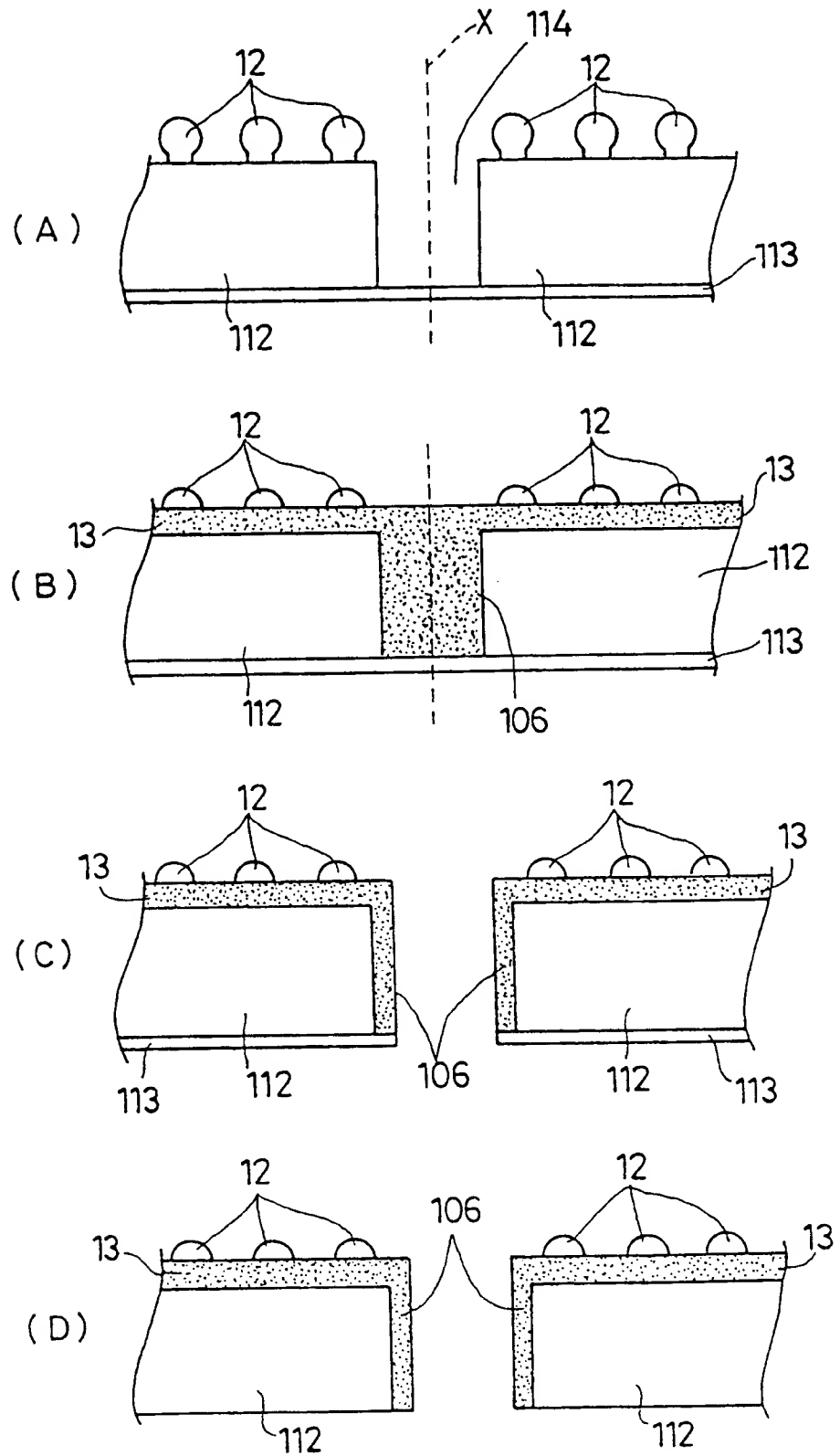


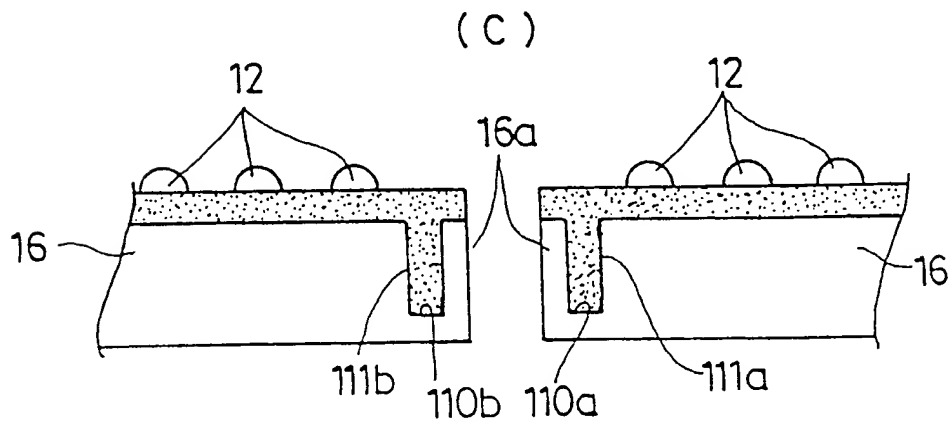
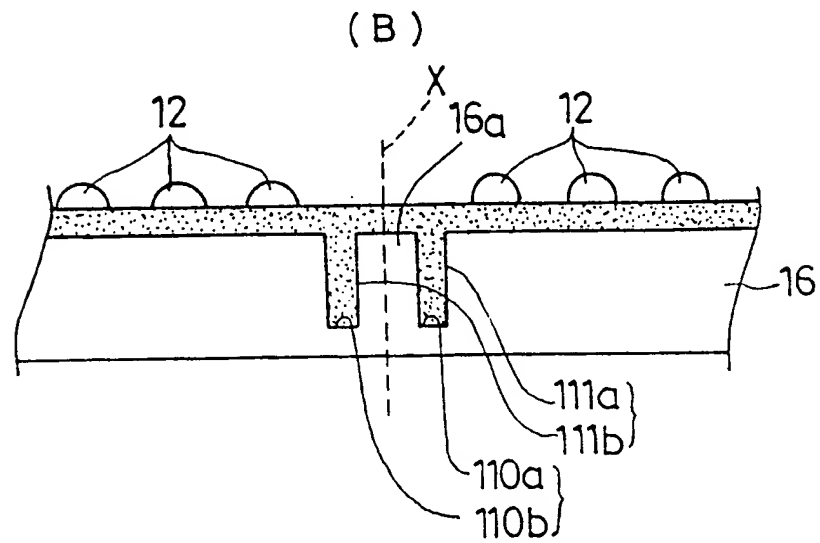
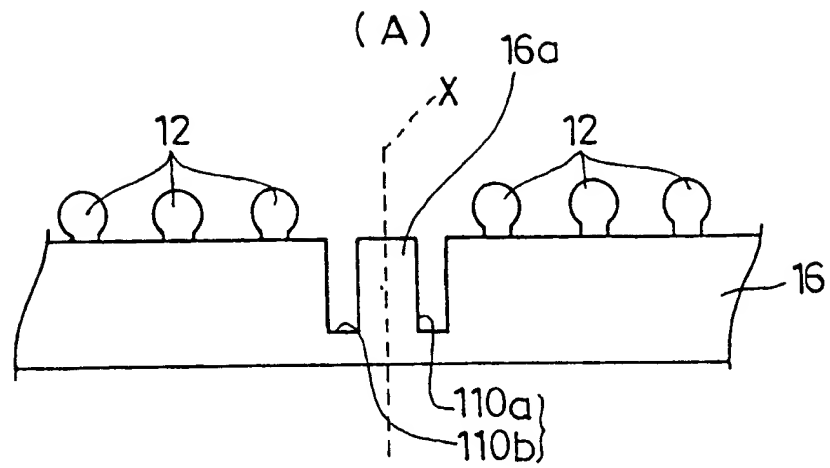


図 43





☒ 4 2







41

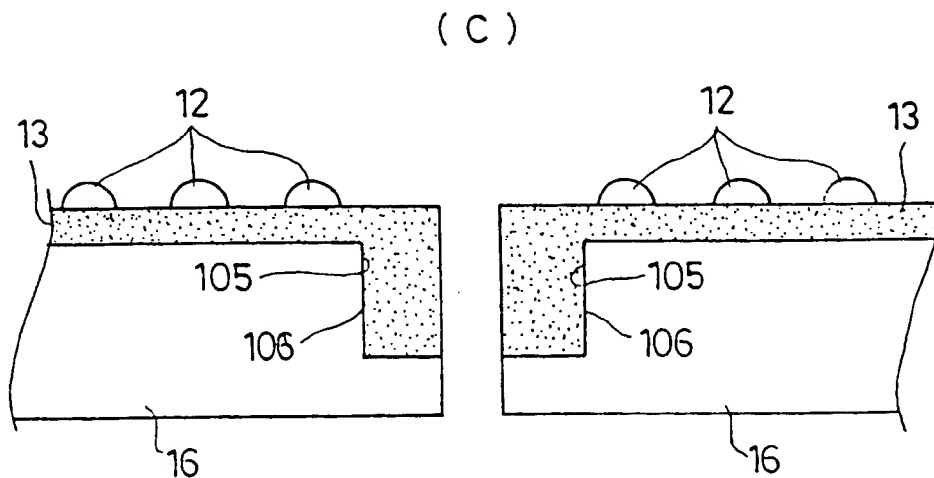
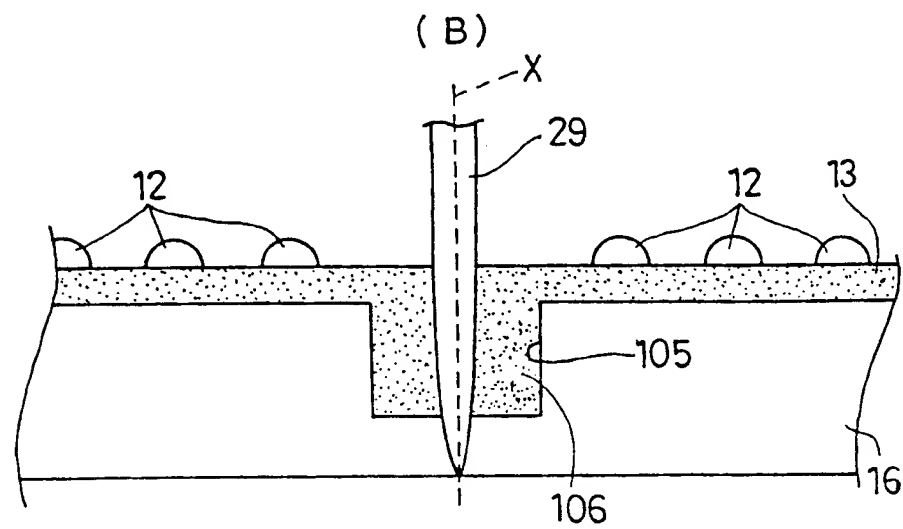
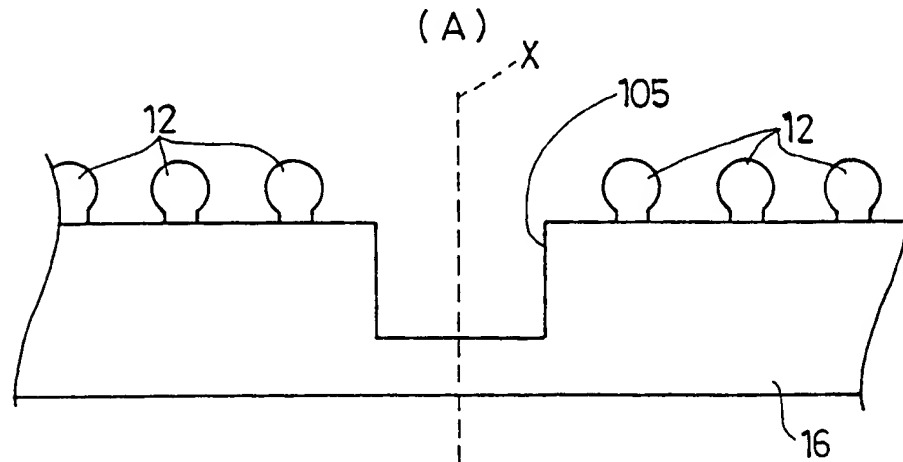
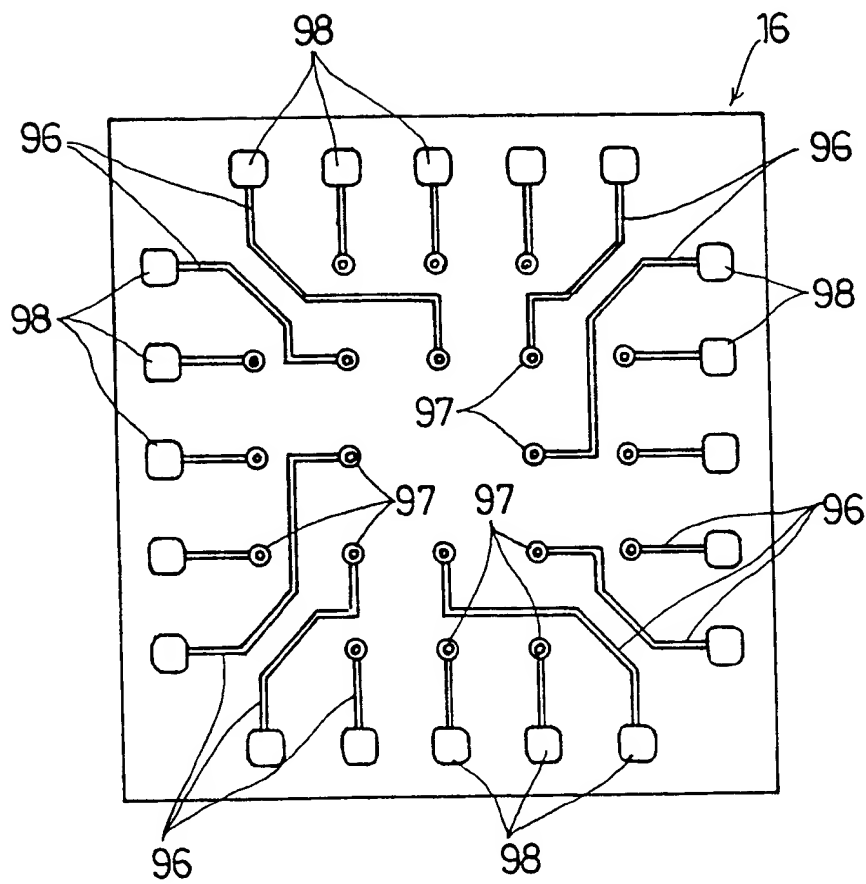




図 40





1  
2  
3  
4

5  
6  
7

39

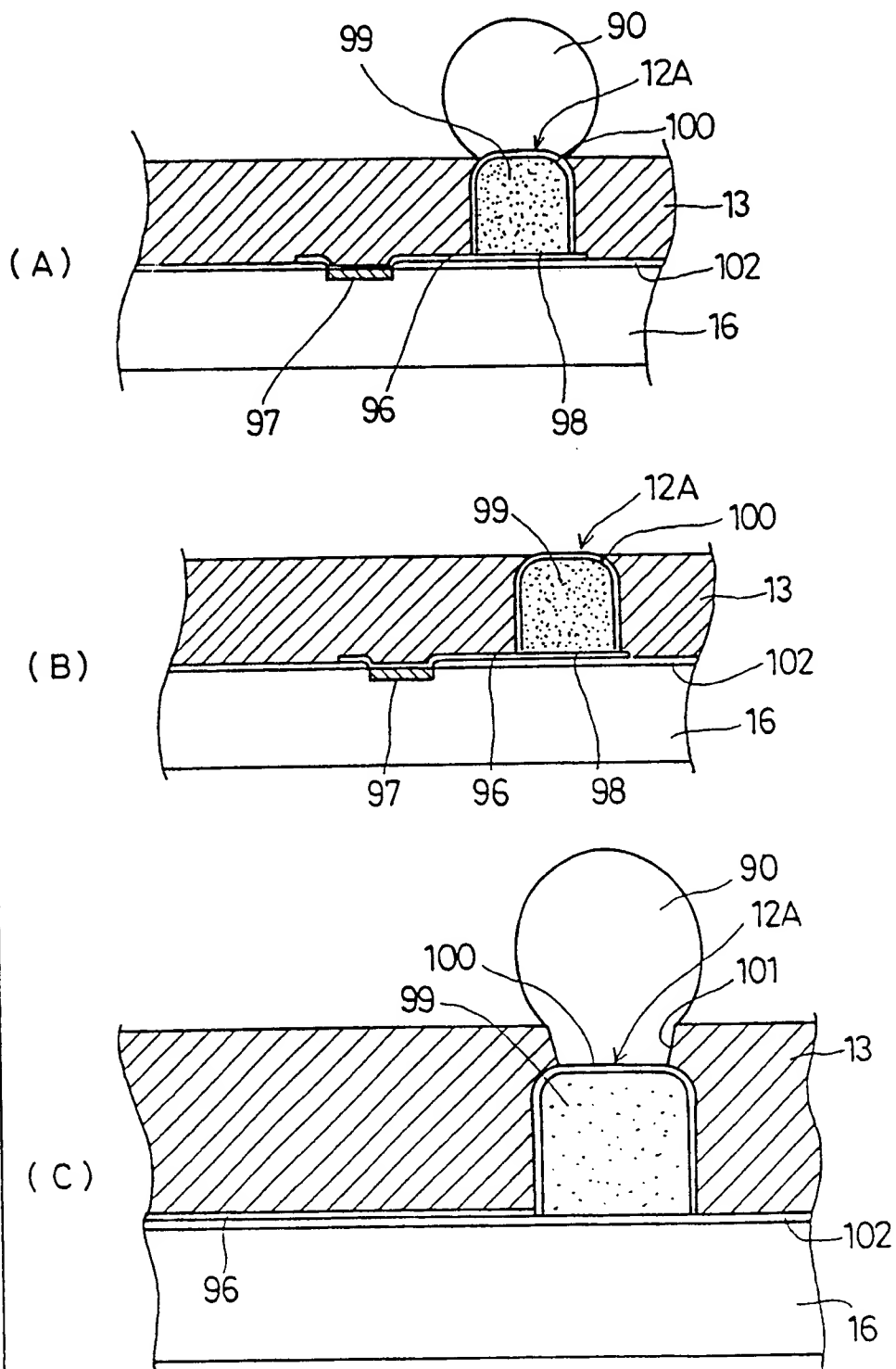




図 38

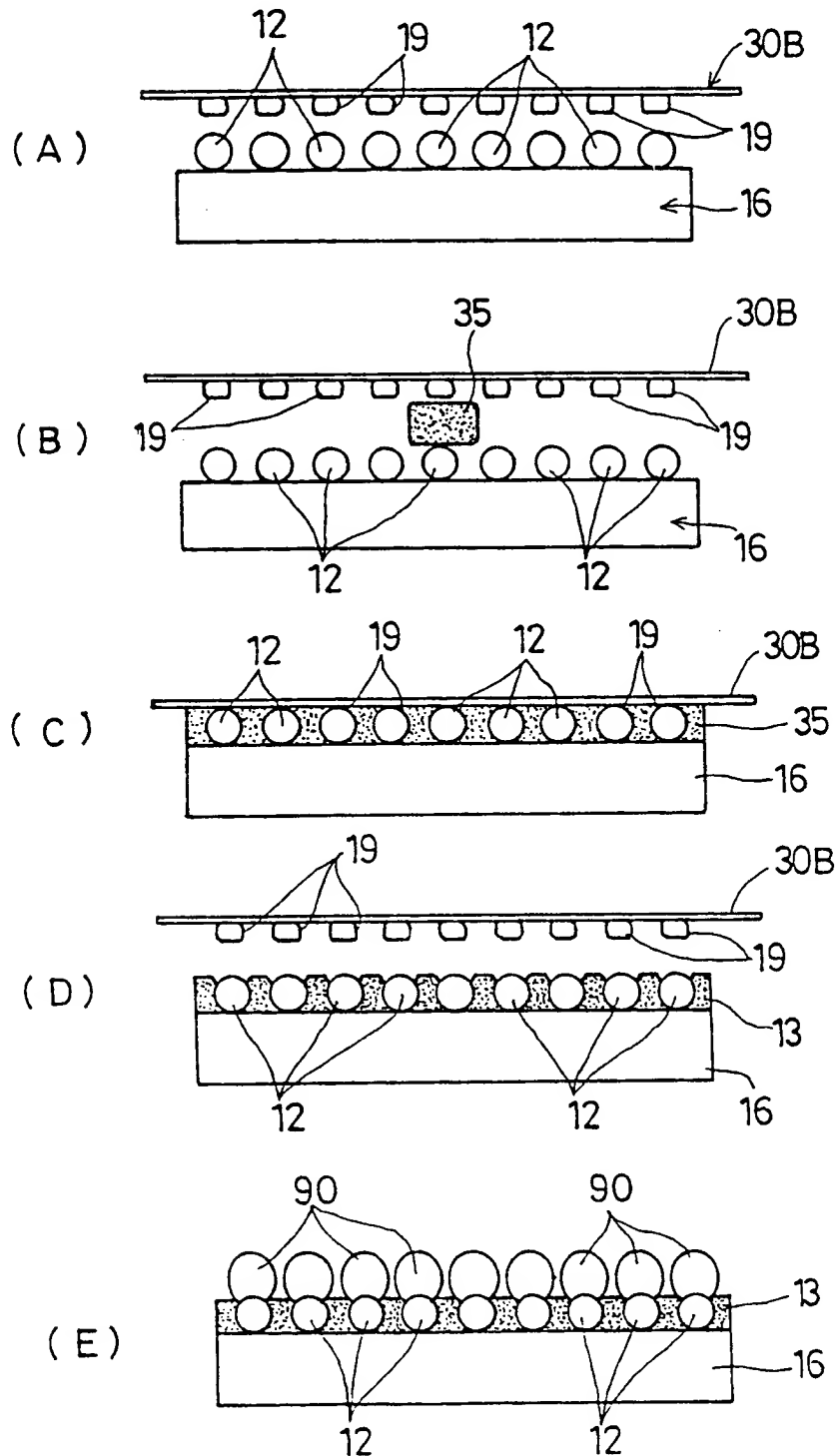
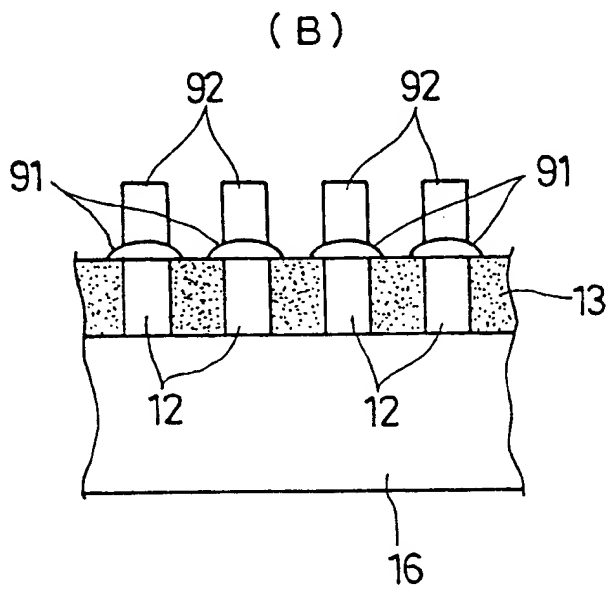
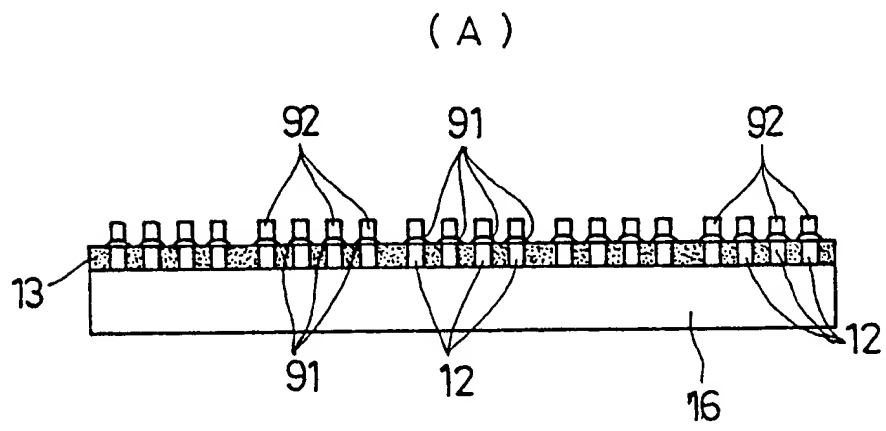


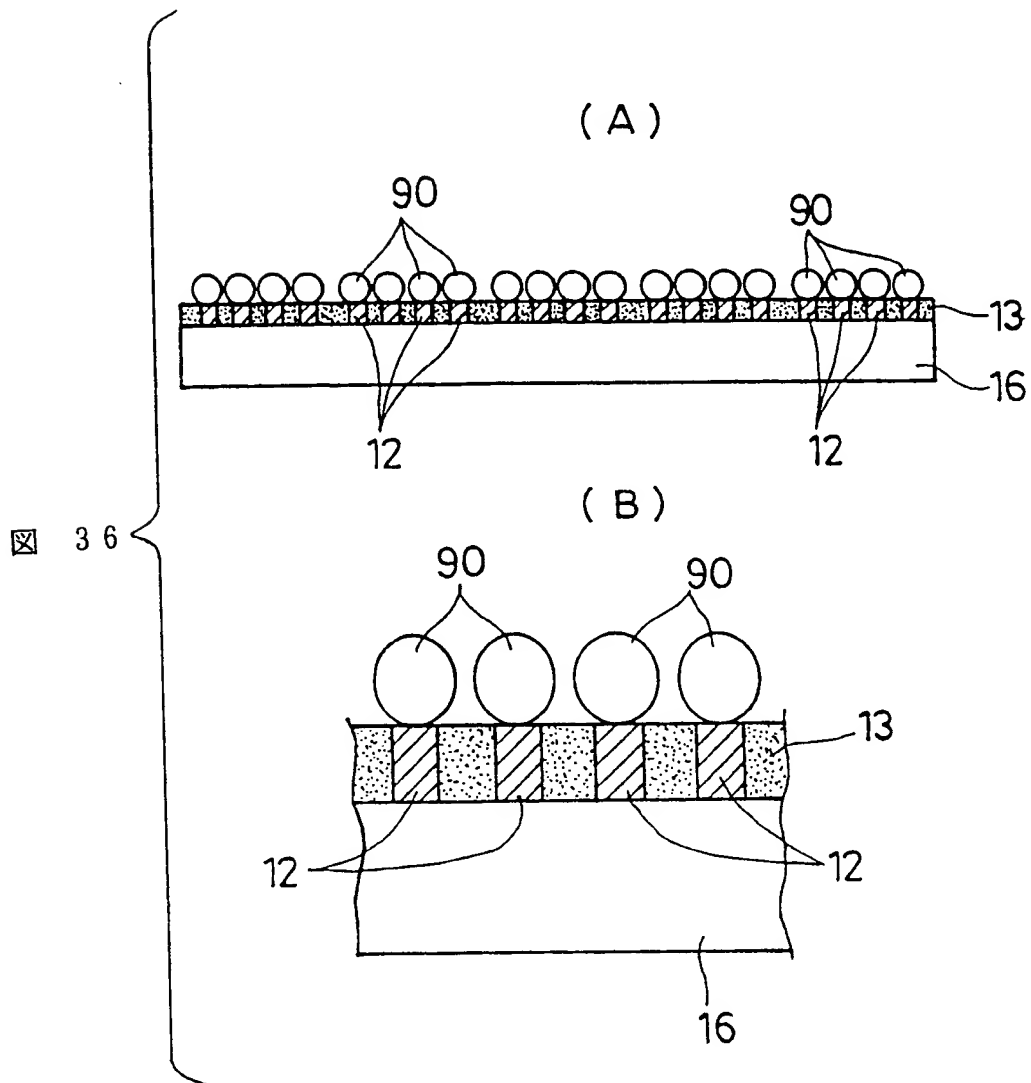




図 37

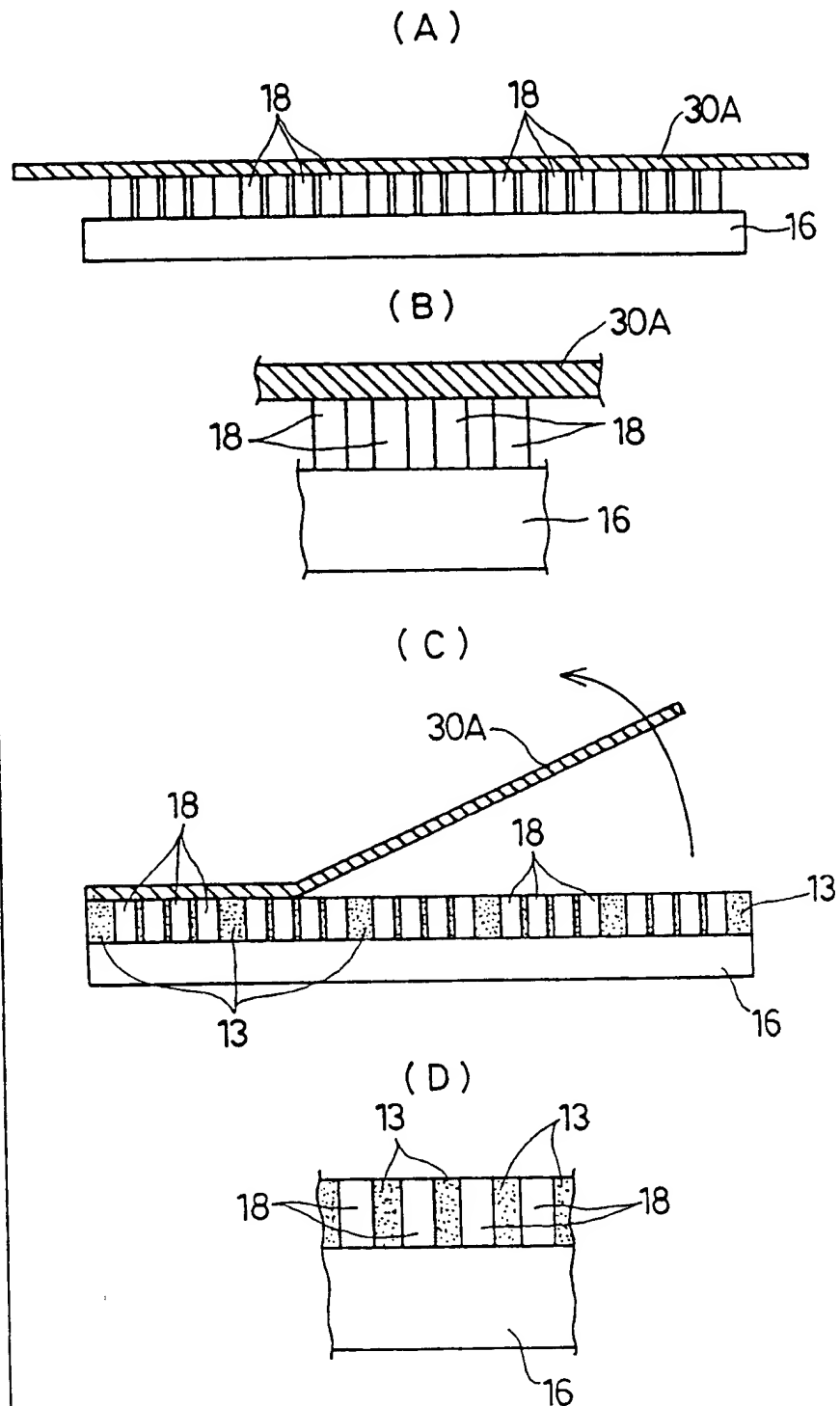








35





3 4

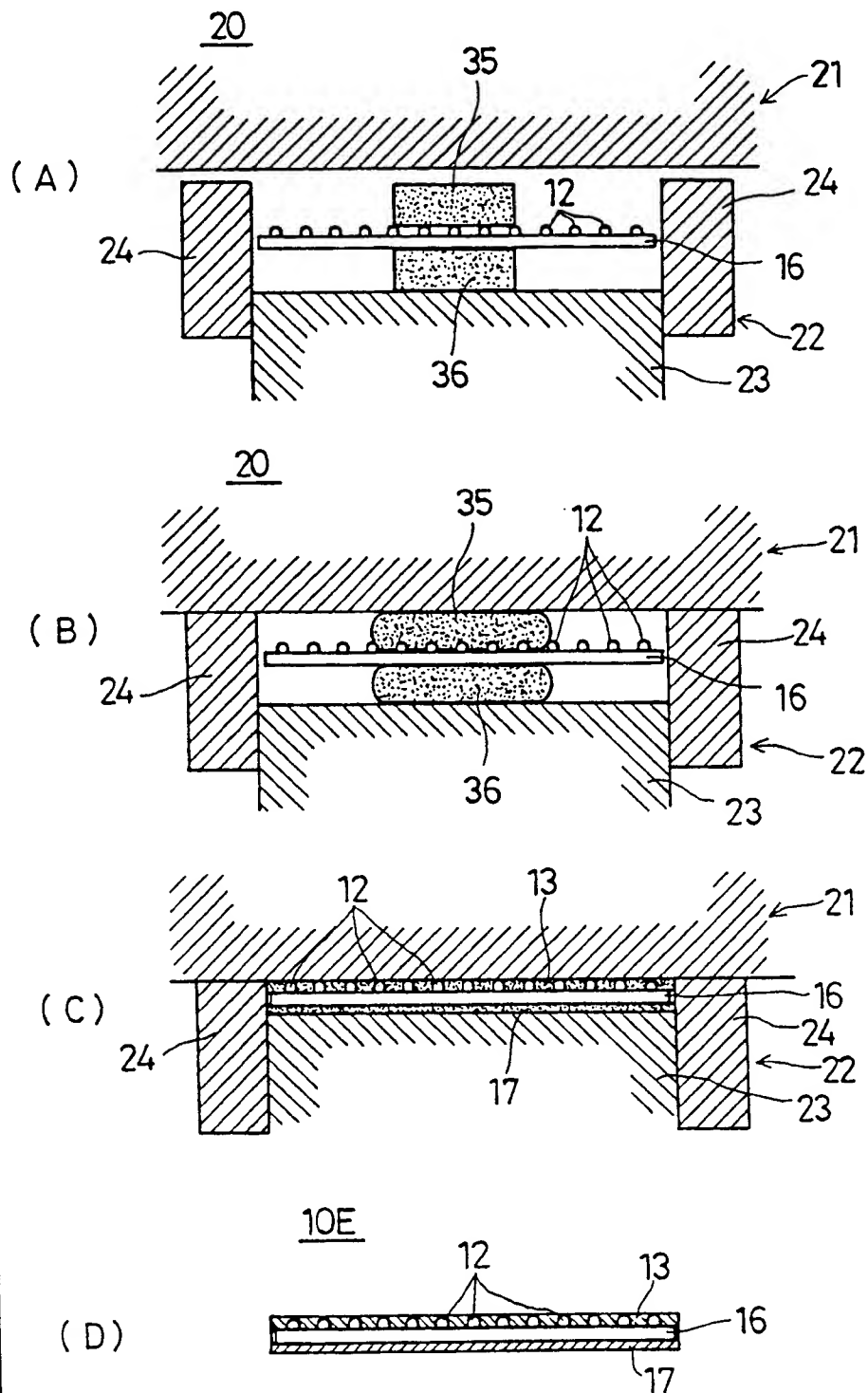
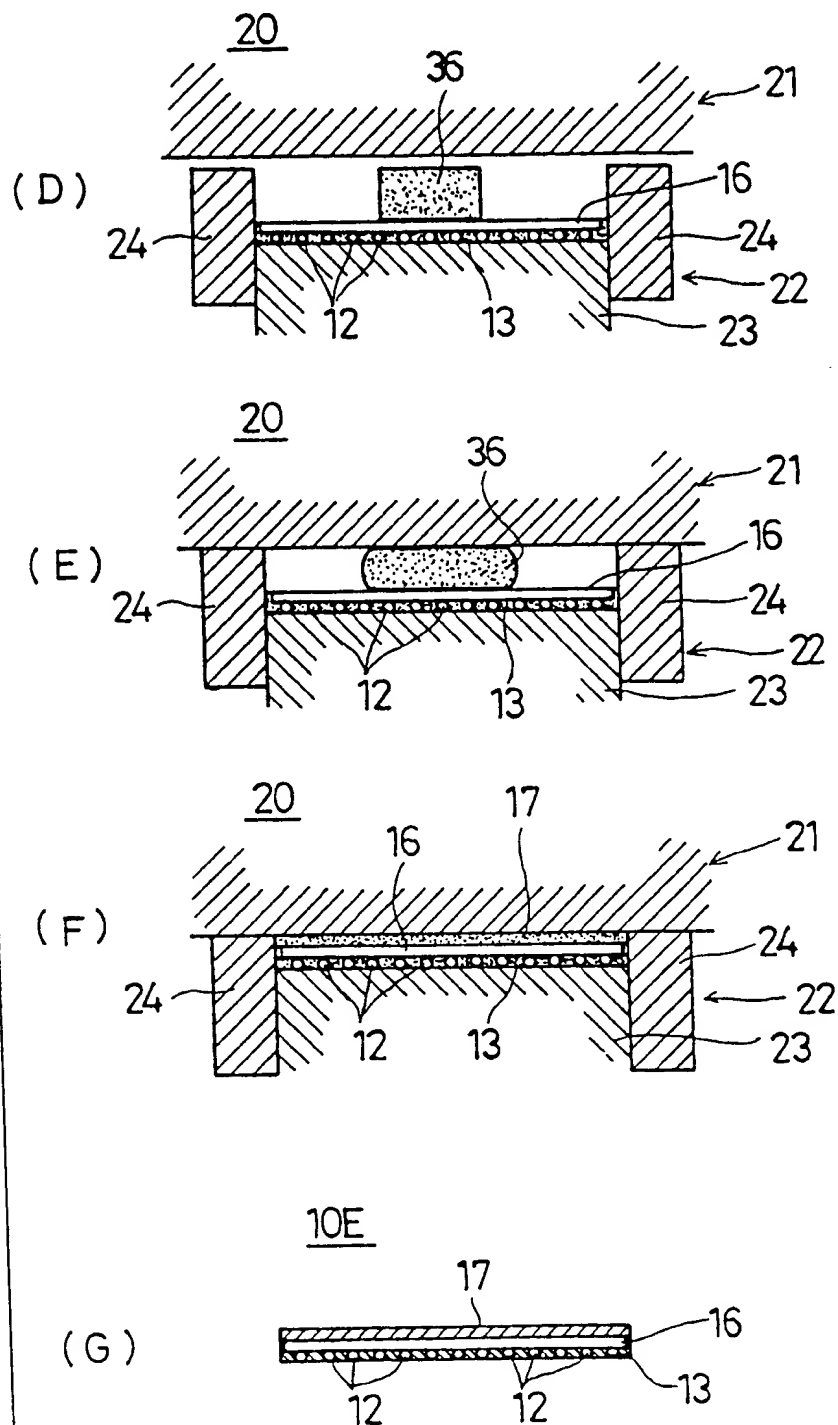






図 33



9 1 により応力緩和され、バンプ 1 2 に伝達されることを防止することができる。これにより、外部応力により基板 1 6（半導体素子）にダメージが発生することを防止でき、よって製造される半導体装置の信頼性を向上させることができる。

5       また、外部接続用外部接続用突起電極としてポール電極 9 2 を用いることにより、球状の電極に比べて外部接続端子（実装基板側、或いは試験装置側の外部接続端子）との接続状態を良好とすることができる。これは、球状の電極では接続面積が小さくなるのに対し、ポール電極 9 2 では接続面積を広くできるためである。

10       また、球状の電極はその形成が難しく高さ（直径）にバラツキが生じやすいが、ワイヤ状のポール電極 9 2 では同一長さのものを精度良く得ることができ、よってバラツキの発生を防止することができる。更に、ポール電極 9 2 は弾性的に座屈変形可能であるため、ポール電極 9 2 自体にも応力緩和機能を有している。よって、外力  
15       入力時における応力の緩和をより確実に行なうことができる。

      続いて、本発明の第 1 7 実施例について説明する。

      図 3 8 は、第 1 7 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 3 8 において、図 1 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を  
20       省略するものとする。

      前記した第 1 実施例では、バンプ 1 2 を樹脂層 1 3 から露出させるためにフィルム 3 0 として弾性可能な材質を選定し、フィルム 3 0 をバンプ 1 2 に配設した時点でバンプ 1 2 の先端部がフィルム 3 0 にめり込むようにし、よって図 7 に示すようにフィルム 3 0 を剥離した時点でバンプ 1 2 の先端部が樹脂層 1 3 から露出するようにした。しかるに、この第 1 実施例の方法では、樹脂層 1 3 から露出するバンプ 1 2 の先端部の面積は小さくなり、実装基板との電氣的  
25       接続性が低下するおそれがある。

      一方、前記した第 7 実施例では、フィルム 3 0 A として硬質な材

質を選定し、フィルム 30 A を剥離した時点ではバンプ 12 の先端部は樹脂層 13 から露出しない状態とし、バンプ 12 の先端部を樹脂層 13 から露出させるには、図 21 に示すようにレーザ照射装置 60 等を用いて露出させる方法を用いた。しかるに、第 7 実施例の方法では、バンプ 12 を樹脂層 13 から露出させるために大掛かりな設備が必要となってしまう。

そこで本実施例では、図 38 (A) に示すように、樹脂封止工程においてフィルム 30 B として硬質材料のものを選定すると共に、このフィルム 30 B のバンプ 12 と対向する位置に凸部 19 が形成されたものを用いたことを特徴とする。以下、この凸部 19 が形成されたフィルム 30 B を用いた樹脂封止工程について説明する。尚、図 38 において、金型の図示は省略している。

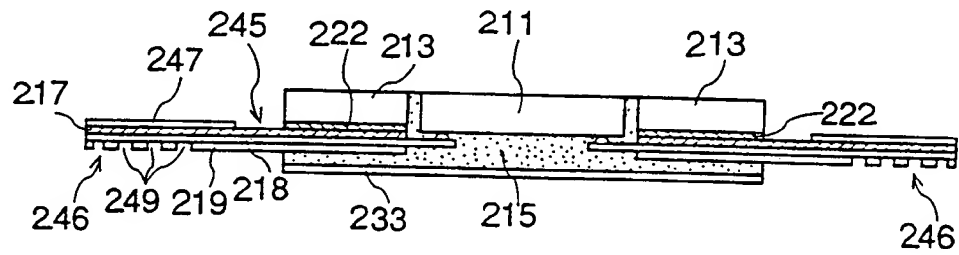
図 38 (B) は、基板 16, 封止樹脂 35, 及びフィルム 30 B を金型に装着した状態を示している。この状態において、フィルム 30 B に形成された凸部 19 は、基板 16 に形成されたバンプ 12 と対向するよう位置決めされている。また、フィルム 30 B は硬質の樹脂材料により形成されており、凸部 19 は比較的軟質な樹脂材料により形成されている。即ち、本実施例においては、フィルム 30 B と凸部 19 とは別材料により構成されている（尚、同一材料による一体化された構成としてもよい）。

図 38 (C) は、封止樹脂 35 に対して圧縮成形処理が行なわれている状態を示している。この圧縮成形処理時において、フィルム 30 B に形成された凸部 19 はバンプ 12 に押圧された状態となっている。従って、凸部 19 がバンプ 12 を押圧している領域については、バンプ 12 に封止樹脂 35 が付着することはない。かつ、凸部 19 は軟質樹脂により構成されているため、凸部 19 が可撓変形することによりバンプ 12 と凸部 19 との接触面積は広がっている。

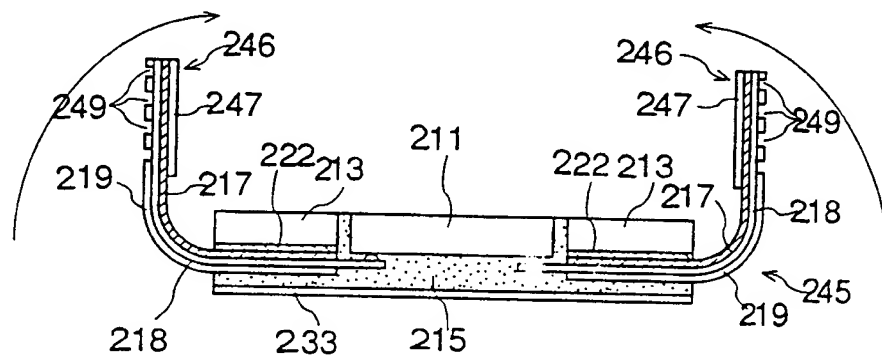
図 38 (D) は突起電極露出工程を示しており、基板 16 から

90

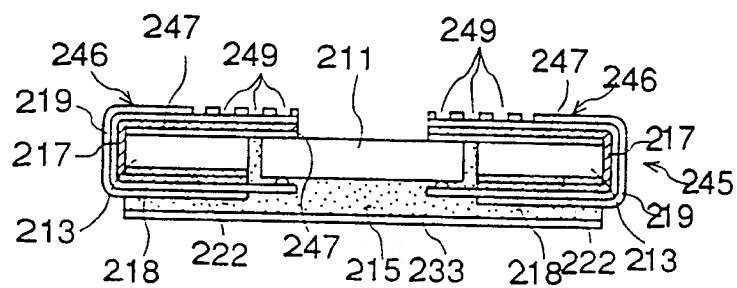
(E)



(F)



(G)

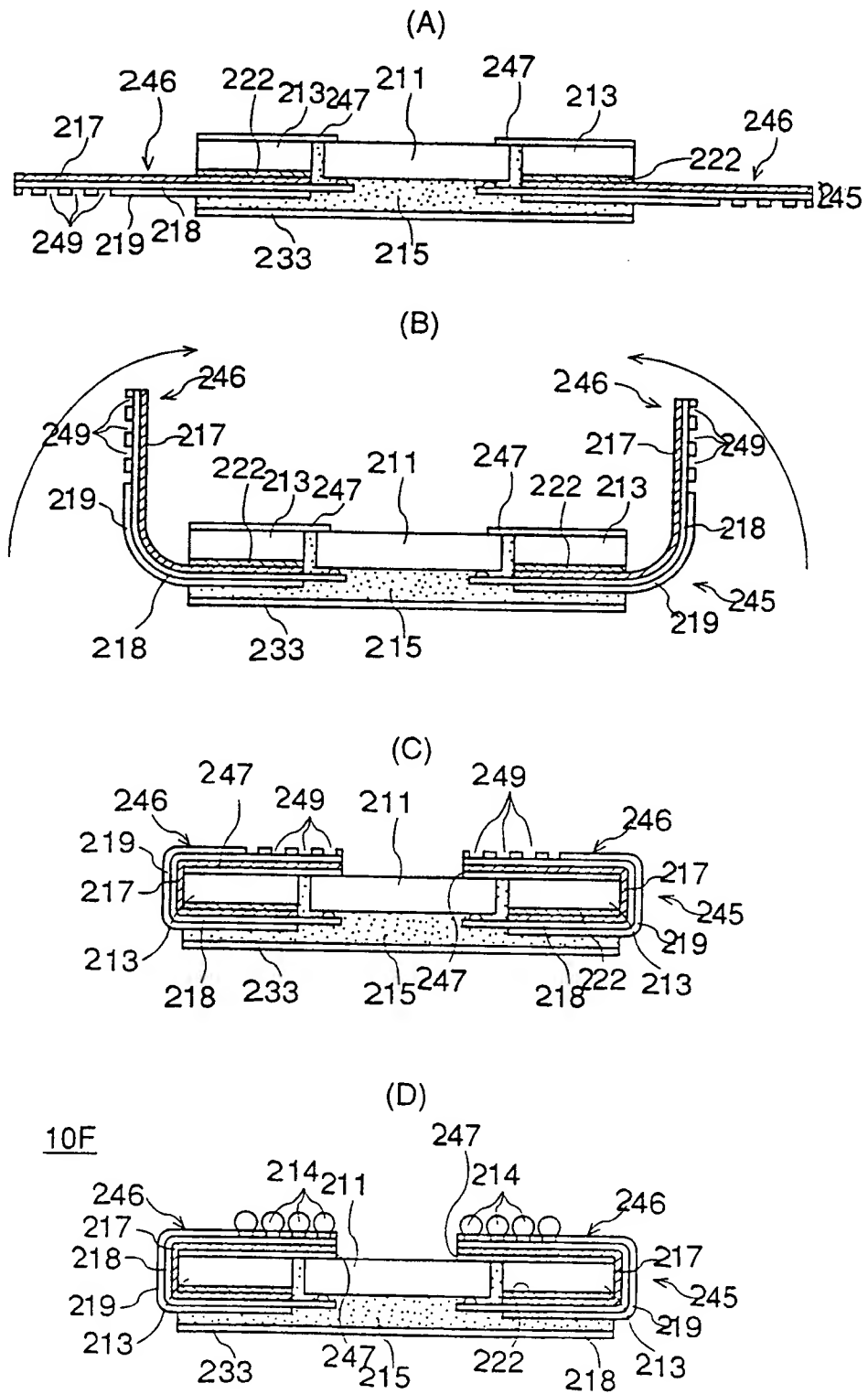




1  
2  
3  
4

5  
6  
7  
8

図 91



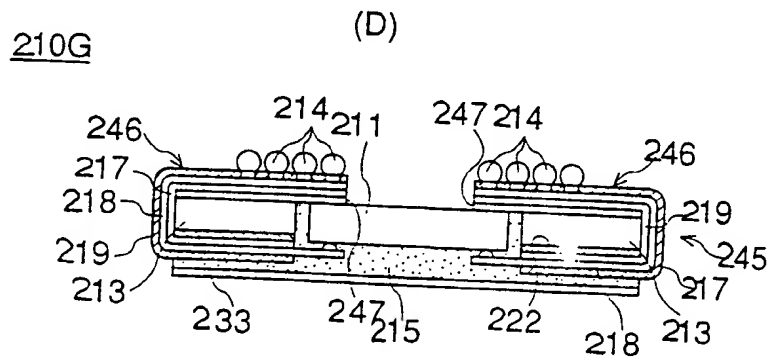
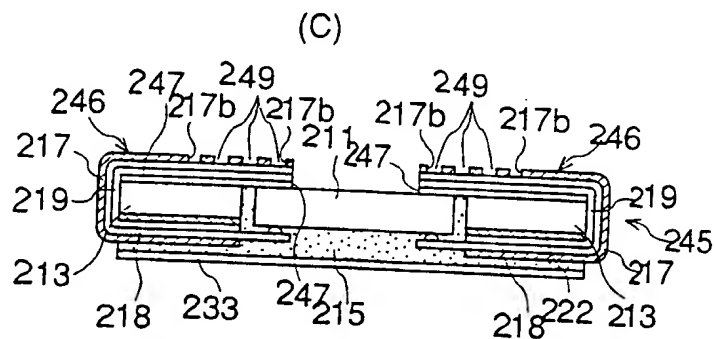
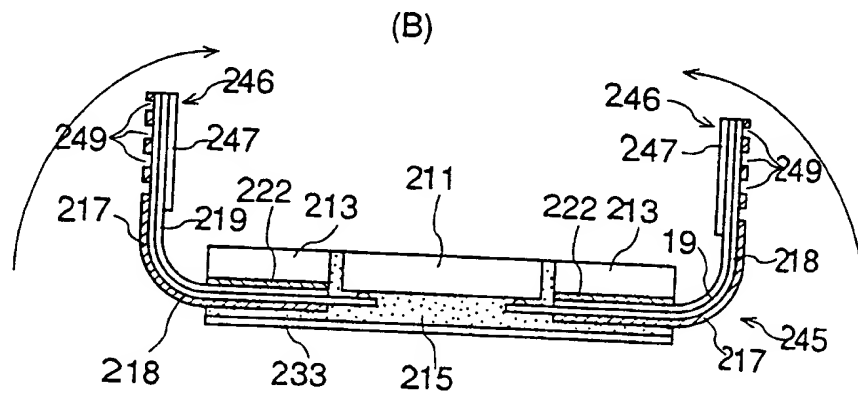
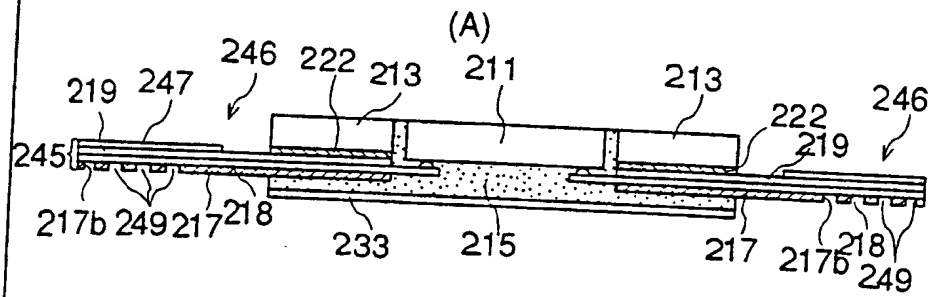


1  
2  
3  
4

5  
6  
7  
8



92



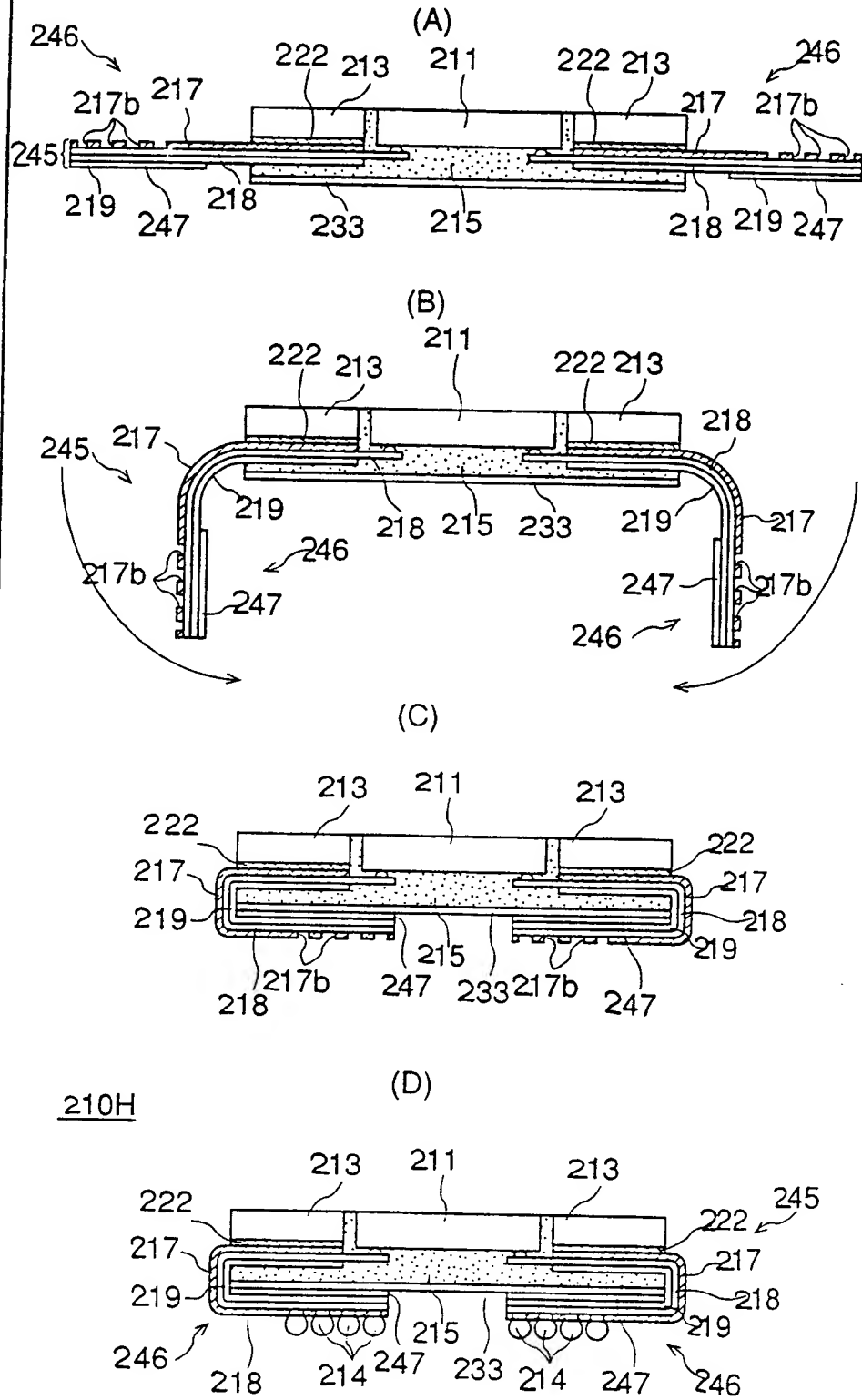


1

1  
1  
1  
1

1  
1  
1  
1

93

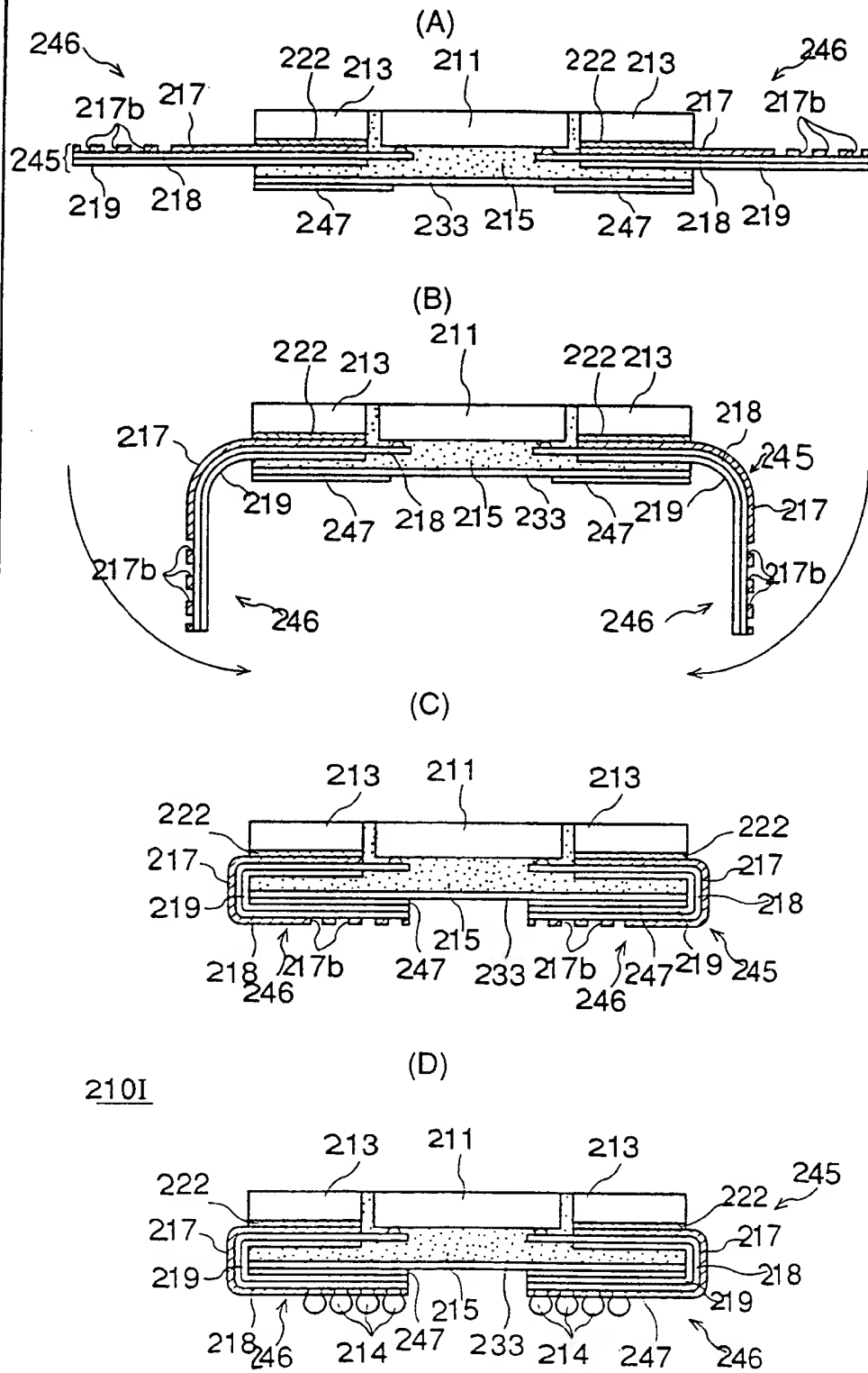




•  
•  
•  
•

•  
•  
•  
•

94

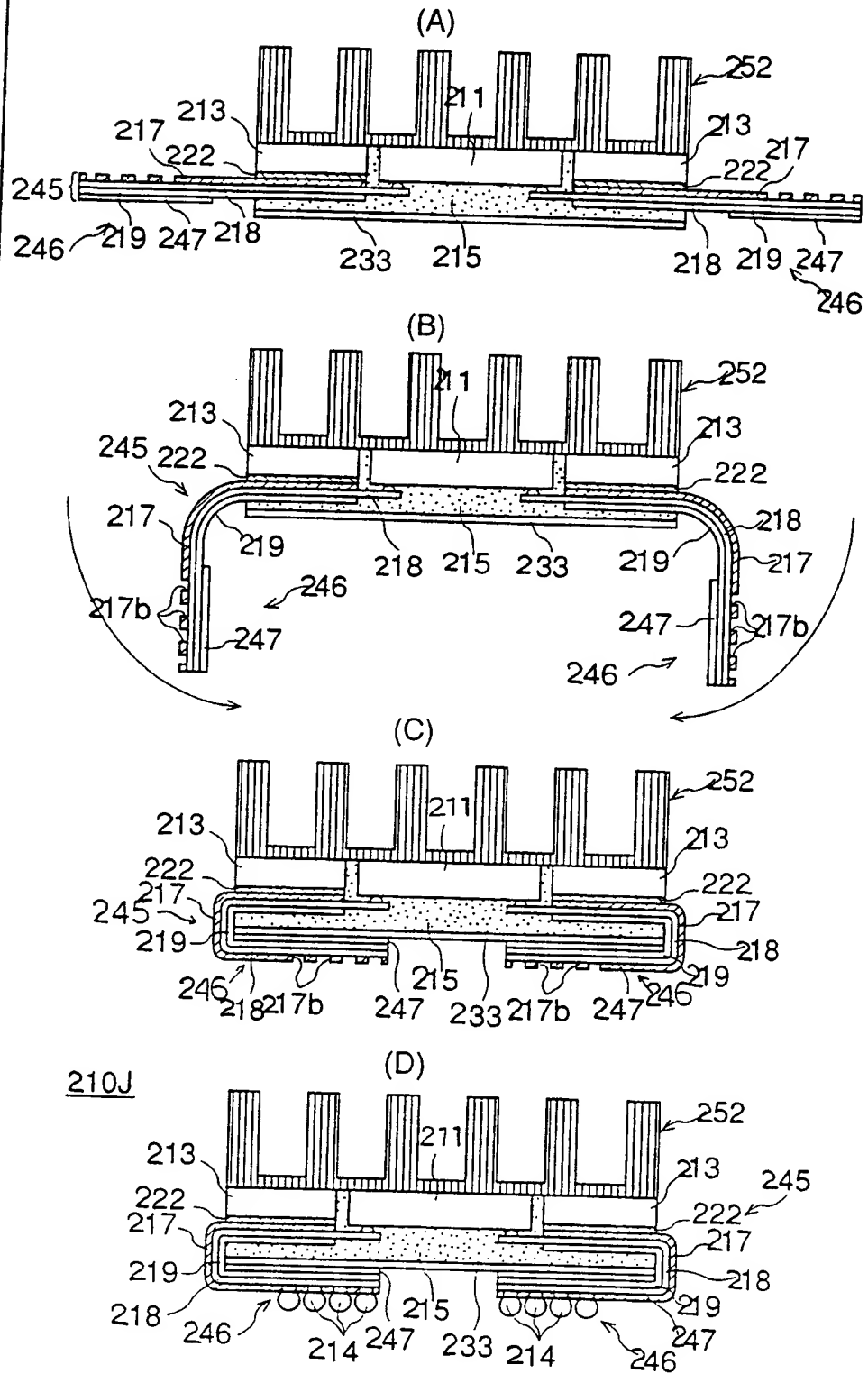




1  
2  
3  
4

5  
6  
7  
8

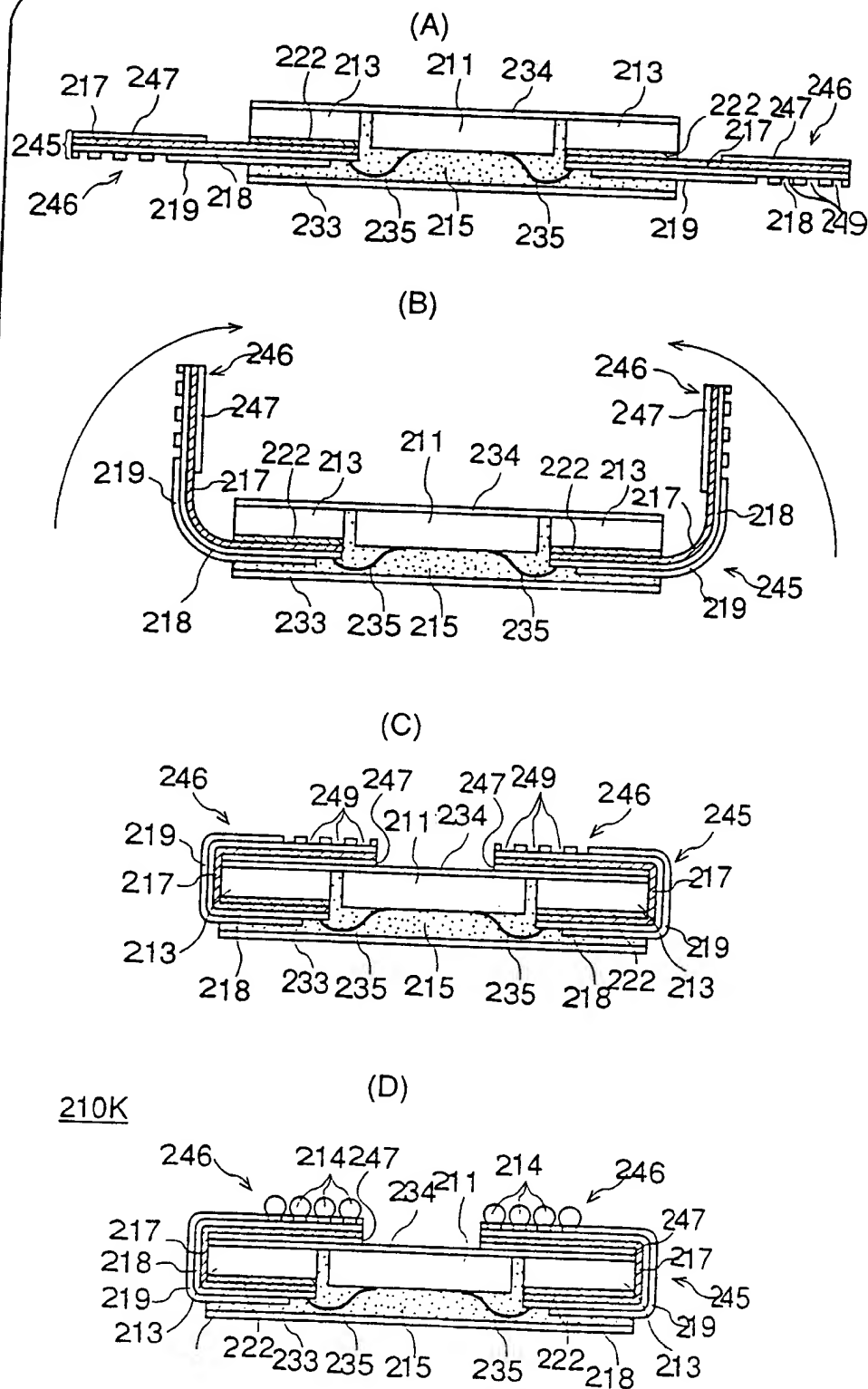
95







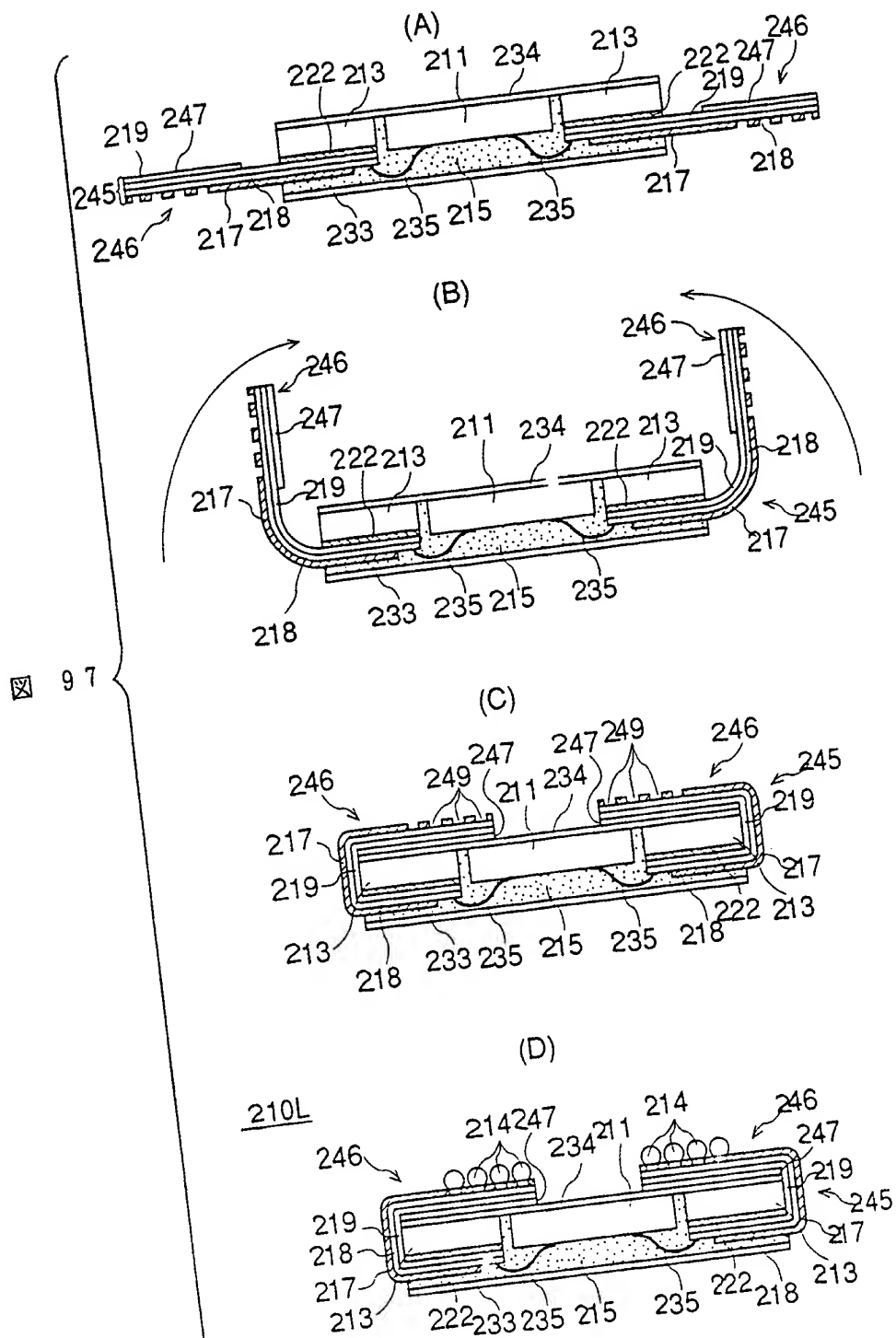
96





1  
2  
3  
4

1  
2  
3  
4





1  
2  
3  
4

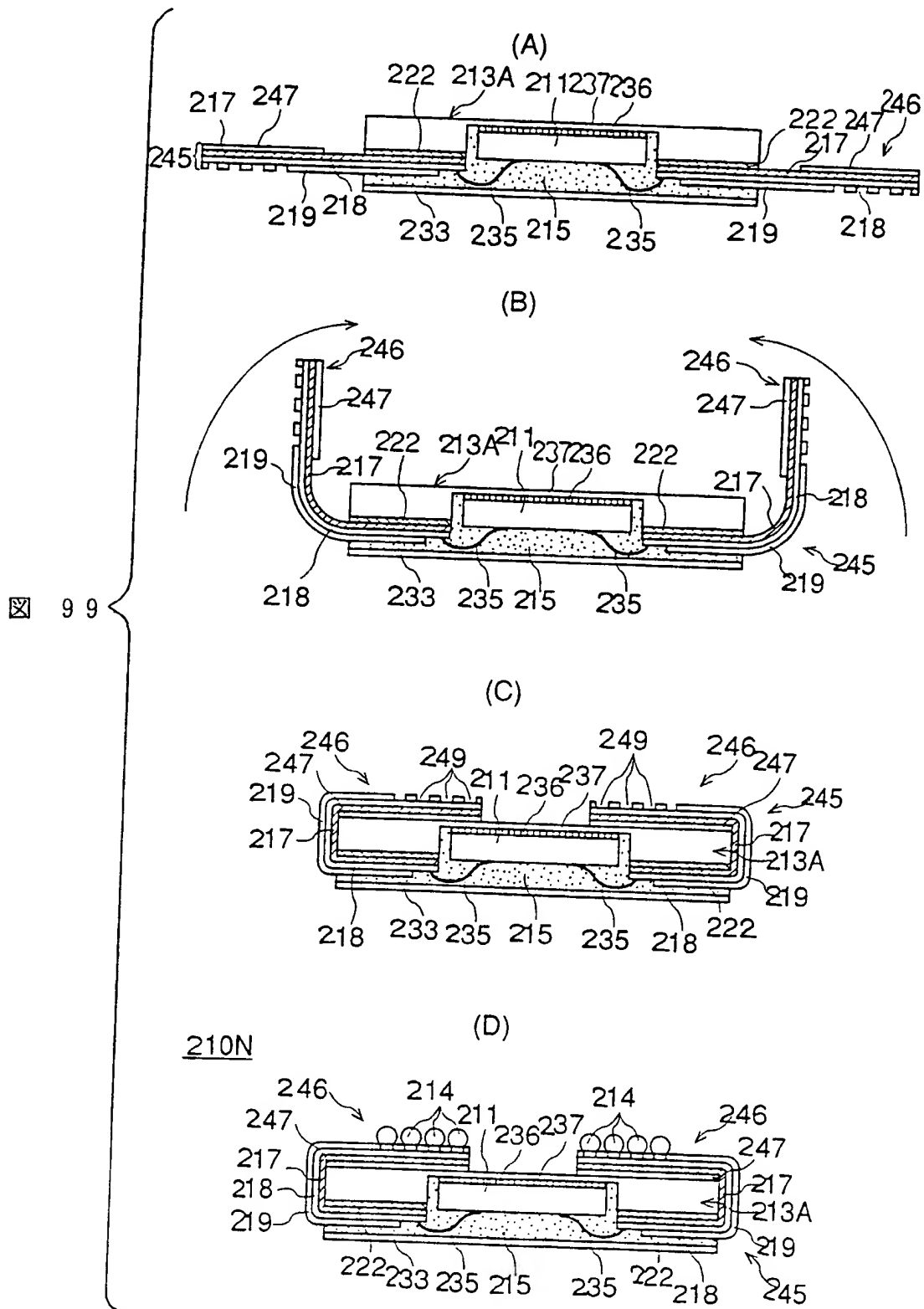
5  
6  
7  
8  
9  
10





1  
2  
3  
4

5  
6  
7  
8



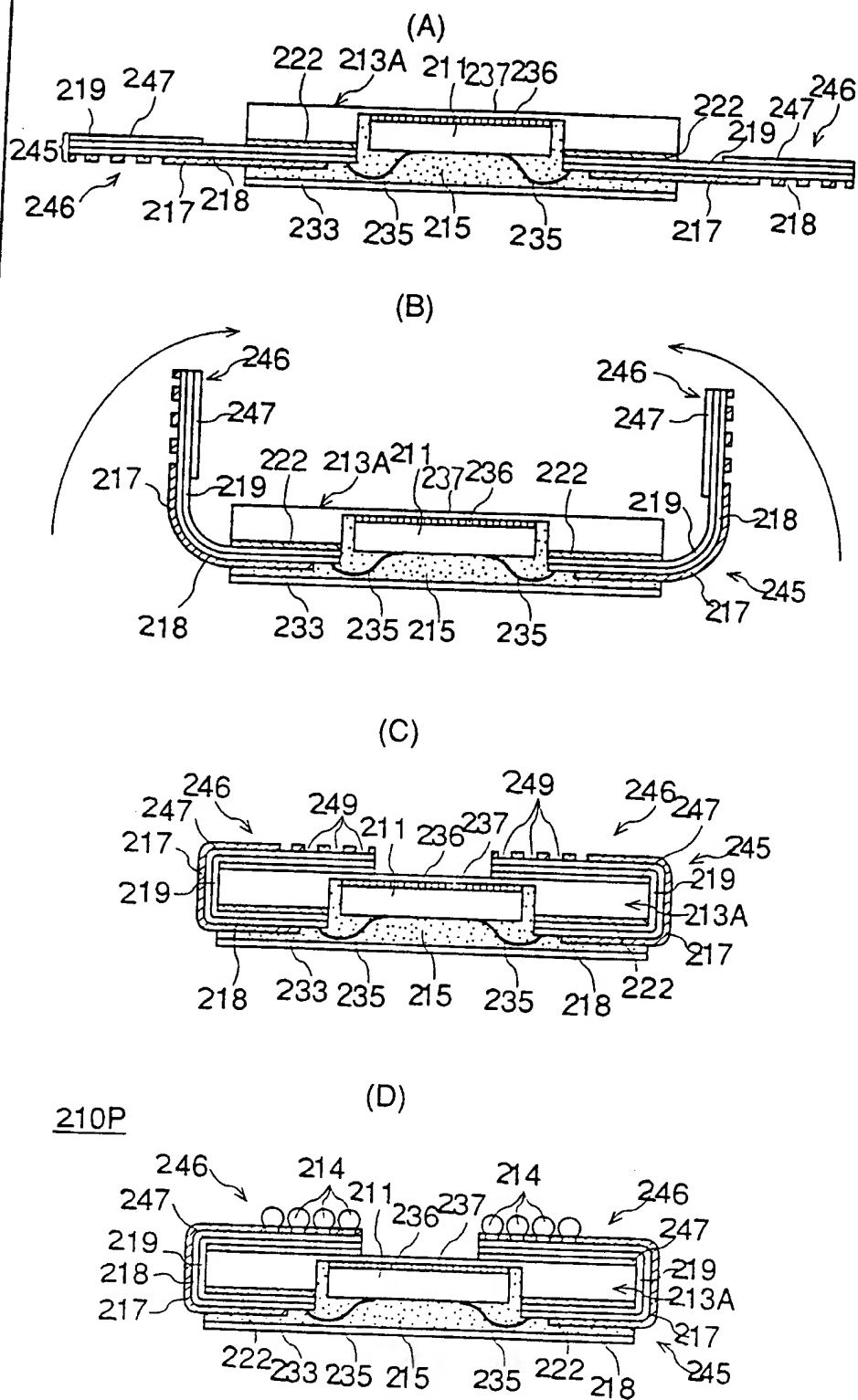


1  
2  
3  
4

5  
6  
7  
8



図 100

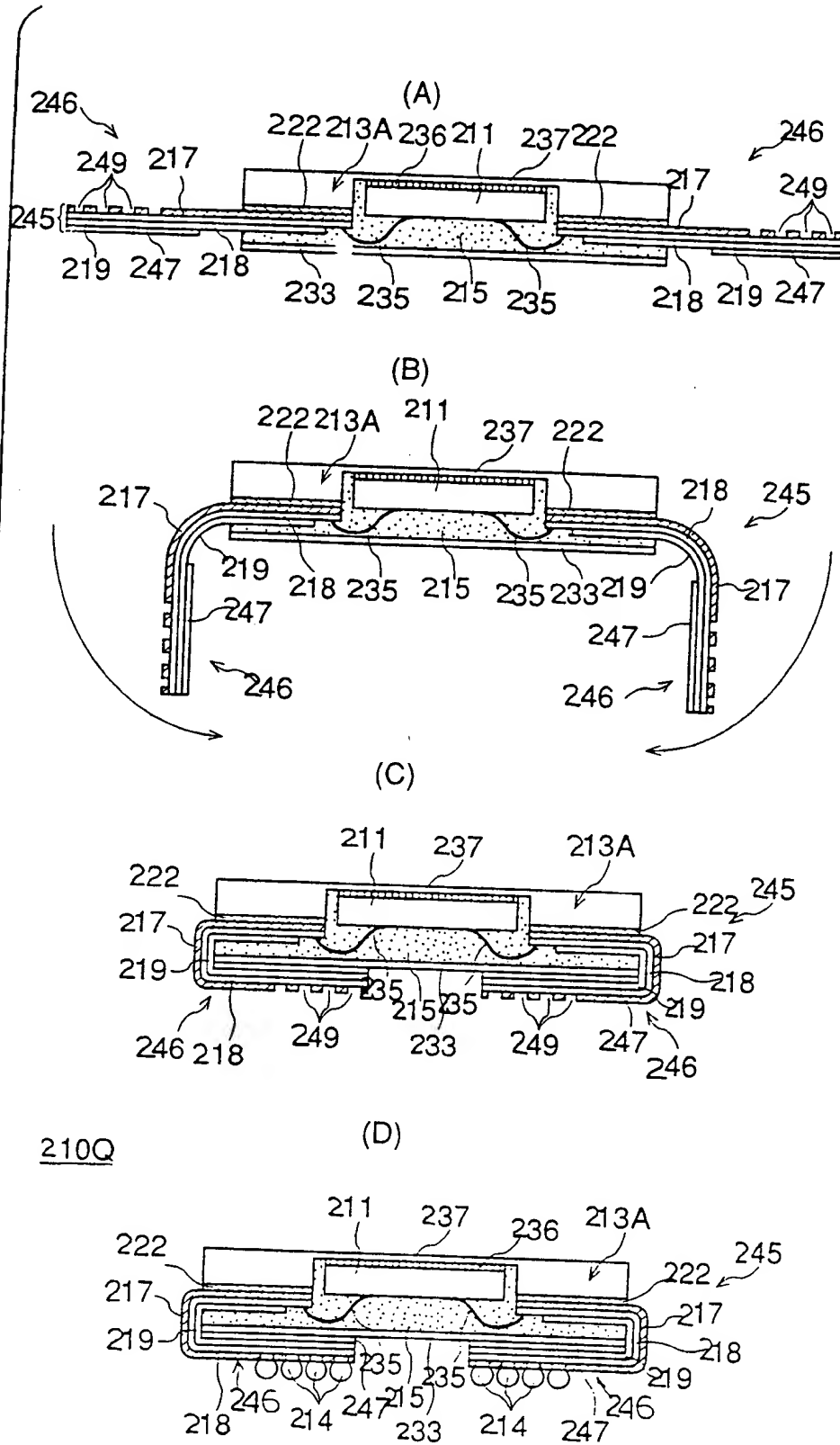




1  
2  
3  
4

5  
6  
7  
8

101





-  
-  
•  
.

•  
•  
-  
-

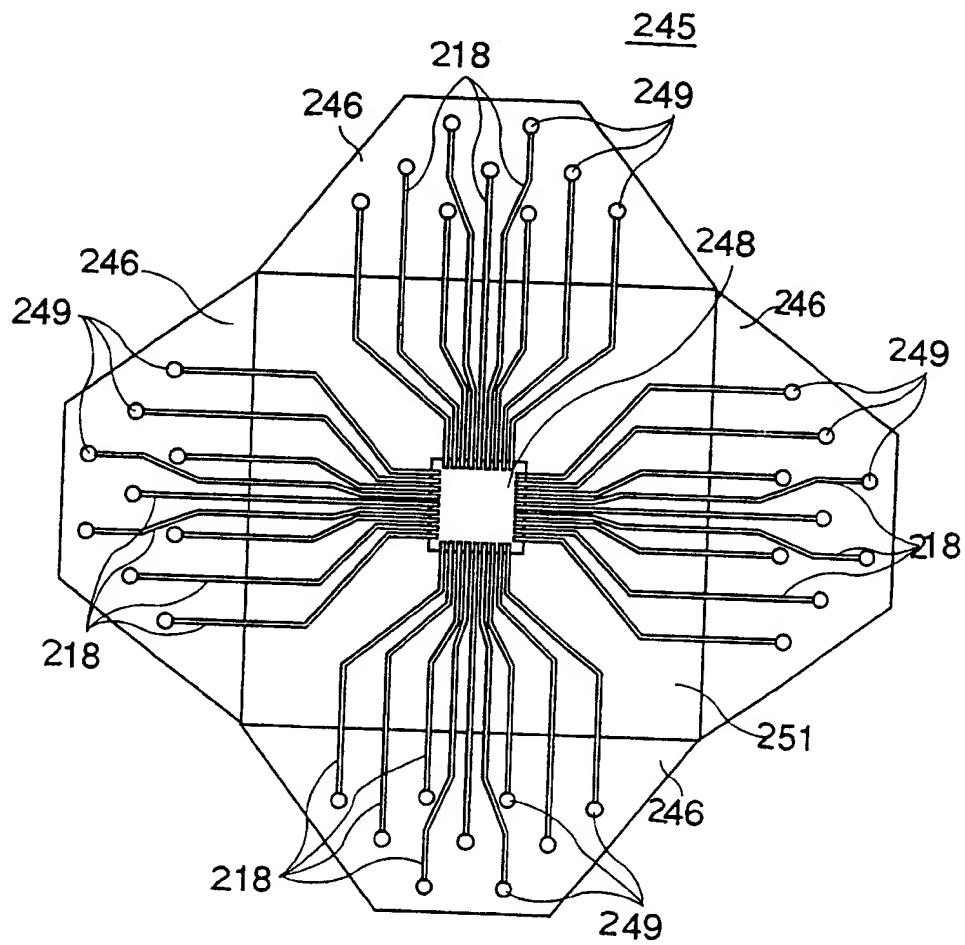




1  
2  
3  
4

5  
6  
7  
8

図 103



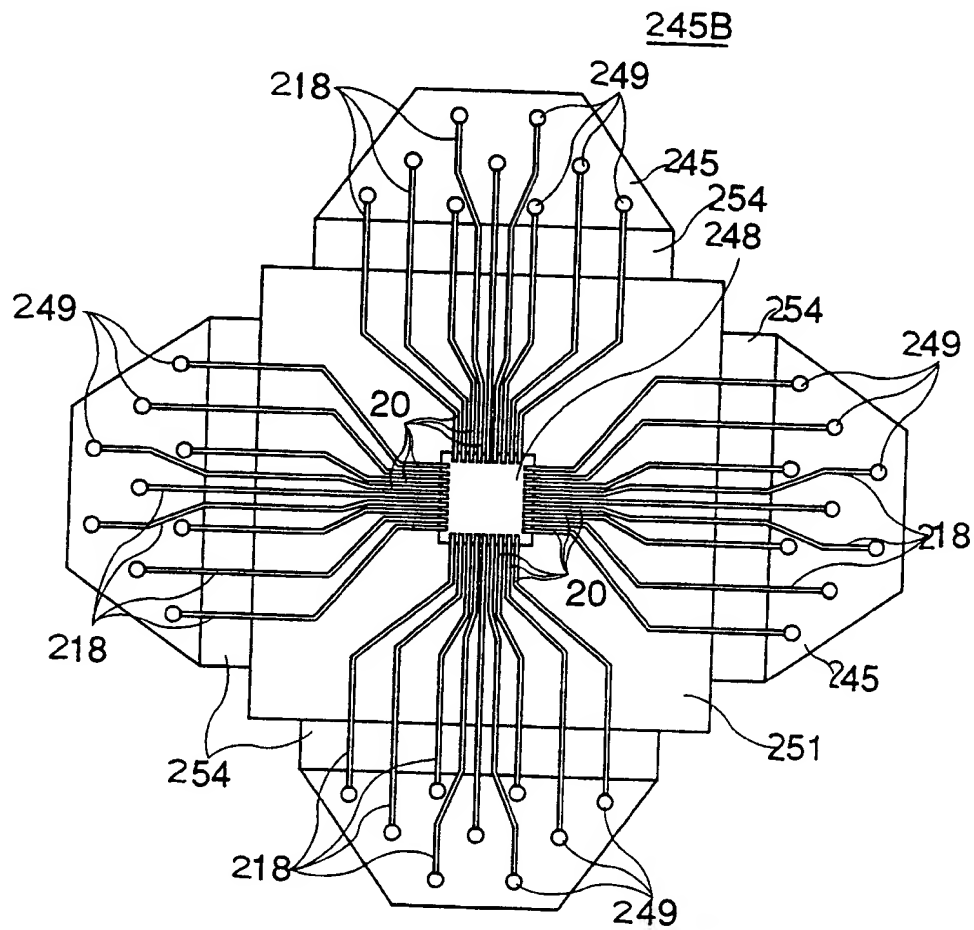


1  
2  
3  
4

5  
6  
7  
8



☒ 104

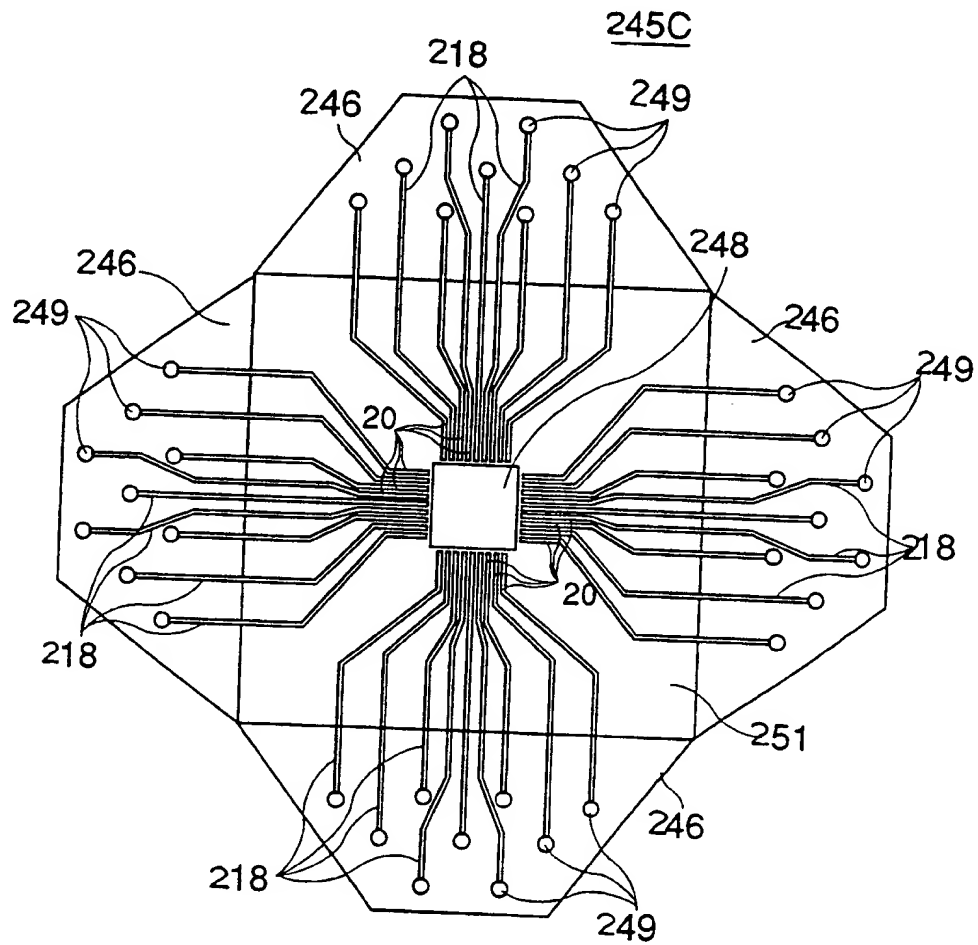




1  
2  
3  
4

5  
6  
7  
8

☒ 105

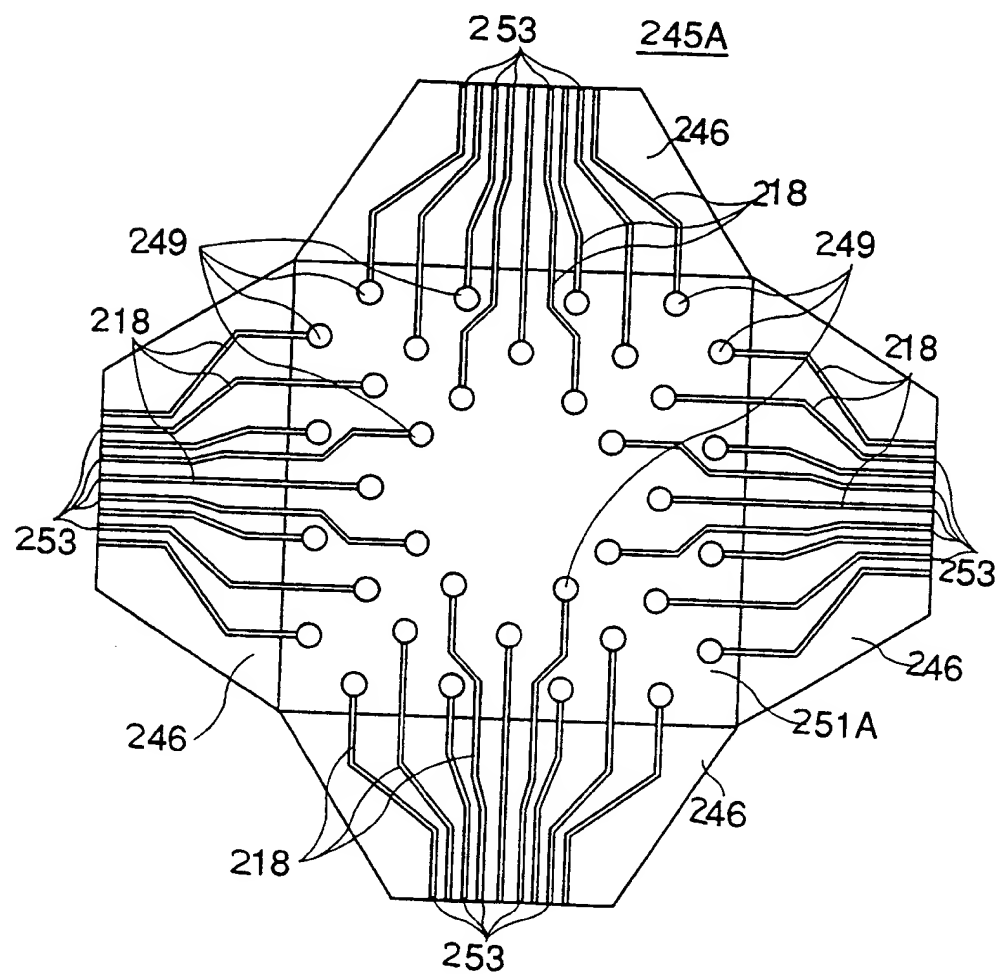




1  
2  
3  
4

5  
6  
7  
8

図 106

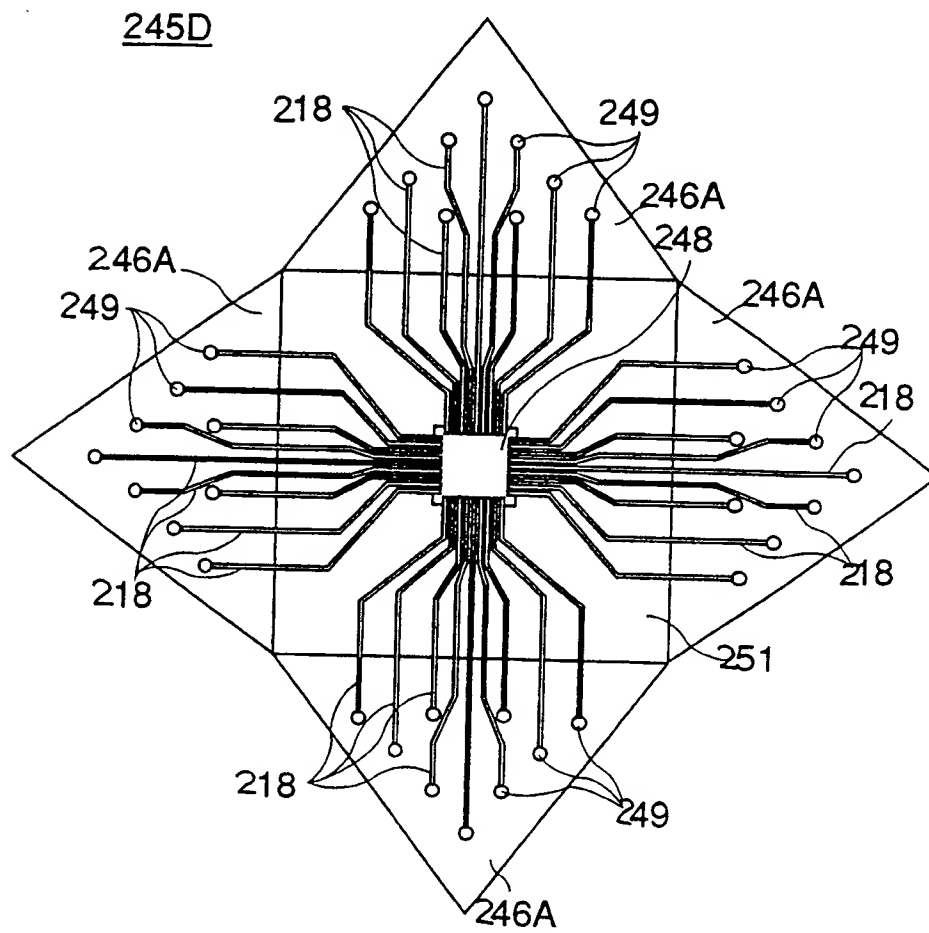




•  
•  
•  
•

•  
•  
•  
•

FIG. 107





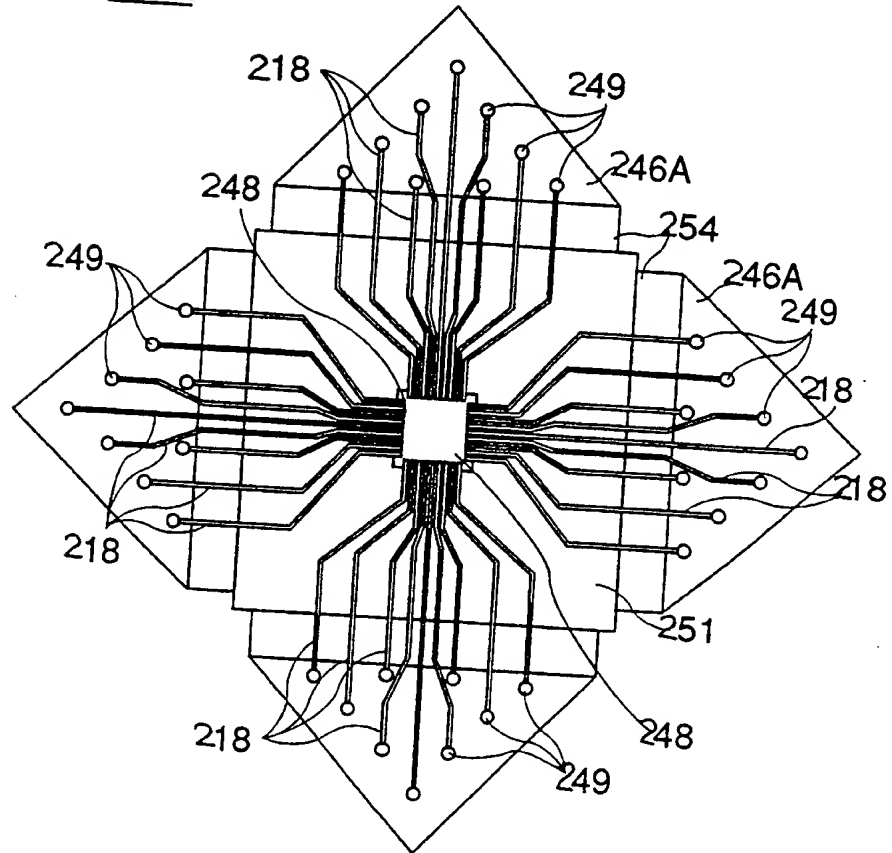
1  
2  
3  
4

5  
6  
7  
8



図 108

245E

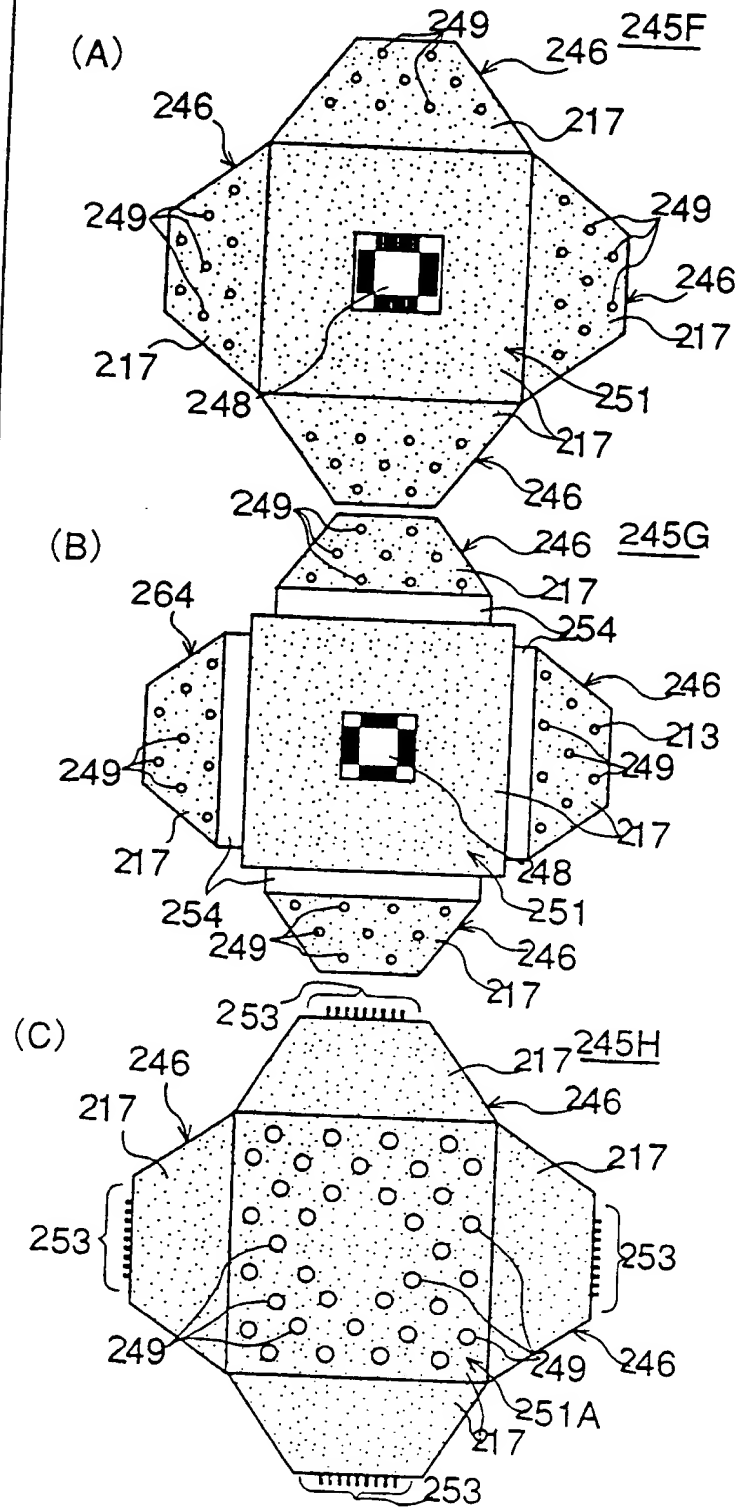




•  
•  
•  
•

•  
•  
•  
•

図 109



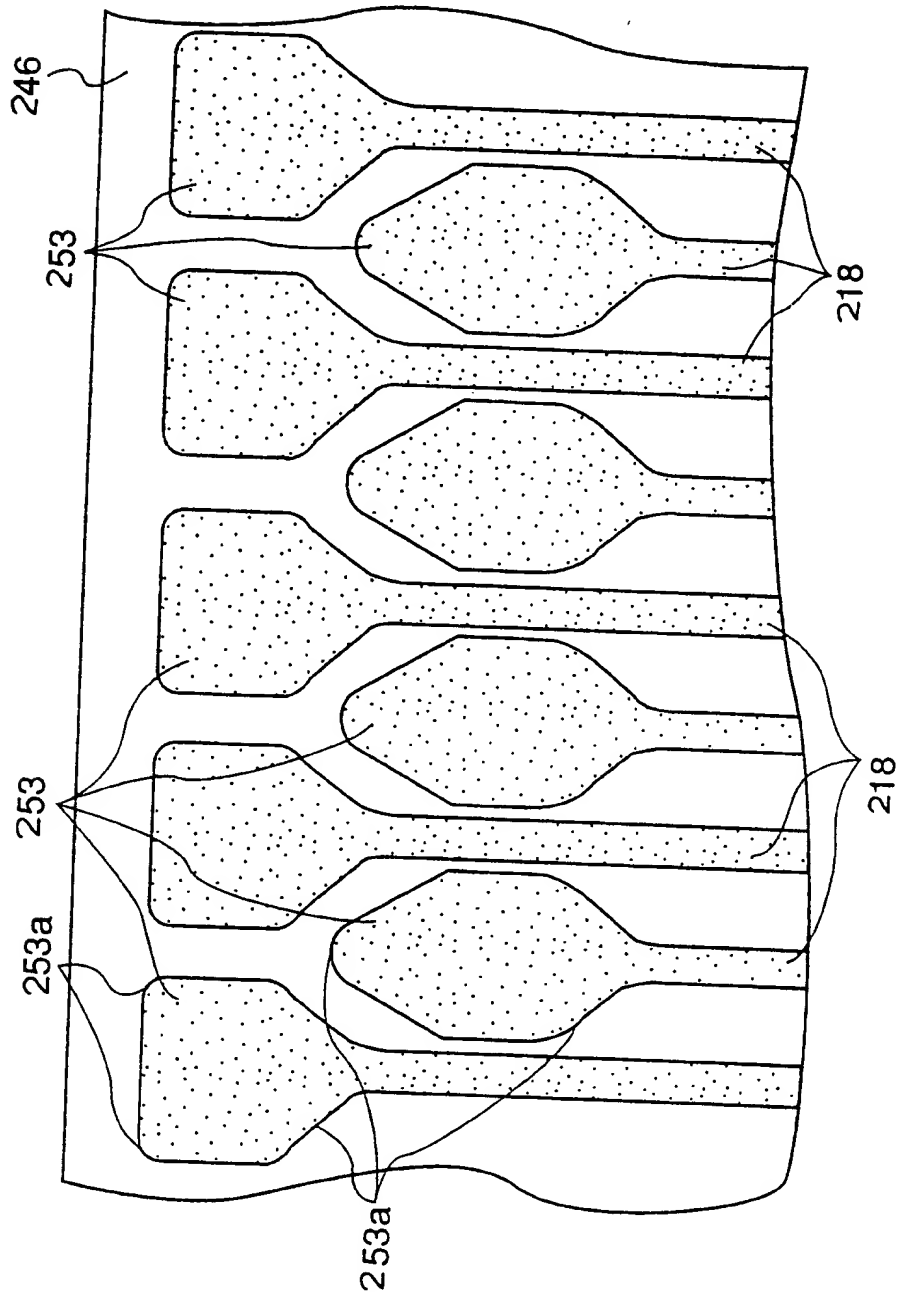


•  
•  
•  
•

•  
•  
•  
•

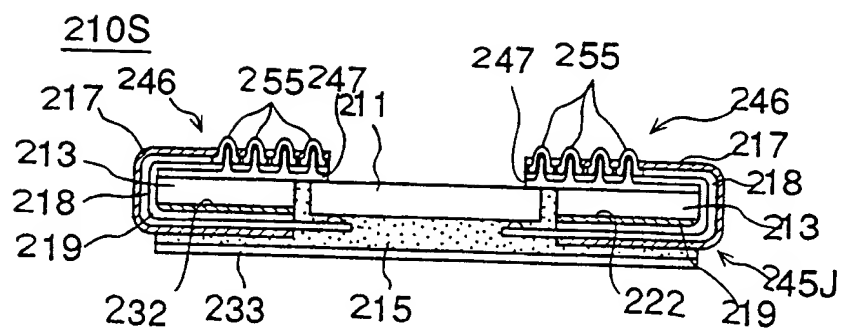
図 110

245I





111







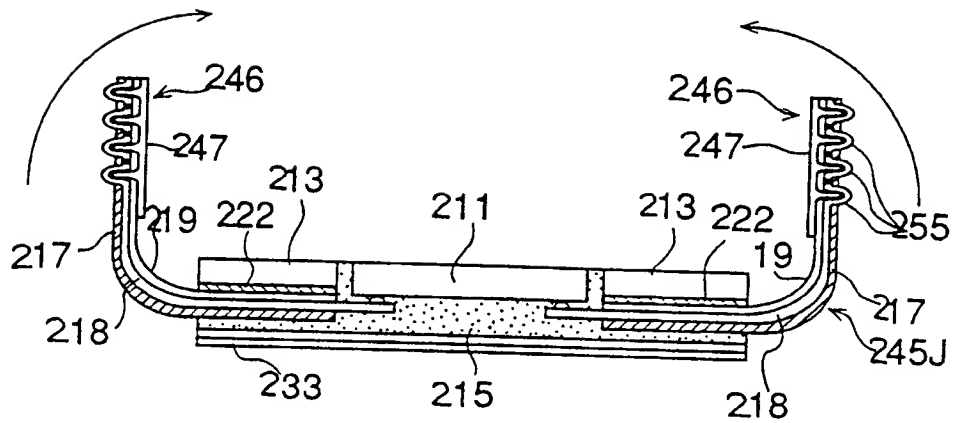




•  
•  
•  
•

•  
•  
•  
•

図 113

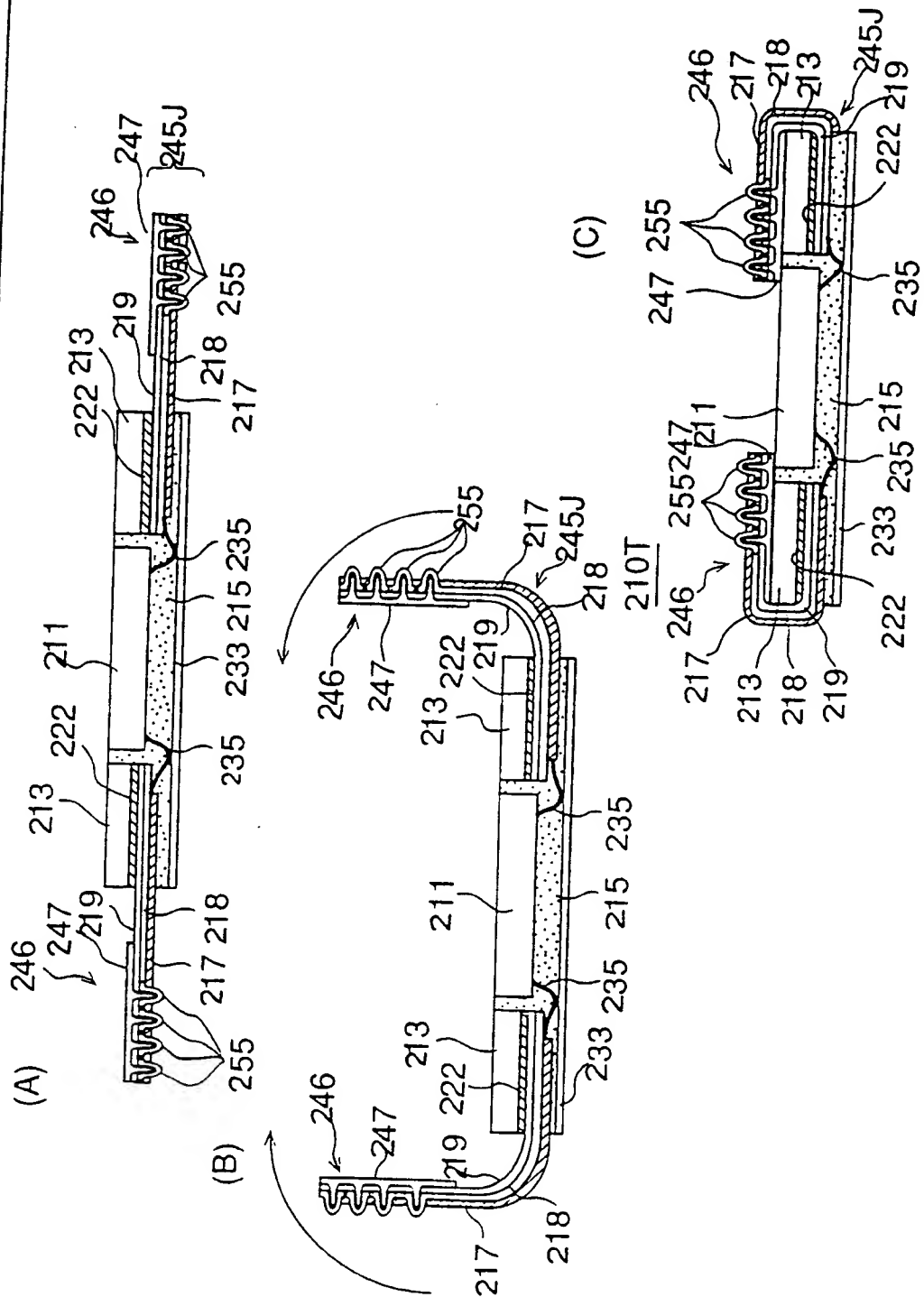




•  
•  
•  
•

•  
•  
•  
•

114

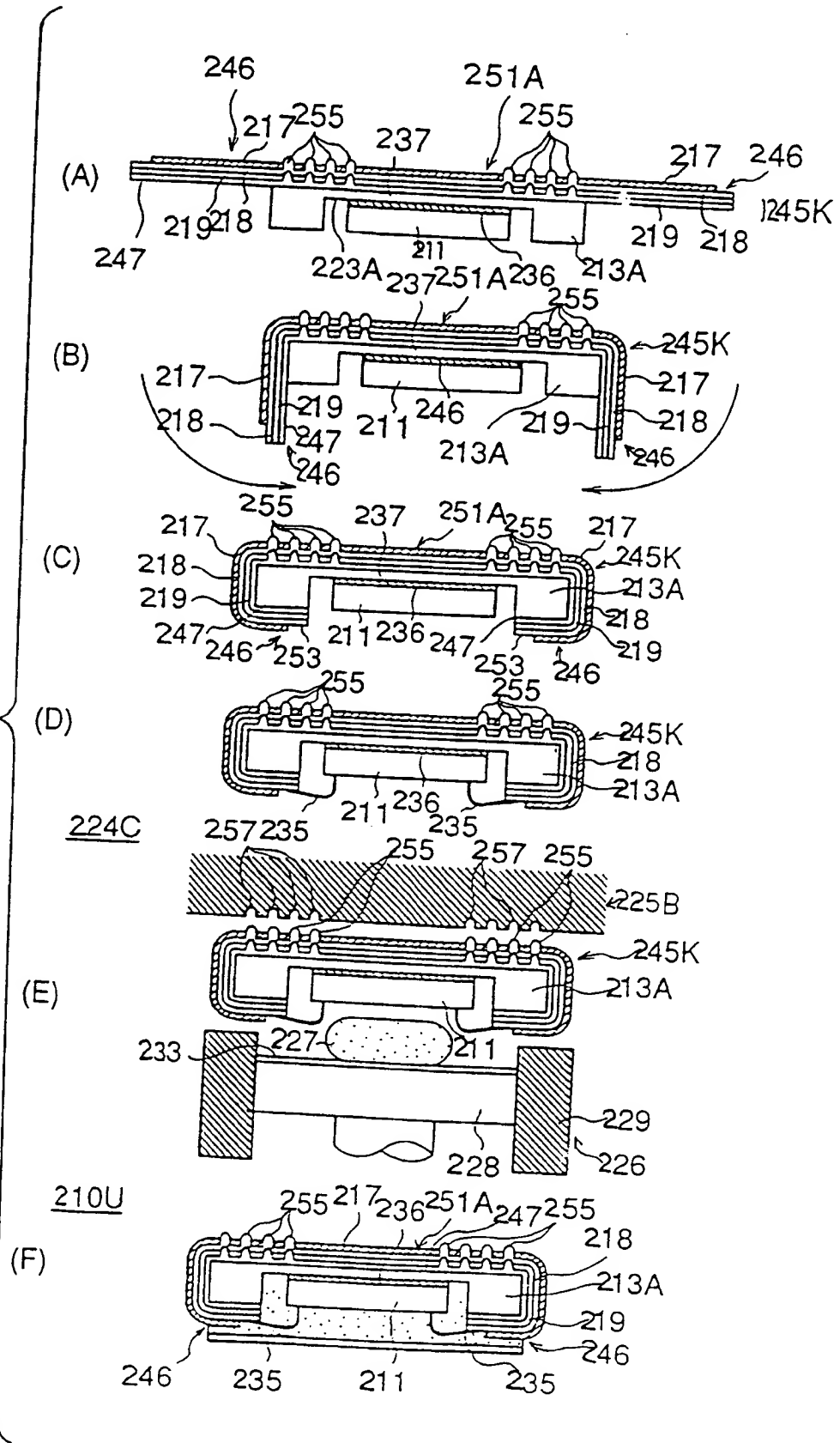




•  
•  
•  
•

•  
•  
•  
•

図 115



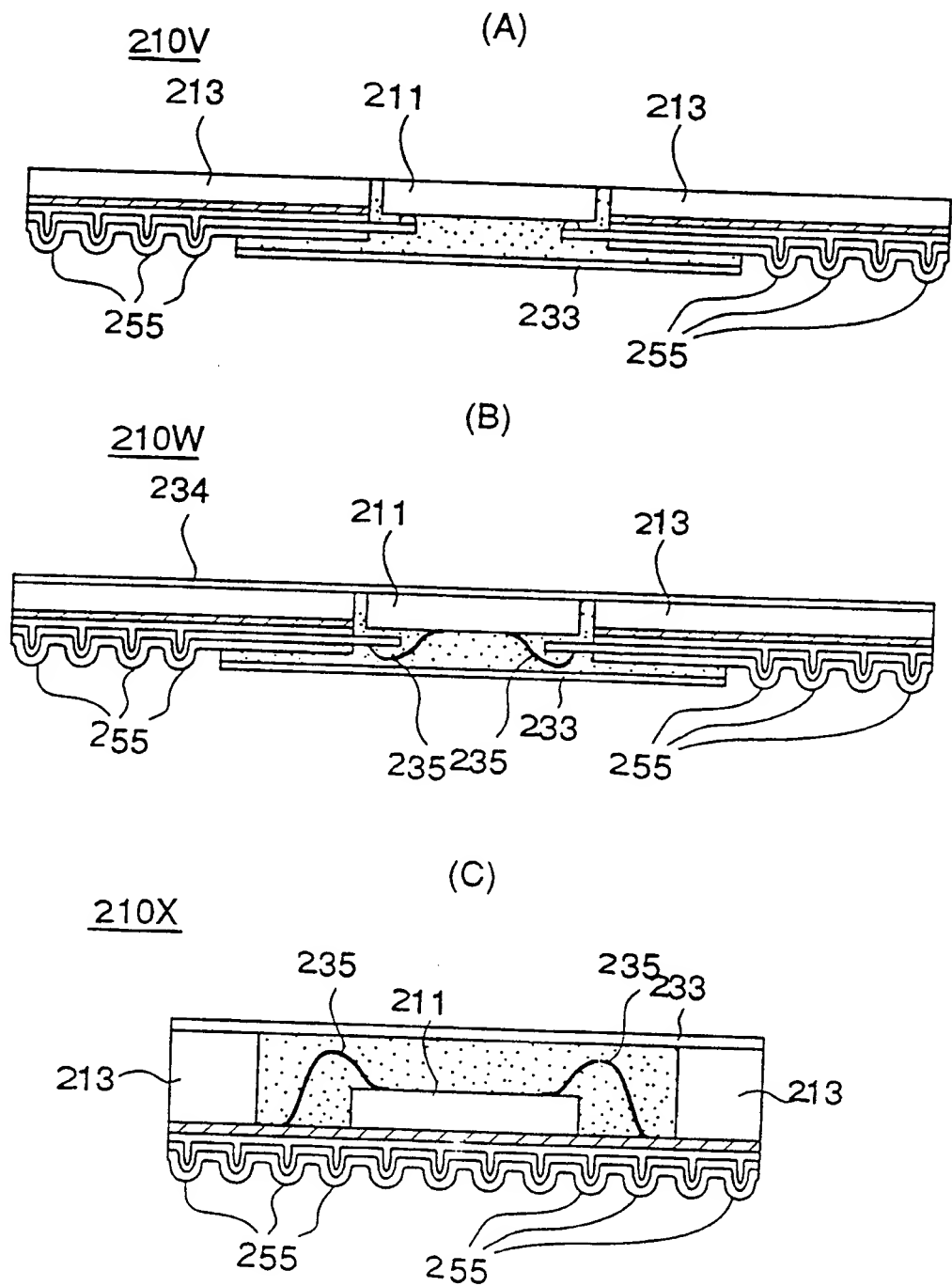


•  
•  
•  
•

•  
•  
•  
•



図 116

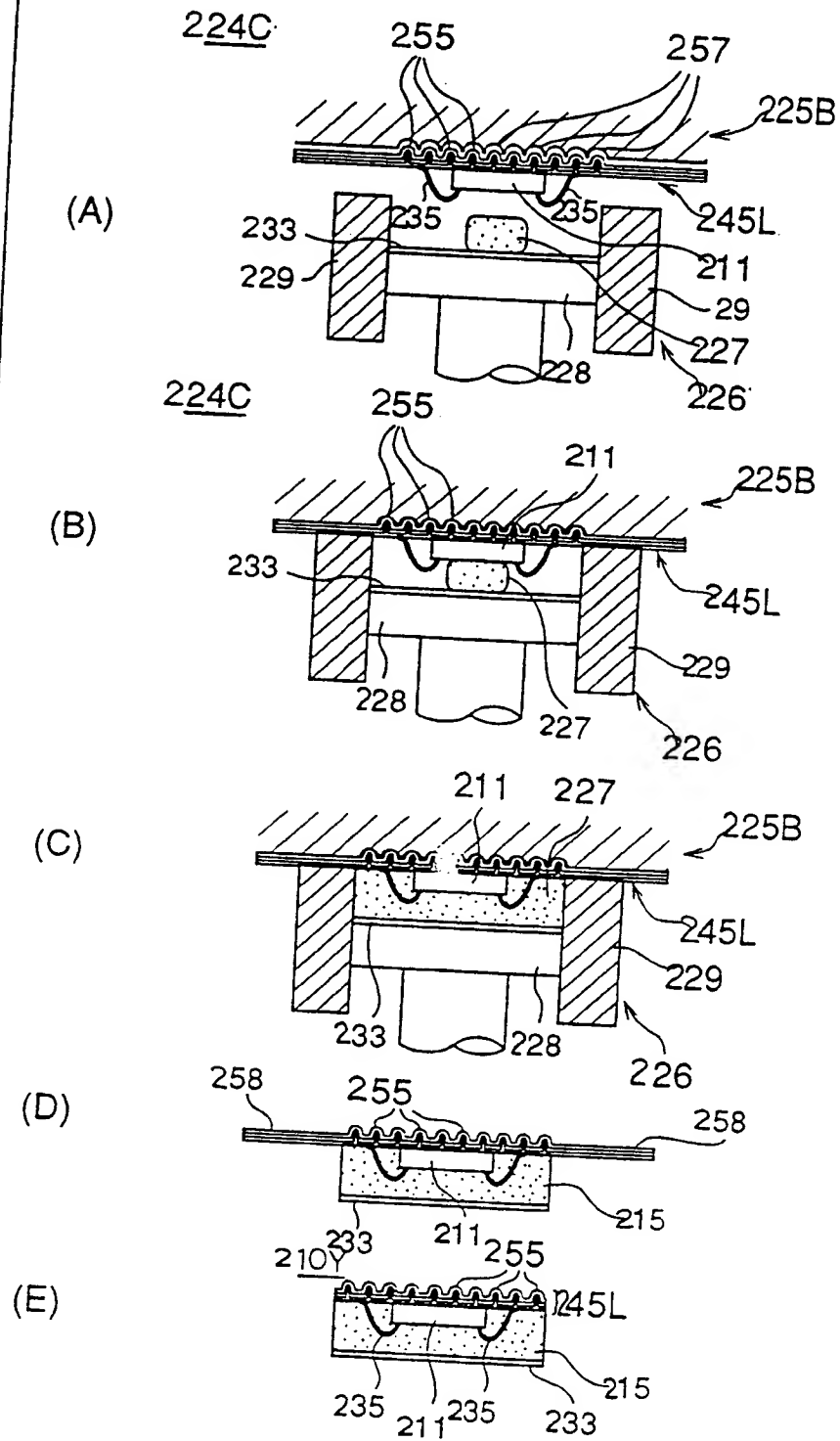




•  
•  
•  
•

•  
•  
•  
•

117

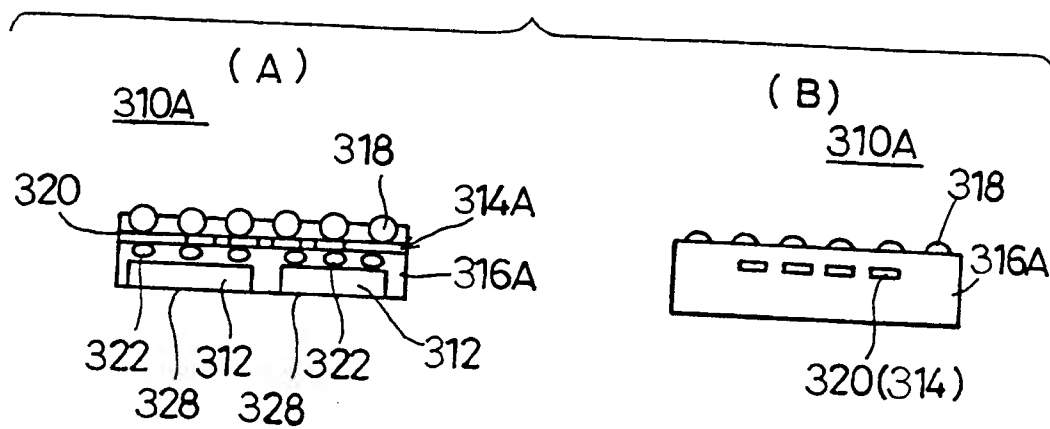




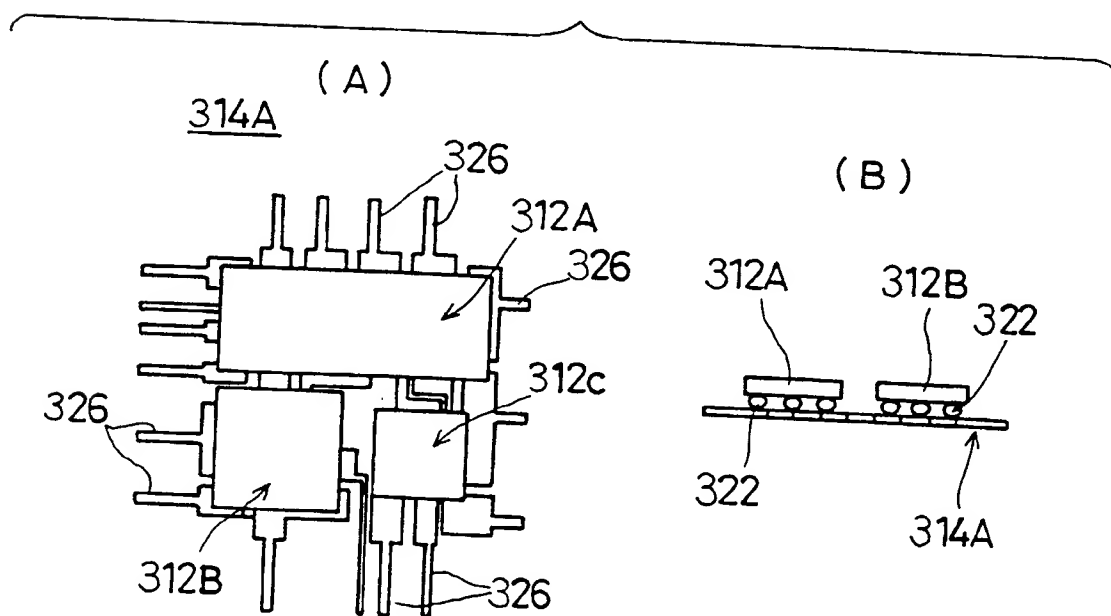
•  
•  
•  
•

•  
•  
•  
•

118



120

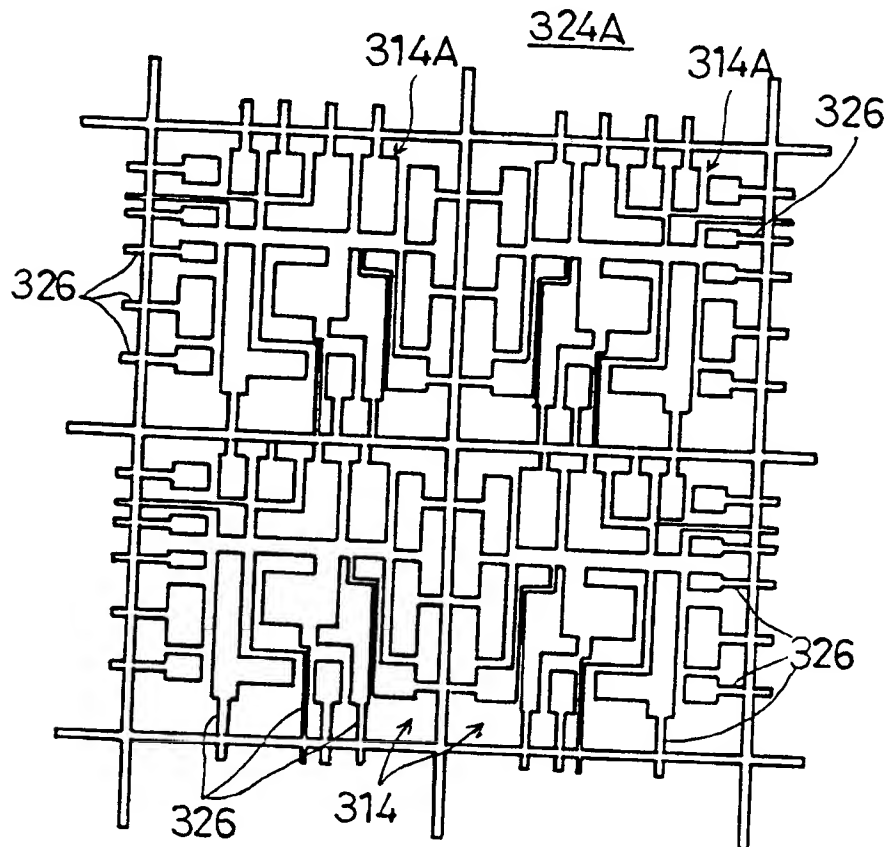




•  
•  
-  
•

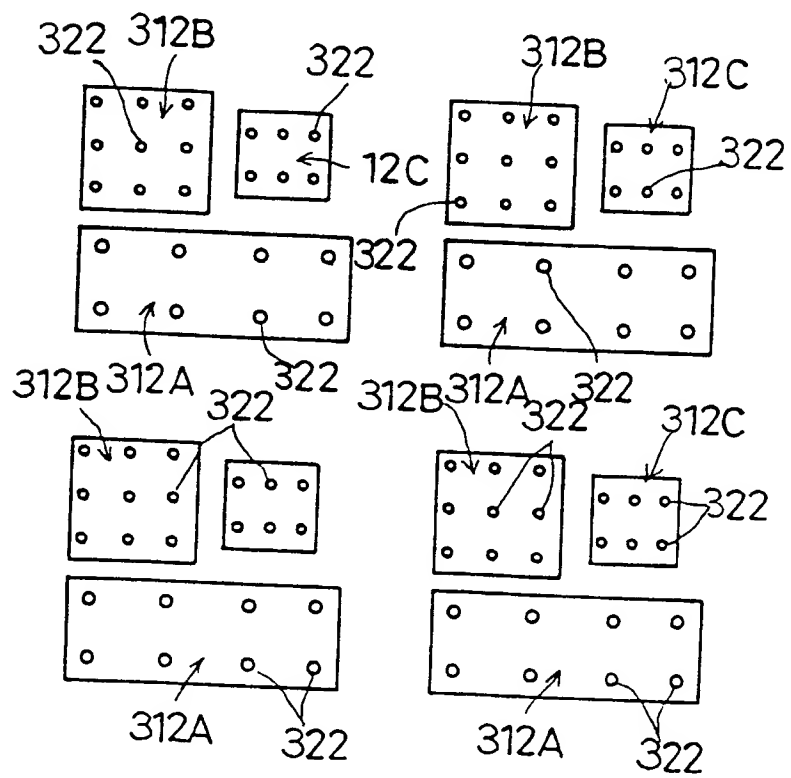
•  
•  
•  
•

(A)



119

(B)





•  
•  
•  
•

•  
•  
•  
•



図 121

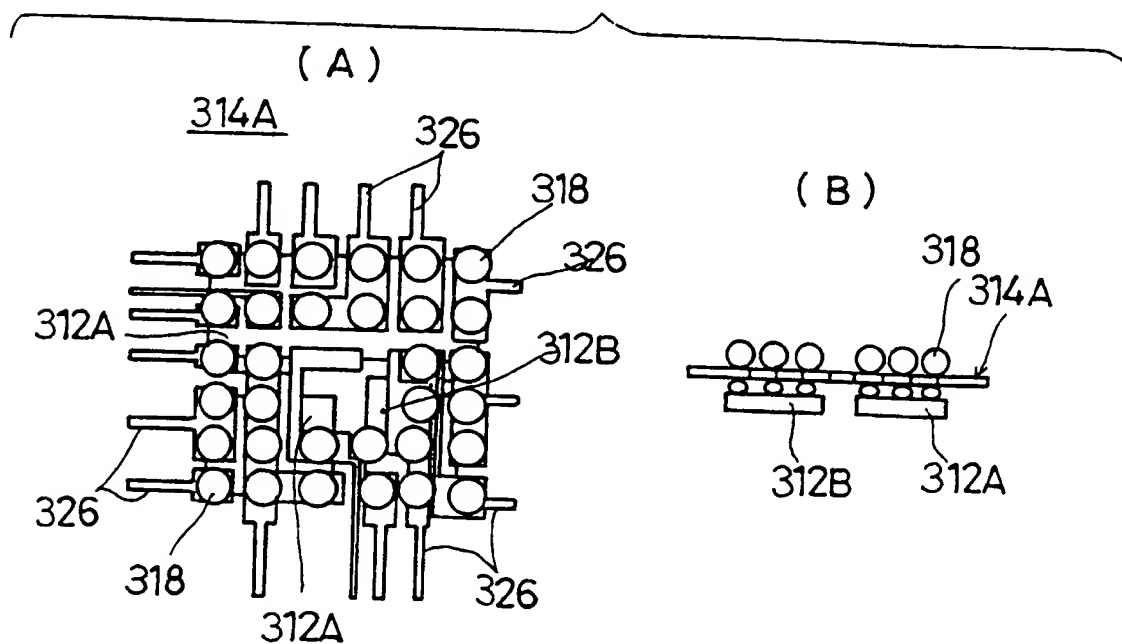
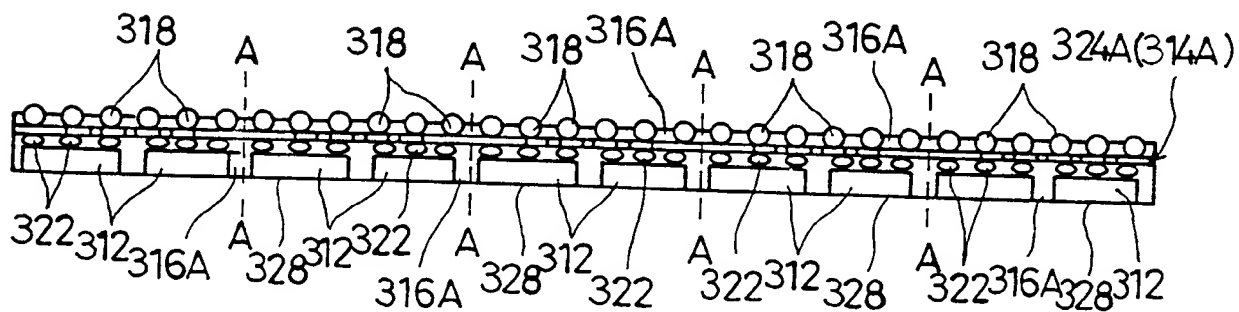
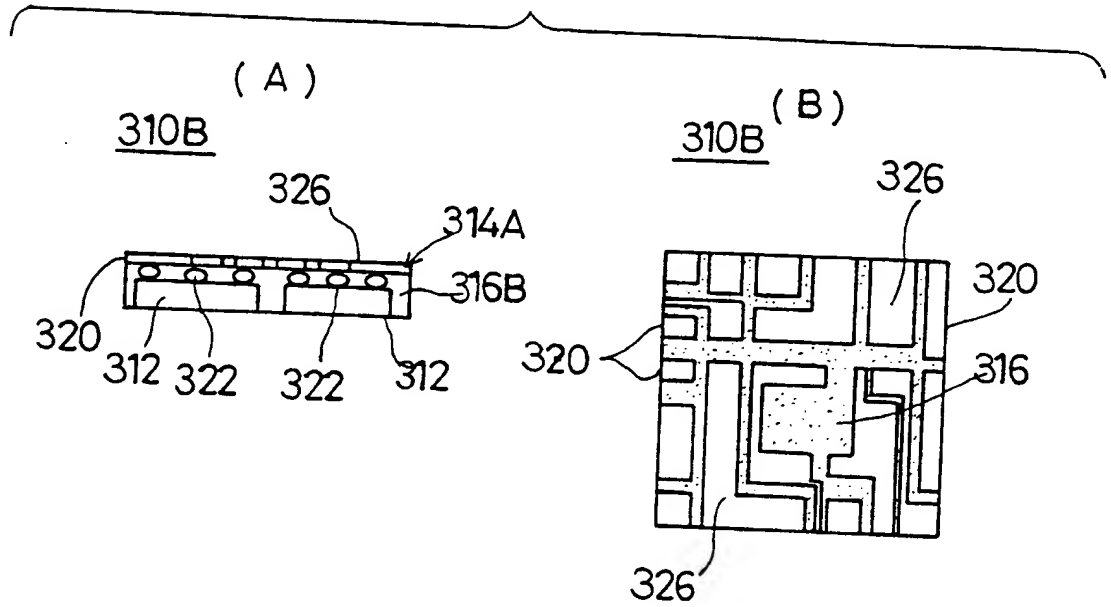


図 122

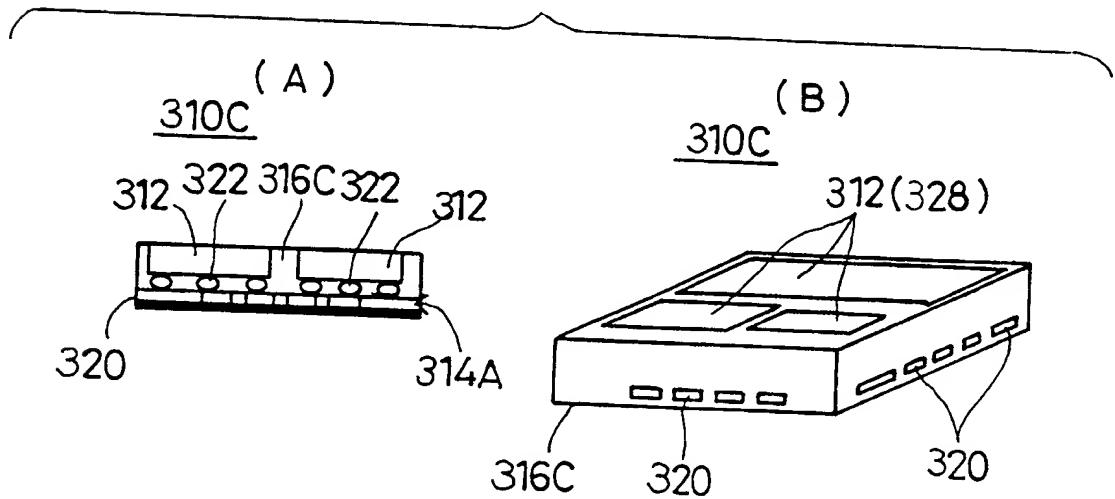




123



124





1  
2  
3  
4

5  
6  
7

図 125

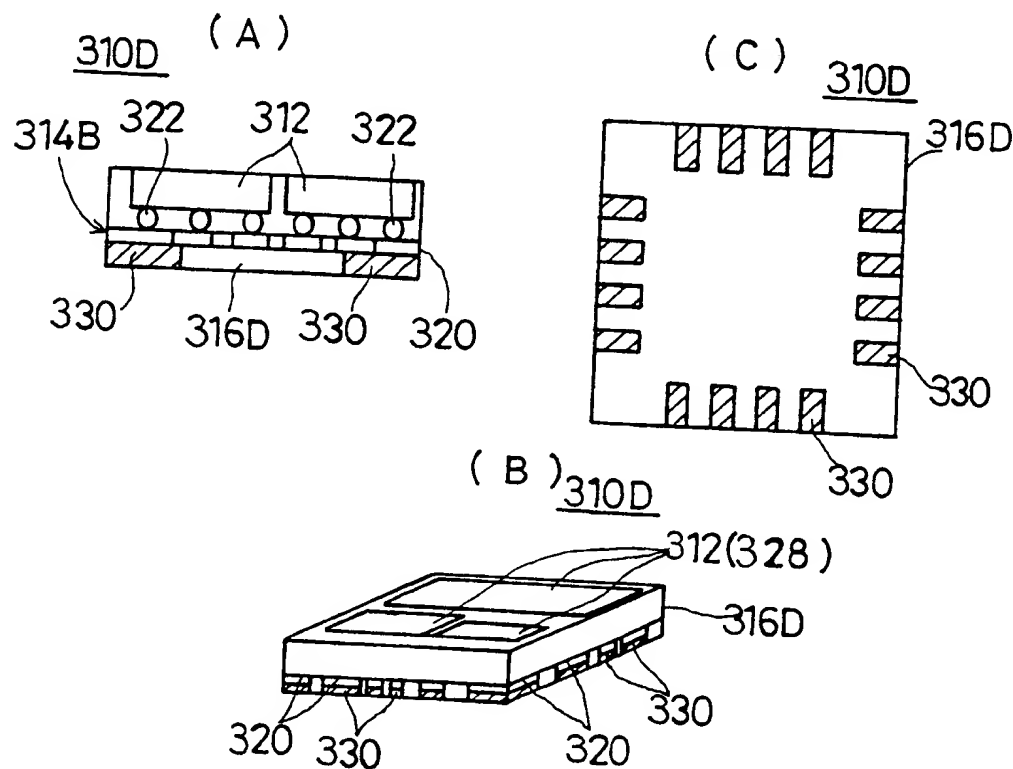
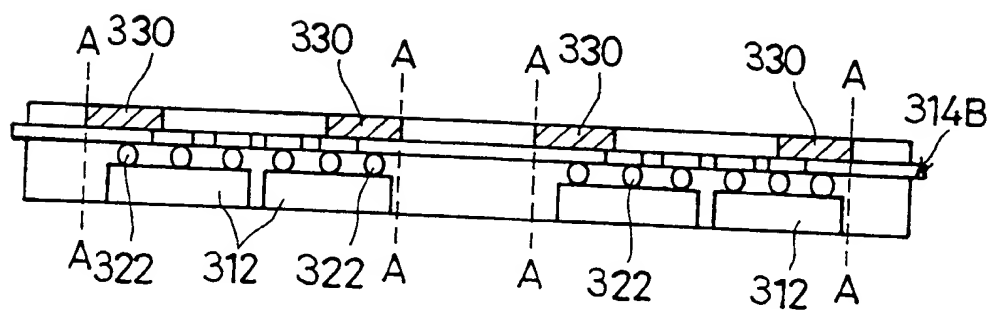


図 127





•  
•  
•  
•

•  
•  
•

図 126

324B

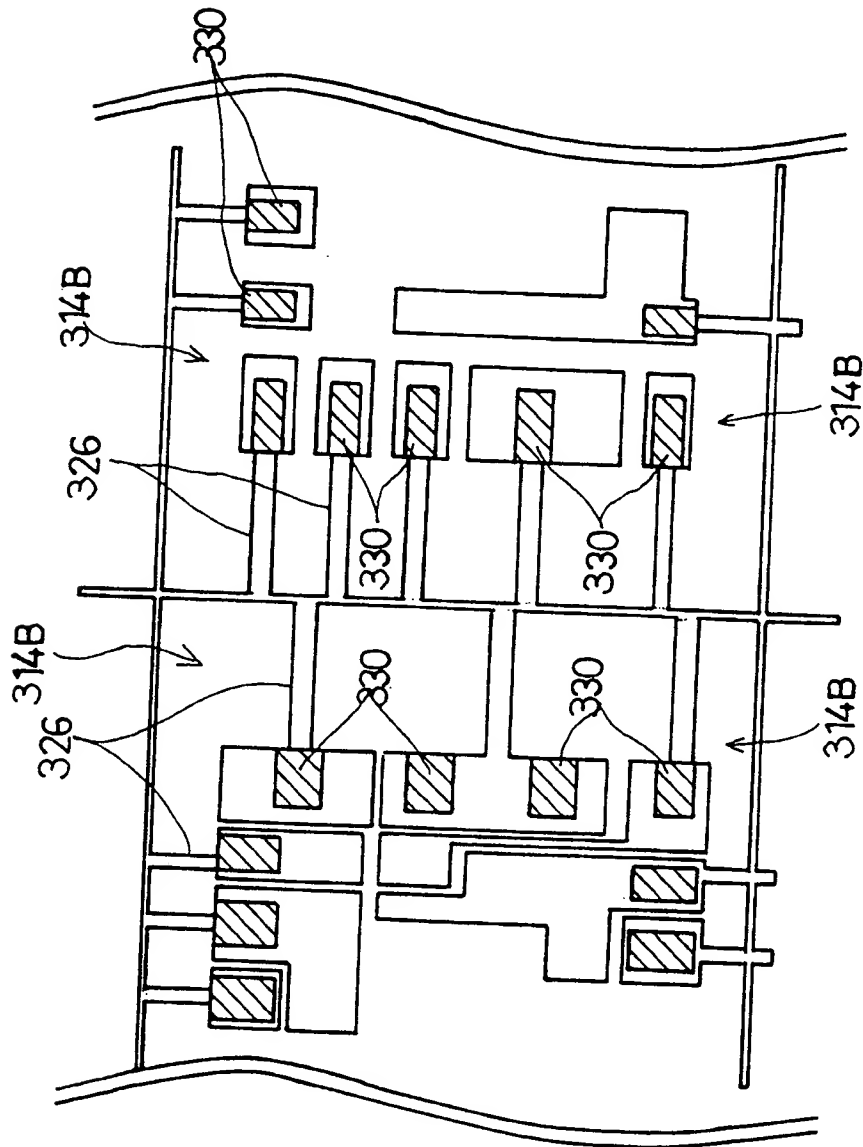






図 128

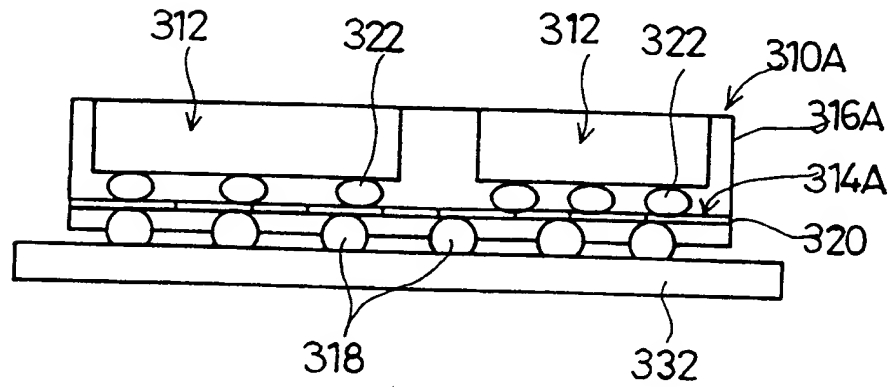


図 129

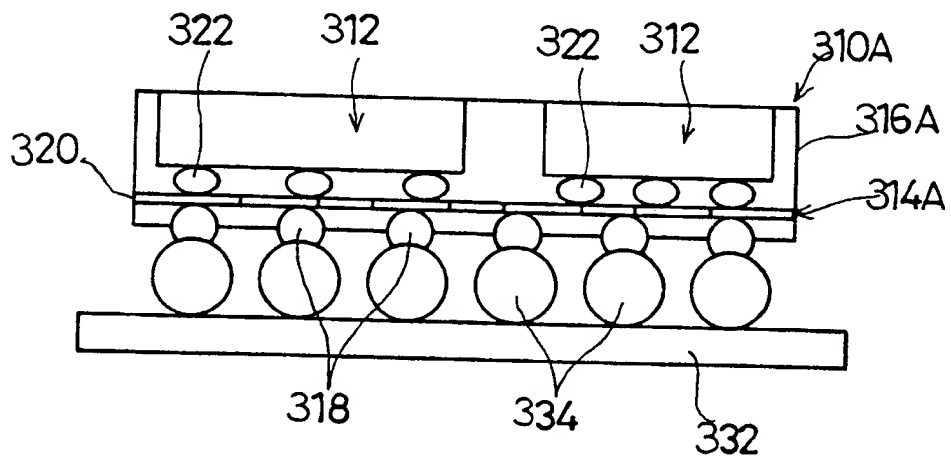




図 130

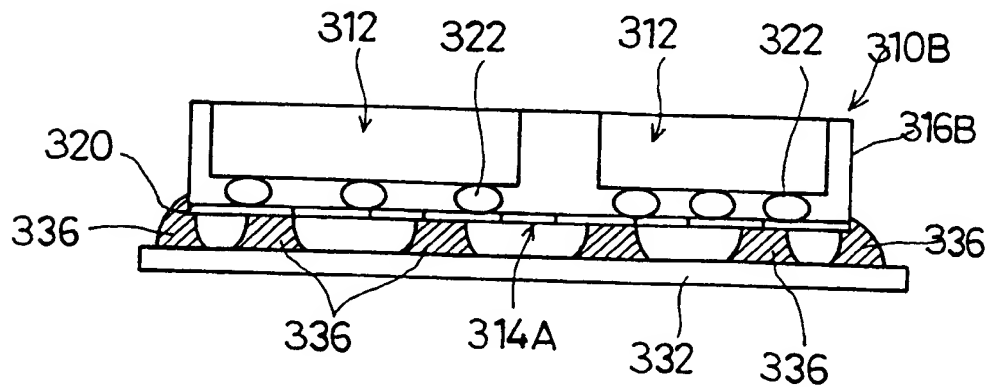
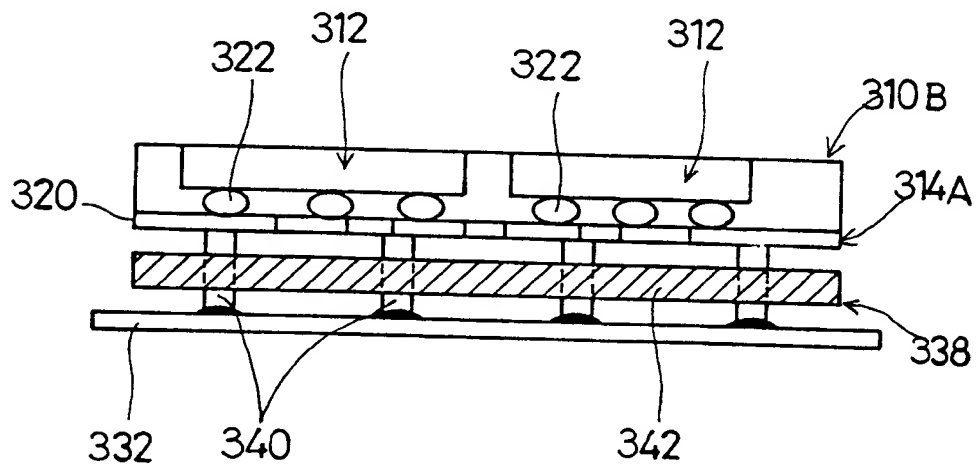
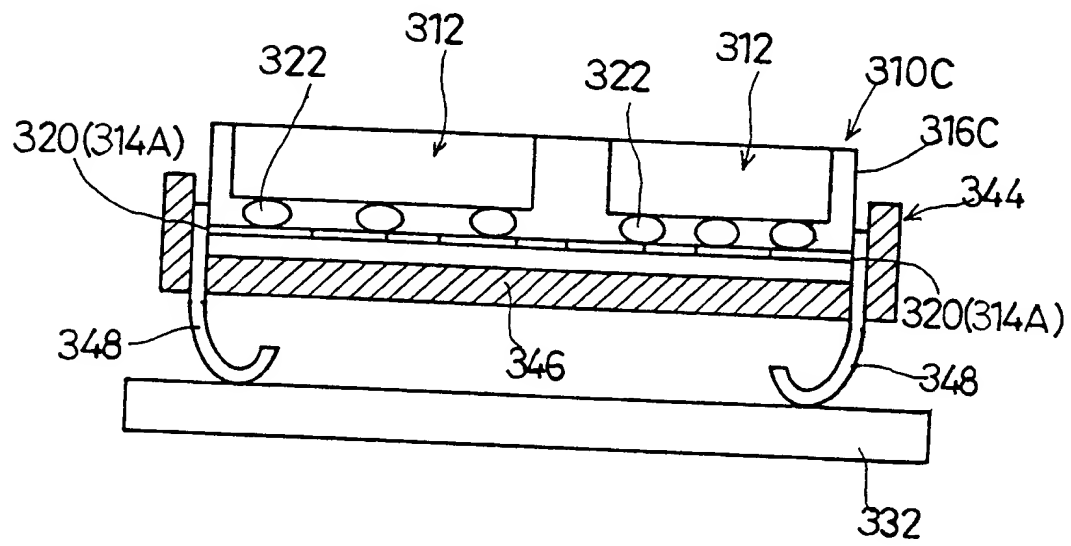


図 131





☒ 132



☒ 133

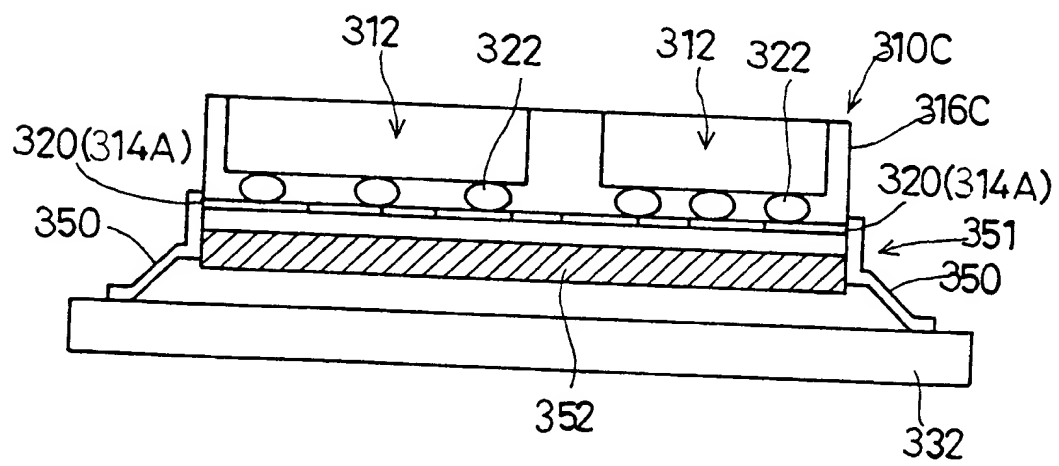




図 134

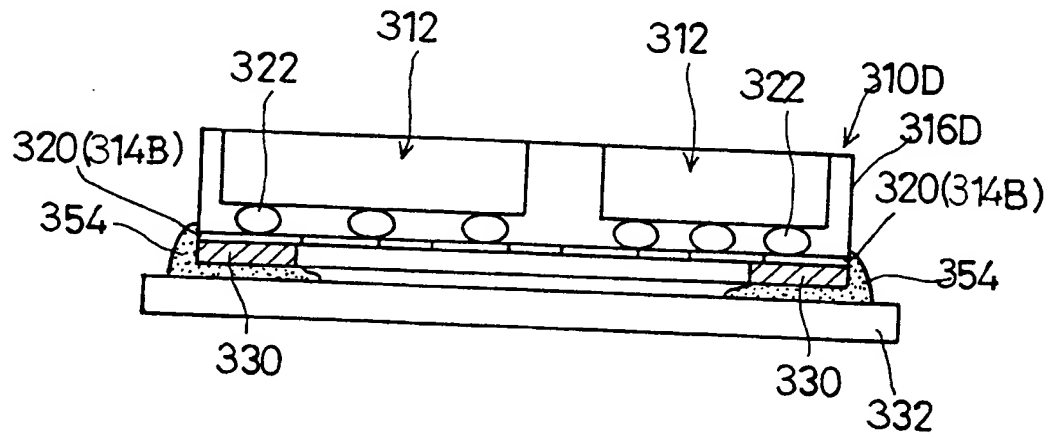


図 135

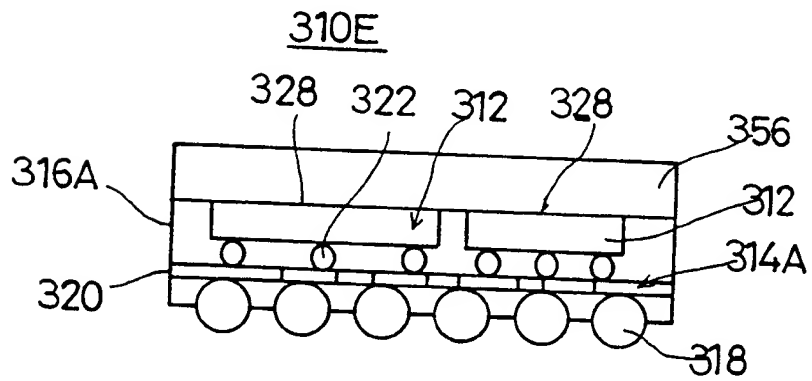






図 136

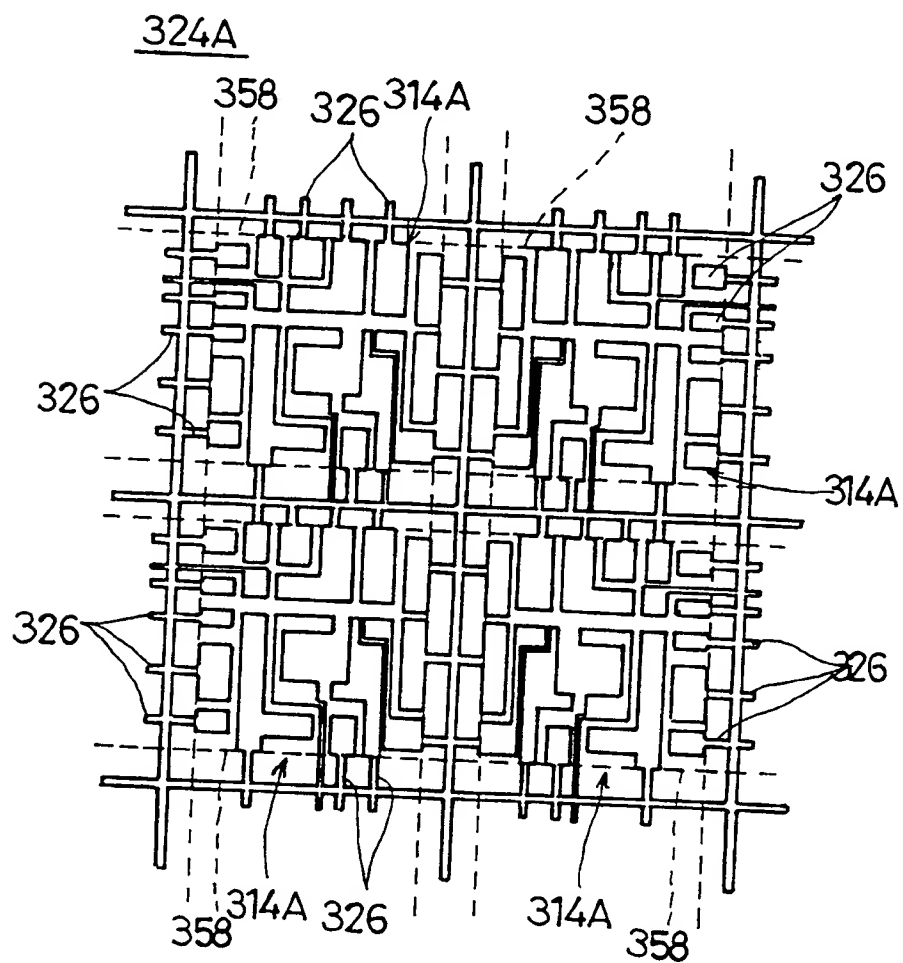




図 137

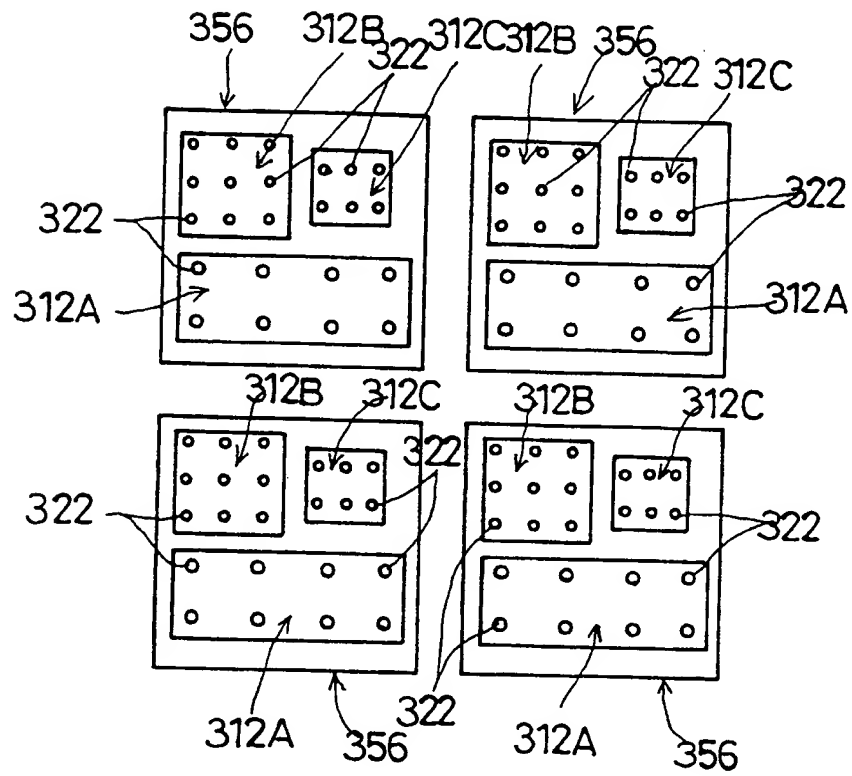
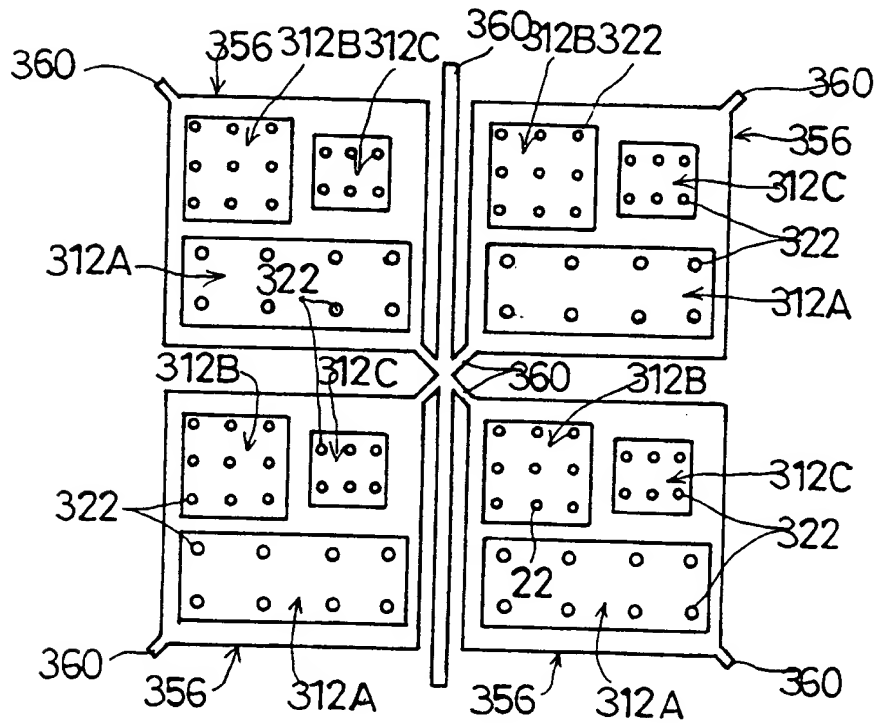
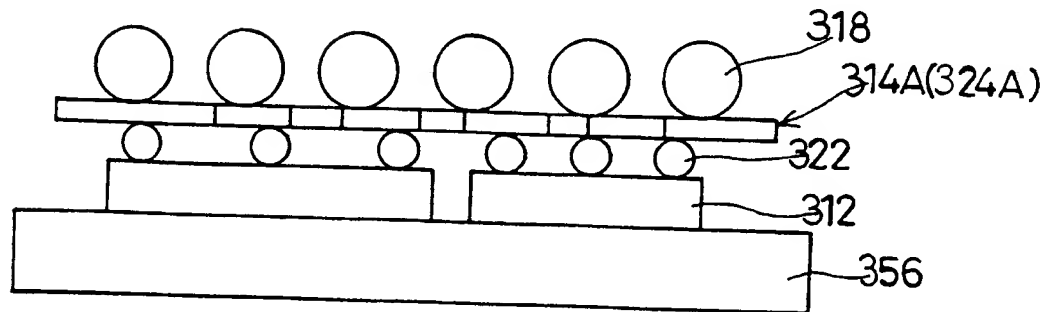


図 138

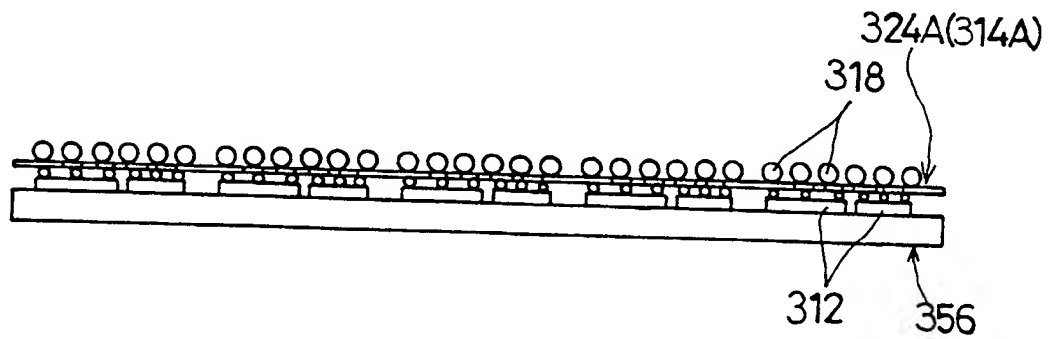




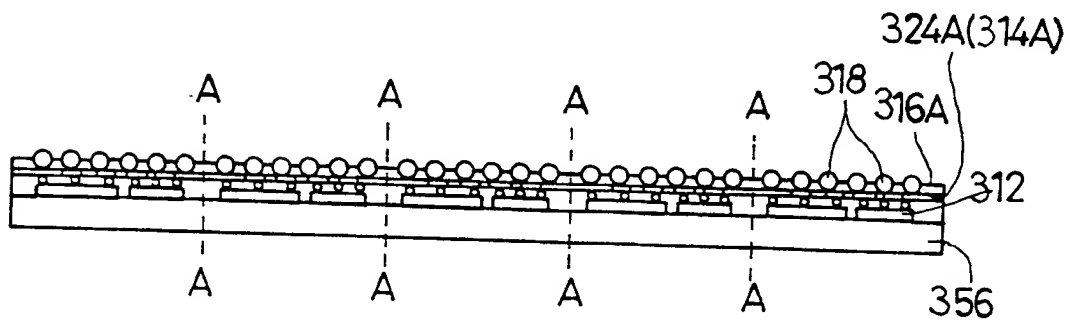
139



140



141





142

310F

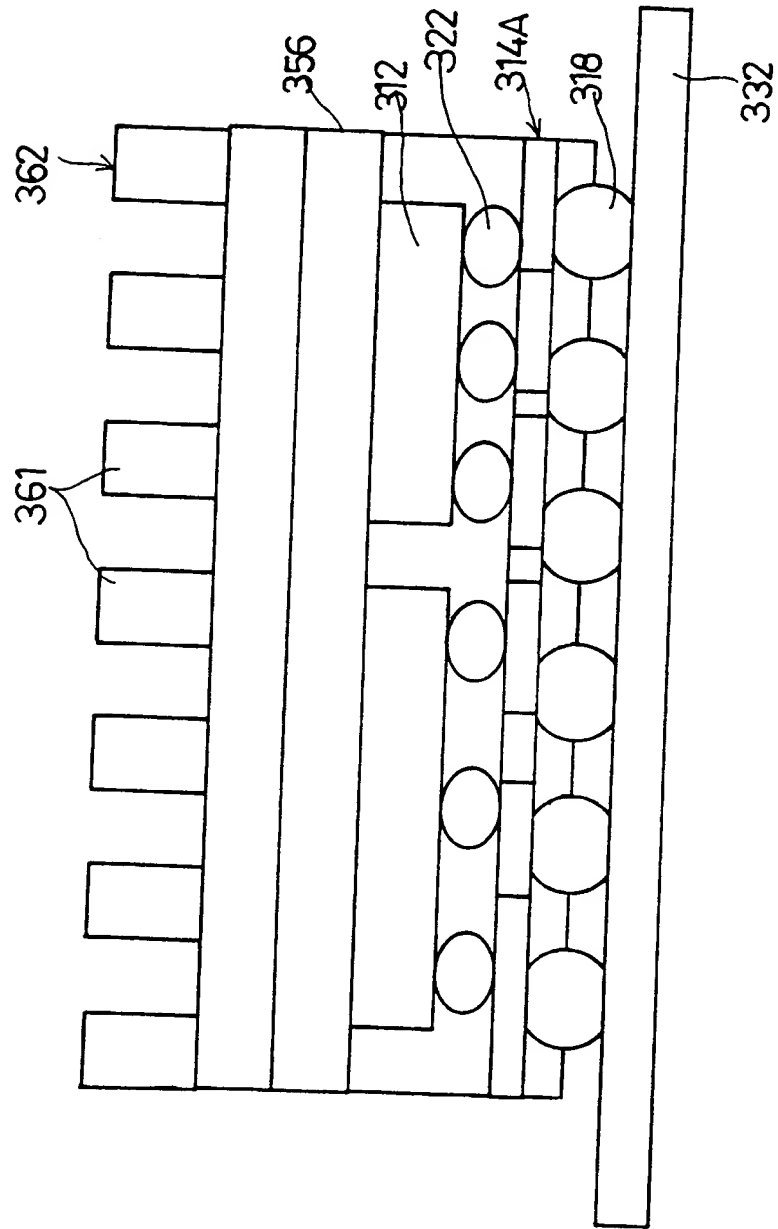






図 143

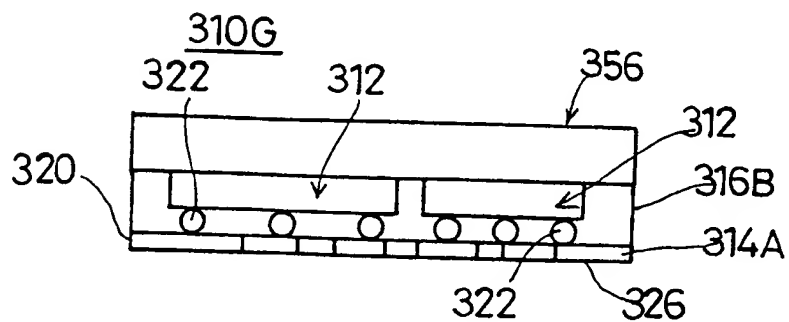


図 144

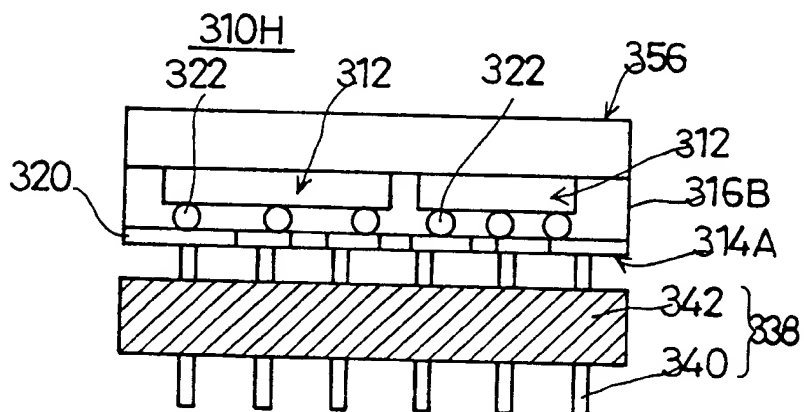


図 145

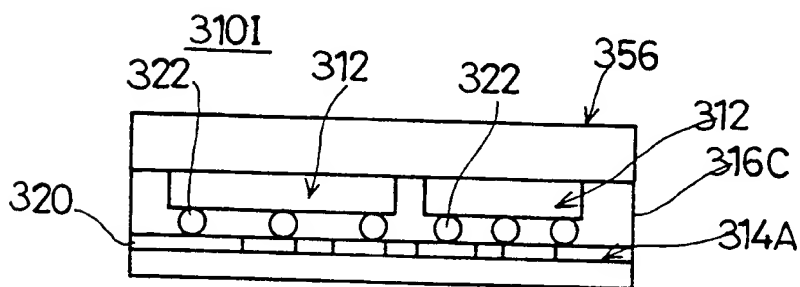




図 146

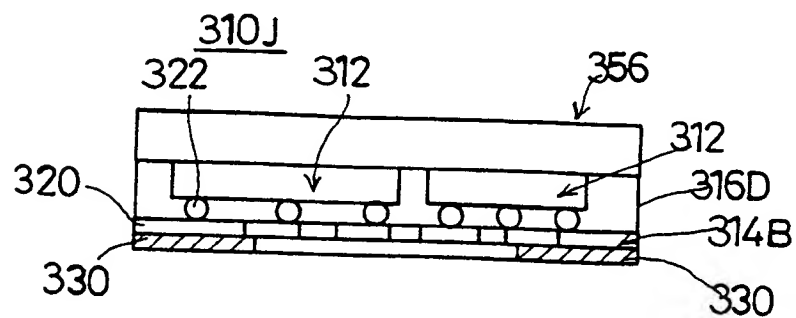


図 147

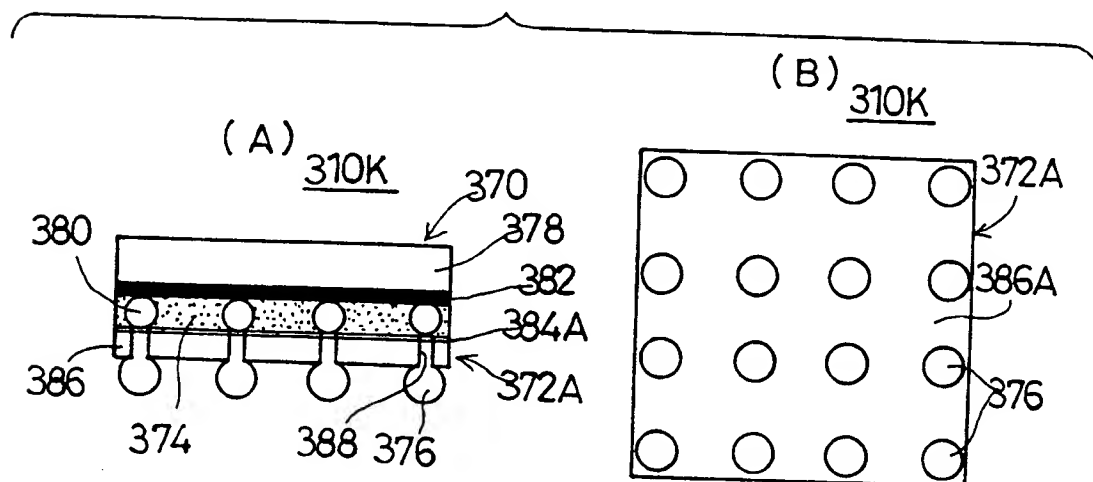
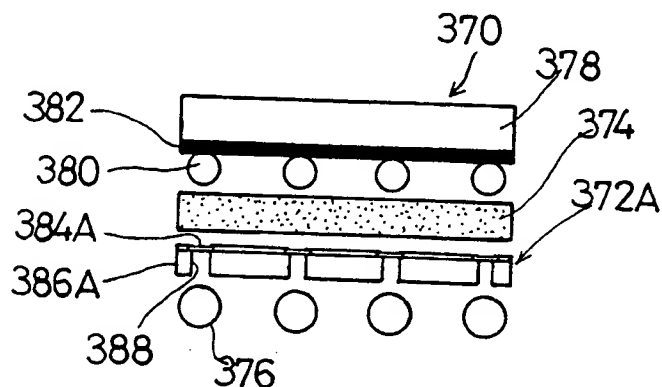


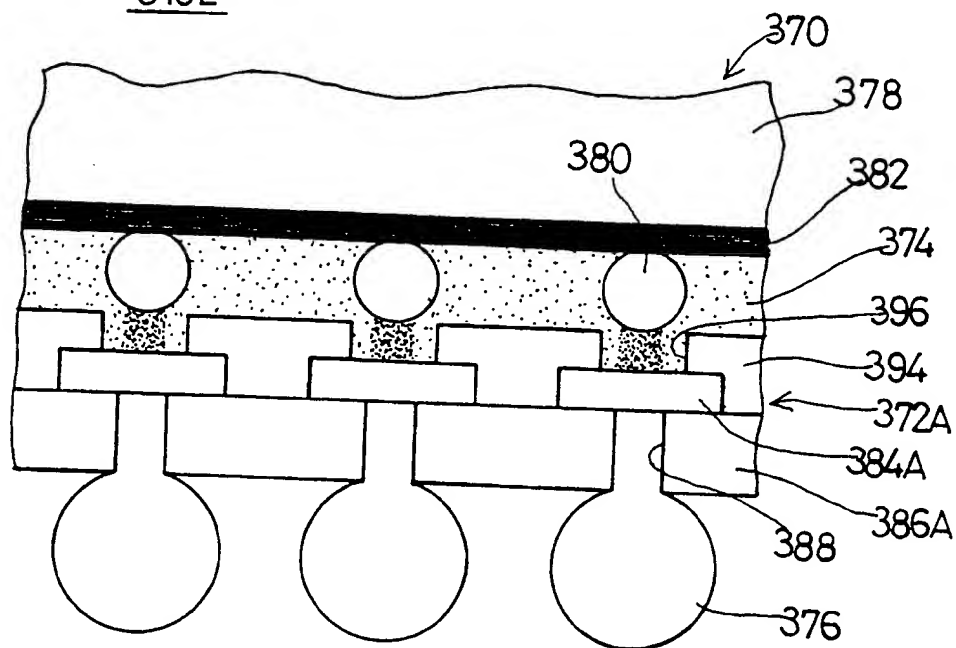
図 148





149

310L



150

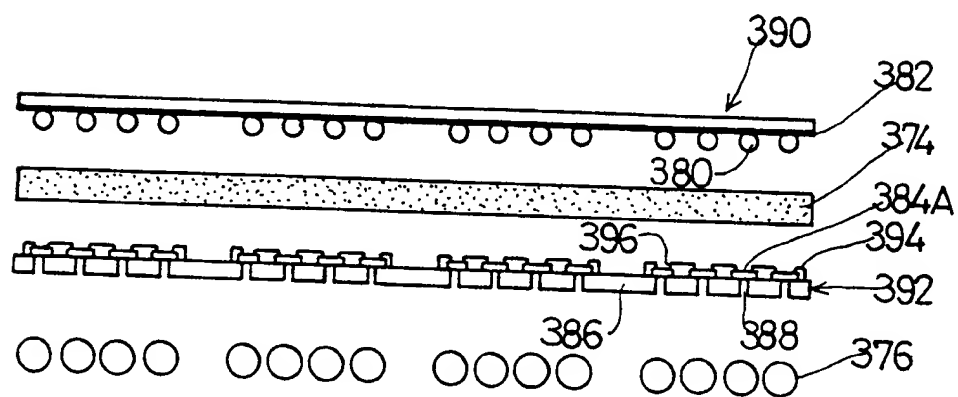




図 151

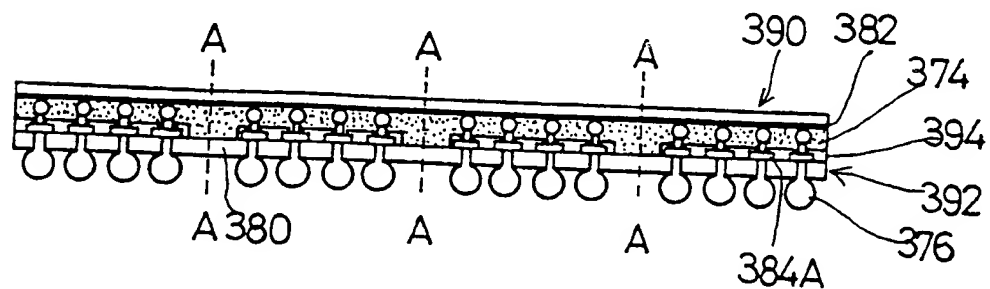
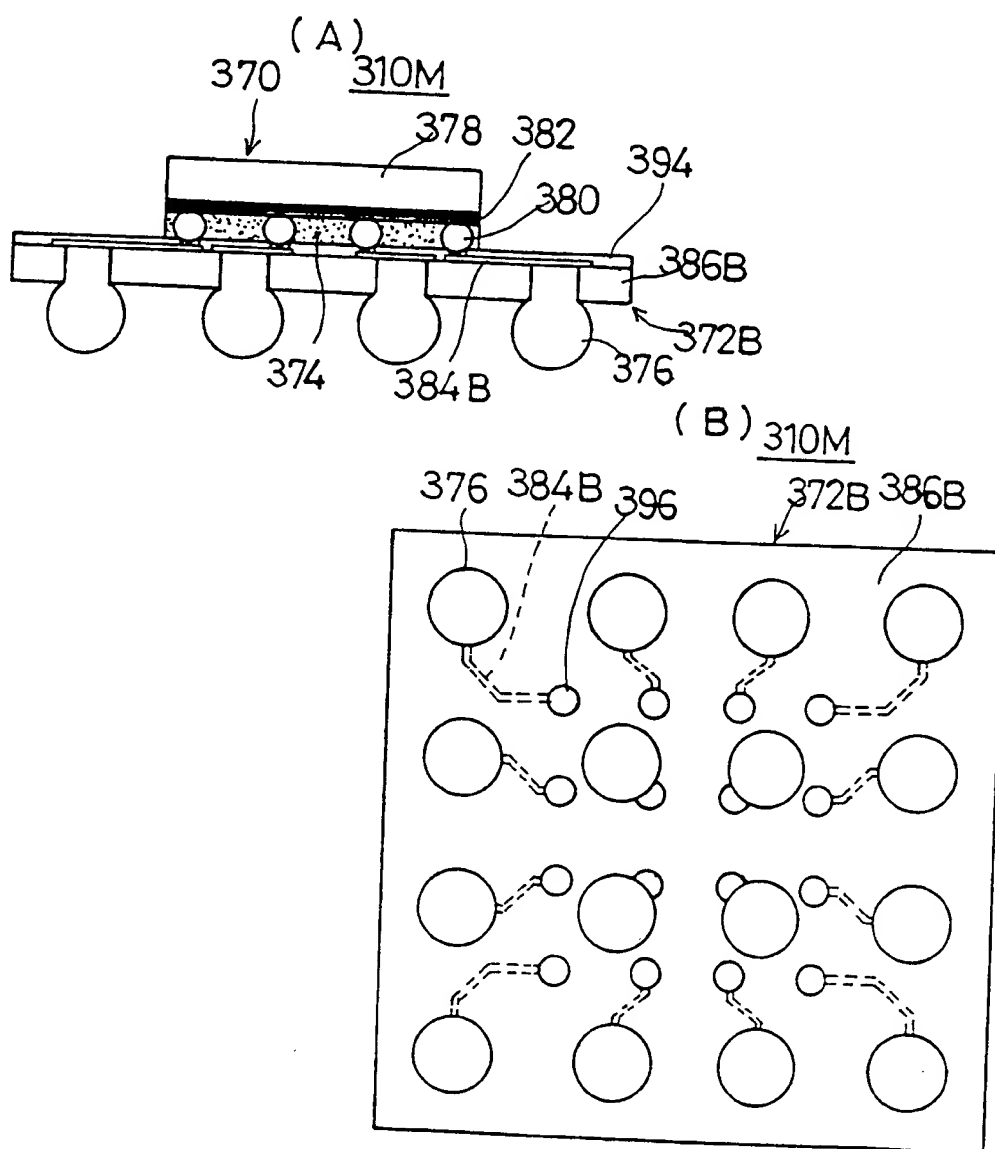


図 152



122/131





図 153

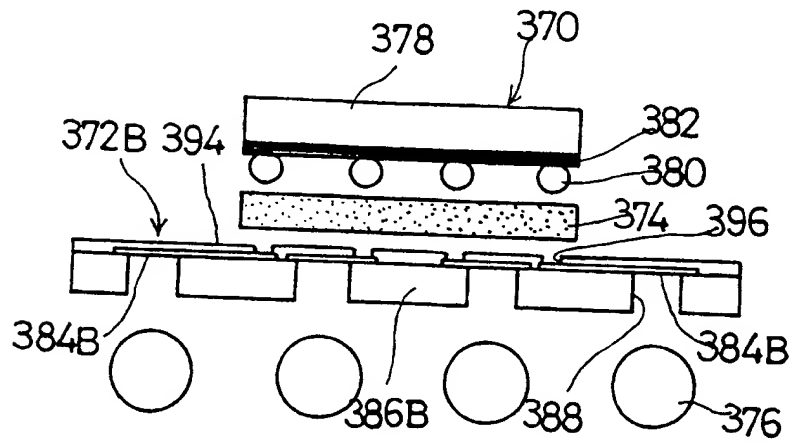


図 154

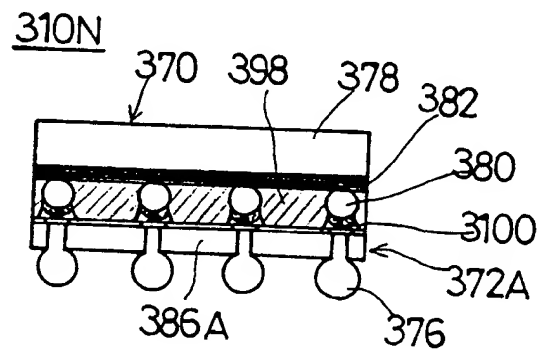
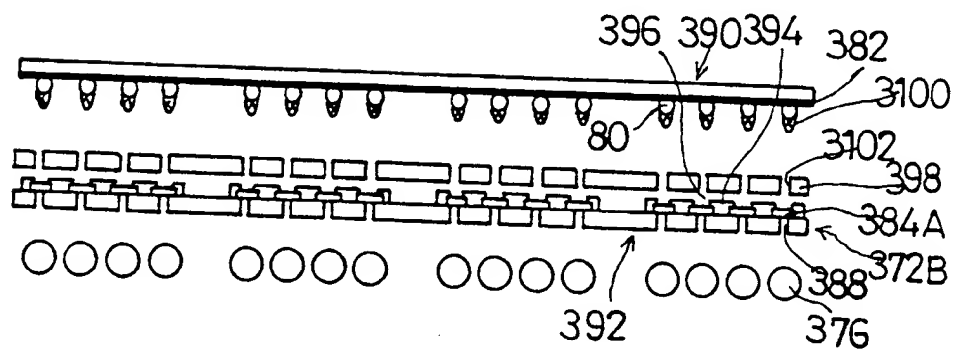
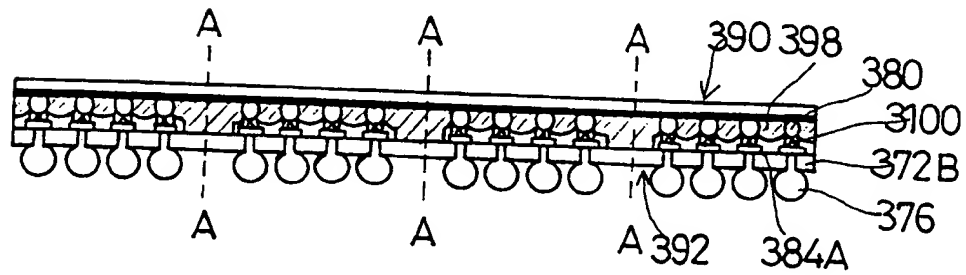


図 155

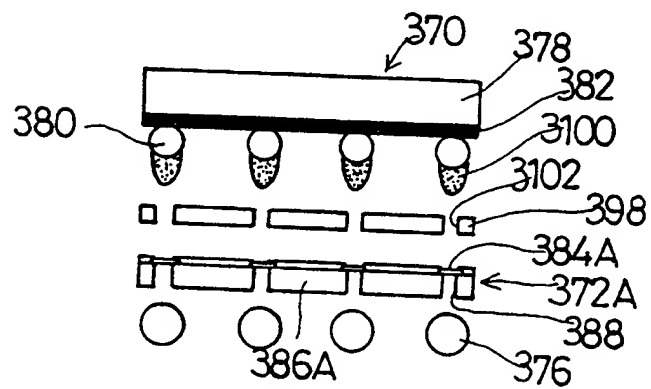




156



157



158

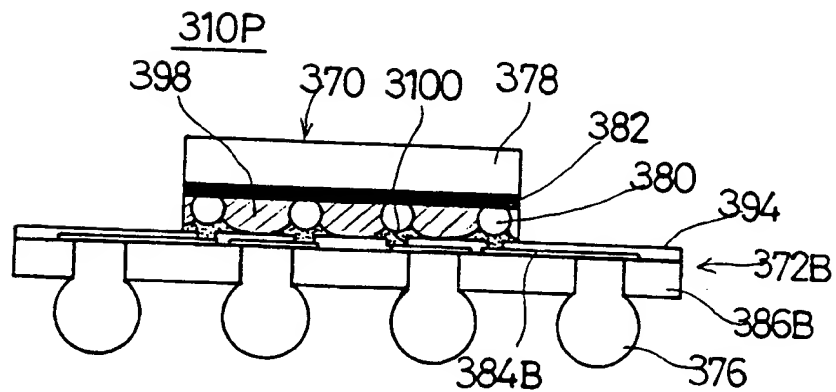




図 159

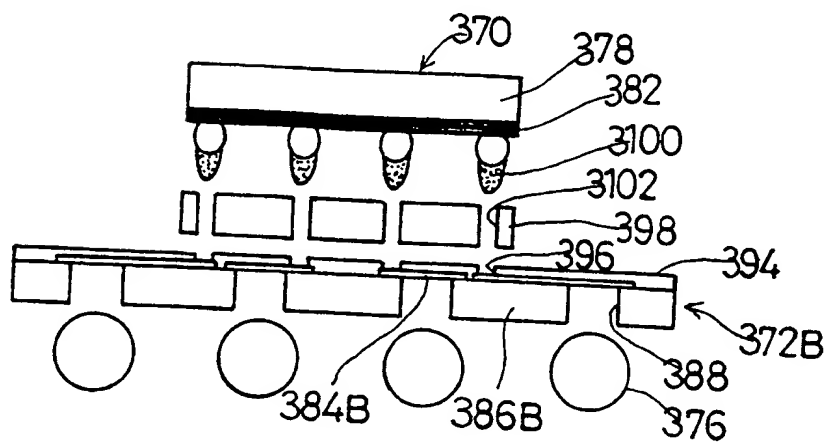


図 160

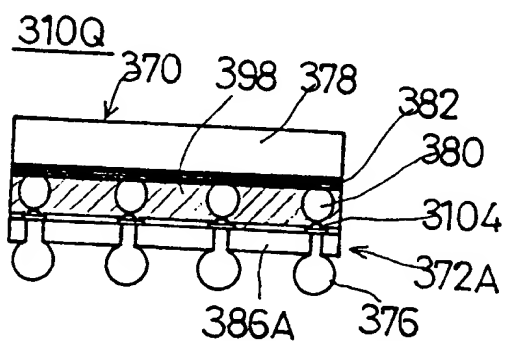


図 161

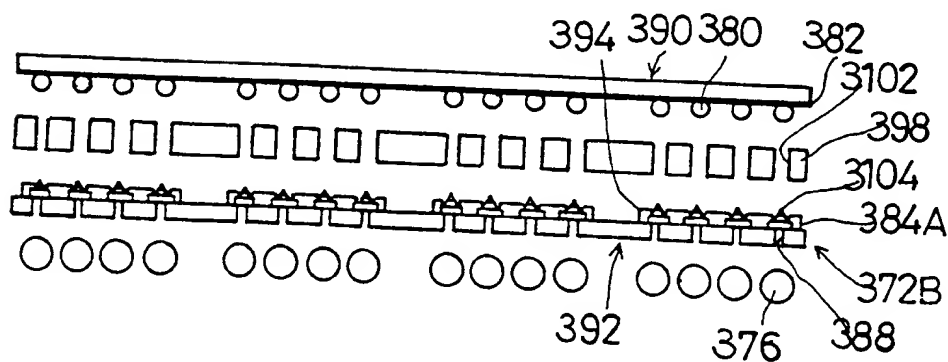




図 162

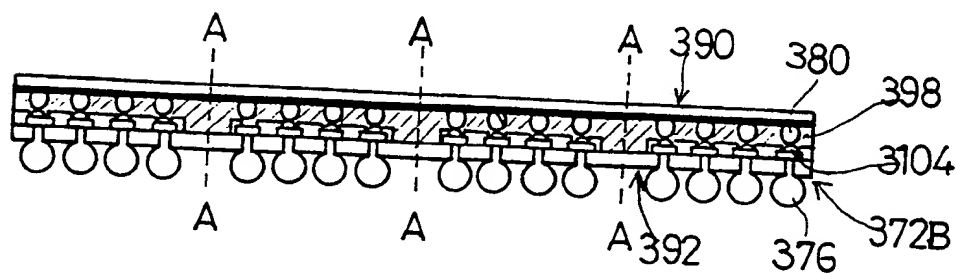


図 163

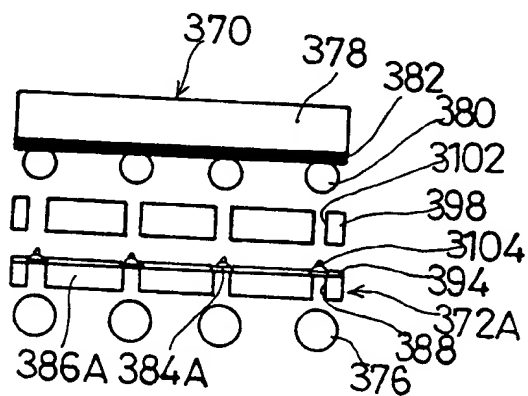
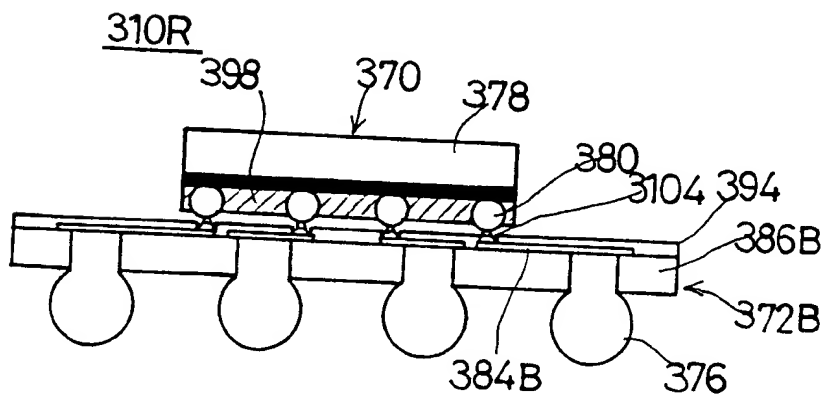


図 164







(51) 国際特許分類6

H01L 21/56, 21/60, 23/28, B29C 43/18

A1

(11) 国際公開番号

WO98/02919

(43) 国際公開日

1998年1月22日(22.01.98)

(21) 国際出願番号

PCT/JP97/02405

(22) 国際出願日

1997年7月10日(10.07.97)

(30) 優先権データ

特願平8/183844 ✓

1996年7月12日(12.07.96)

特願平8/276634 ✓

1996年10月18日(18.10.96)

特願平9/10683 ✓

1997年1月23日(23.01.97)

特願平9/181132 ✓

1997年7月7日(07.07.97)

(71) 出願人 (米国を除くすべての指定国について)

富士通株式会社(FUJITSU LIMITED)[JP/JP]

〒211 神奈川県川崎市中原区上小田中4丁目1番1号  
Kanagawa, (JP)

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ)

深澤則雄(FUKASAWA, Norio)[JP/JP]

川原登志実(KAWAHARA, Toshimi)[JP/JP]

森岡宗知(MORIOKA, Muncharu)[JP/JP]

大澤満洋(OSAWA, Mitsunada)[JP/JP]

松本浩久(MATSUKI, Hirohisa)[JP/JP]

小野寺正徳(ONODERA, Masanori)[JP/JP]

河西純一(KASAI, Junichi)[JP/JP]

丸山茂幸(MARUYAMA, Shigeyuki)[JP/JP]

竹中正司(TAKENAKA, Masashi)[JP/JP]

〒211 神奈川県川崎市中原区上小田中4丁目1番1号

富士通株式会社内 Kanagawa, (JP)

新聞康弘(SHINMA, Yasuhiro)[JP/JP]

佐久間正夫(SAKUMA, Masao)[JP/JP]

鈴木義美(SUZUKI, Yoshimi)[JP/JP]

〒211 神奈川県川崎市中原区上小田中4丁目1番1号

富士通オートメーション株式会社内 Kanagawa, (JP)

(74) 代理人

弁理士 伊東忠彦(ITO, Tadahiko)

〒150 東京都渋谷区恵比寿4丁目20番3号

恵比寿ガーデンプレイスタワー32階 Tokyo, (JP)

(81) 指定国 CN, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類

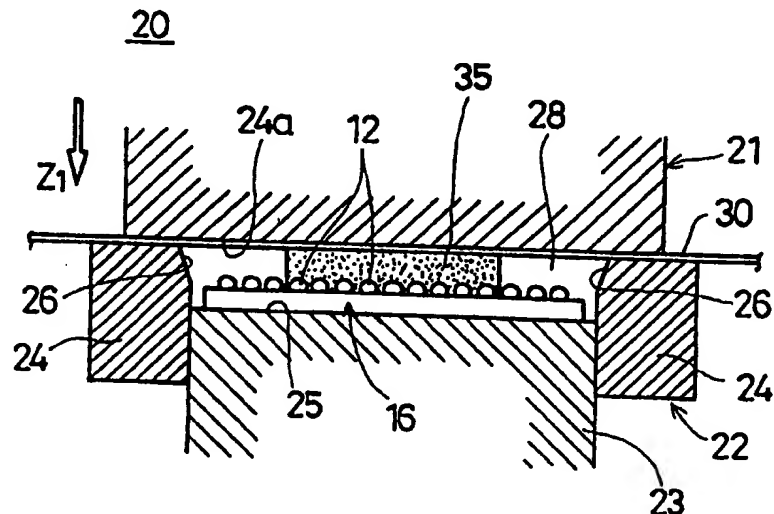
国際調査報告書

(54)Title: METHOD AND MOLD FOR MANUFACTURING SEMICONDUCTOR DEVICE, SEMICONDUCTOR DEVICE, AND METHOD FOR MOUNTING THE DEVICE

(54)発明の名称 半導体装置の製造方法及び半導体装置製造用金型及び半導体装置及びその実装方法

(57) Abstract

A method for manufacturing semiconductor devices includes a resin sealing step of putting a substrate (16) on which bumps (12) and a plurality of semiconductor chips (11) are arranged in the cavity (28) of a mold (20) and supplying a resin (35) to the region where the bumps (12) are provided so as to coat the bumps (12) and form a resin layer (13), a protruded electrode exposing step of exposing at least the front end sections of the bumps (12) coated with the resin layer (13) from the layer (13), and a separating step of separating the semiconductor chips (11) into individual chips (11) by cutting the substrate (16) together with the layer (13).



(57) 要約

パンプ 1 2 が配設された複数の半導体素子 1 1 が形成された基板 1 6 を金型 2 0 のキャビティ 2 8 内に装着し、続いてパンプ 1 2 の配設位置に樹脂 3 5 を供給してパンプ 1 2 を封止し樹脂層 1 3 を形成する樹脂封止工程と、樹脂層 1 3 に覆われたパンプ 1 2 の少なくとも先端部を樹脂層 1 3 より露出させる突起電極露出工程と、基板 1 6 を樹脂層 1 3 と共に切断して個々の半導体素子 1 1 に分離する分離工程とを具備する。

参考情報

PCTに基づいて公開される国際出願のパンフレット第一頁に記載されたPCT加盟国を同定するために使用されるコード

AL	アルバニア	ES	スペイン	LR	リベリア	SG	シンガポール
AM	アルメニア	FI	フィンランド	LS	レソト	SI	スロヴェニア
AT	オーストリア	FR	フランス	LT	リトアニア	SK	スロヴァキア共和国
AU	オーストラリア	GA	ガボン	LU	ルクセンブルグ	SL	シエラレオネ
AZ	アゼルバイジャン	GB	英国	LV	ラトヴィア	SN	セネガル
BA	ボスニア・エルツェゴビナ	GE	グルジア	MC	モナコ	SZ	スワジランド
BB	バルバドス	GH	ガーナ	MD	モルドヴァ共和国	TD	チャード
BE	ベルギー	GN	ギニア	MG	マダガスカル	TG	トーゴ
BF	ブルキナ・ファソ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア共和国	TJ	タジキスタン
BG	ブルガリア	HU	ハンガリー	ML	マリ	TM	トルクメニスタン
BJ	ベナン	ID	インドネシア	MN	モンゴル	TR	トルコ
BR	ブラジル	IE	アイルランド	MR	モーリタニア	TT	トリニダード・トバゴ
BY	ベラルーシ	IL	イスラエル	MW	マラウイ	UG	ウガンダ
CA	カナダ	IS	アイスランド	MX	メキシコ	US	米国
CF	中央アフリカ共和国	IT	イタリア	NE	ニジェール	UZ	ウズベキスタン
CG	コンゴ	JP	日本	NL	オランダ	VN	ヴィエトナム
CH	スイス	KE	ケニア	NO	ノルウェー	YU	ユーゴスラビア
CI	コート・ジボアール	KG	キルギスタン	NZ	ニュージーランド	ZW	ジンバブエ
CM	カメルーン	KP	朝鮮民主主義人民共和国	PL	ポーランド		
CN	中国	KR	大韓民国	PT	ポルトガル		
CU	キューバ	KZ	カザフスタン	RO	ルーマニア		
CZ	チェッコ共和国	LC	セントルシア	RU	ロシア連邦		
DE	ドイツ	LI	リヒテンシュタイン	SD	スーダン		
DK	デンマーク	LK	スリランカ	SE	スウェーデン		
EE	エストニア						

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP, 5-55278, A (ソニー株式会社) 5. 3月. 1993 (05. 03. 93), 段落「0006」, 「0009」, 「0012」および図2 (ファミリーなし)	18, 43  1-3, 6, 11 , 12, 19, 26-28, 30 , 57, 66, 67
X	JP, 60-130129, A (日本電気株式会社) 11. 7月. 1985 (11. 07. 85), 特許請求の範囲および第3図 (ファミリーなし)	57
X Y	JP, 5-175396, A (富士通株式会社) 13. 7月. 1993 (13. 07. 93), 請求項1および図1 (ファミリーなし)	65  66, 67
Y	JP, 6-318609, A (株式会社東芝) 15. 11月. 1994 (15. 11. 94), 特許請求の範囲および図1 (ファミリーなし)	1-3, 6, 9- 12, 30, 44 , 66, 67
Y	JP, 6-29165, A (南海ラバー株式会社) 4. 2月. 1994 (04. 02. 94), 請求項1, 図1および図7 (ファミリーなし)	25, 26
Y	JP, 54-111281, A (三菱電機株式会社) 31. 8月. 1979 (31. 08. 79), 請求項1および第2図 (ファミリーなし)	9, 10, 19
Y	JP, 7-326850, A (富士通株式会社) 12. 12月. 1995 (12. 12. 95), 請求項4, 段落「0024」および図1 (ファミリーなし)	11
Y	JP, 7-321248, A (日本電気株式会社) 8. 12月. 1995 (08. 12. 95), 請求項1, 段落「0029」および図1&EP, 684642, A2	20, 41, 42
Y	JP, 5-20921, A (松下電器産業株式会社) 29. 1月. 1993 (29. 01. 93), 段落「0004」, 「0005」, 「0016」および図1 (ファミリーなし)	26
Y	JP, 61-253826, A (株式会社日立製作所) 9. 11月. 1976 (09. 11. 76), 請求項1, 第3頁右上欄7行一同頁左下欄16行および第2図 (ファミリーなし)	27, 28
Y	JP, 5-175396, A (富士通株式会社) 13. 7月. 1993 (13. 07. 93), 請求項1および図1 (ファミリーなし)	66, 67
Y	JP, 1-37854, A (九州日本電気株式会社) 8. 2月. 1989 (08. 02. 89), 第1頁左欄末行一同頁右欄8行および第2図 (ファミリーなし)	66, 67

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl<sup>6</sup> H01L21/56, 21/60, 23/28, B29C43/18

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl<sup>6</sup> H01L21/56, 21/60, 23/28, B29C43/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
日本国公開実用新案公報 1971-1997年  
日本国登録実用新案公報 1994-1997年  
日本国実用新案登録公報 1996-1997年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P, 6-151487, A (三菱電機株式会社) 31. 5月. 1994 (31. 05. 94), 請求項1, 段落「0012」図1および図4 (ファミリーなし)	18, 25, 43 1-3, 6, 9-12, 19, 20, 26-28, 30, 41, 42, 44, 57, 66, 67

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 先行文献ではあるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

08. 10. 97

国際調査報告の発送日

21.10.97

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
奥井 正樹

4 E

7516

電話番号 03-3581-1101 内線 3424

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/02405

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	Claim; Fig. 3 (Family: none)	
X	JP, 5-175396, A (Fujitsu Ltd.), July 13, 1993 (13. 07. 93), Claim 1; Fig. 1 (Family: none)	65
Y		66, 67
Y	JP, 6-318609, A (Toshiba Corp.), November 15, 1994 (15. 11. 94), Claim; Fig. 1 (Family: none)	1-3, 6, 9-12, 30, 44, 66, 67
Y	JP, 6-29165, A (Nankai Rabah K.K.), February 4, 1994 (04. 02. 94), Claim 1; Figs. 1, 7 (Family: none)	25, 26
Y	JP, 54-111281, A (Mitsubishi Electric Corp.), August 31, 1979 (31. 08. 79), Claim 1; Fig. 2 (Family: none)	9, 10, 19
Y	JP, 7-326850, A (Fujitsu Ltd.), December 12, 1995 (12. 12. 95), Claim 4; Par. No. (0024); Fig. 1 (Family: none)	11
Y	JP, 7-321248, A (NEC Corp.), December 8, 1995 (08. 12. 95), Claim 1; Par. No. (0029); Fig. 1 & EP, 684642, A2	20, 41, 42
Y	JP, 5-20921, A (Matsushita Electric Industrial Co., Ltd.), January 29, 1993 (29. 01. 93), Par. Nos. (0004), (0005), (0016); Fig. 1 (Family: none)	26
Y	JP, 61-253826, A (Hitachi, Ltd.), November 9, 1976 (09. 11. 76), Claim 1; page 3, upper right column, line 7 to lower left column, line 16; Fig. 2 (Family: none)	27, 28
Y	JP, 5-175396, A (Fujitsu Ltd.), July 13, 1993 (13. 07. 93), Claim 1; Fig. 1 (Family: none)	66, 67
Y	JP, 1-37854, A (NEC Kyushu Co., Ltd.), February 8, 1989 (08. 02. 89), Page 1, left column, last line to right column, line 8; Fig. 2 (Family: none)	66, 67

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/02405

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> H01L21/56, 21/60, 23/28, B29C43/18

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> H01L21/56, 21/60, 23/28, B29C43/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1996	Jitsuyo Shinan Toroku	1996 - 1997
Kokai Jitsuyo Shinan Koho	1971 - 1997	Koho	
Toroku Jitsuyo Shinan Koho	1994 - 1997		

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 6-151487, A (Mitsubishi Electric Corp.), May 31, 1994 (31. 05. 94), Claim 1; Par. No. (0012); Figs. 1, 4 (Family: none)	18, 25, 43
Y		1-3, 6, 9-12, 19, 20, 26-28, 30, 41, 42, 44, 57, 66, 67
X	JP, 5-55278, A (Sony Corp.), March 5, 1993 (05. 03. 93), Par. Nos. (0006), (0009), (0012); Fig. 2 (Family: none)	18, 43
Y		1-3, 6, 11, 12, 19, 26-28, 30, 57, 66, 67
X	JP, 60-130129, A (NEC Corp.), July 11, 1985 (11. 07. 85),	57

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

### \* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
October 8, 1997 (08. 10. 97)

Date of mailing of the international search report  
October 21, 1997 (21. 10. 97)

Name and mailing address of the ISA/  
Japanese Patent Office  
Facsimile No.

Authorized officer  
Telephone No.



図 176

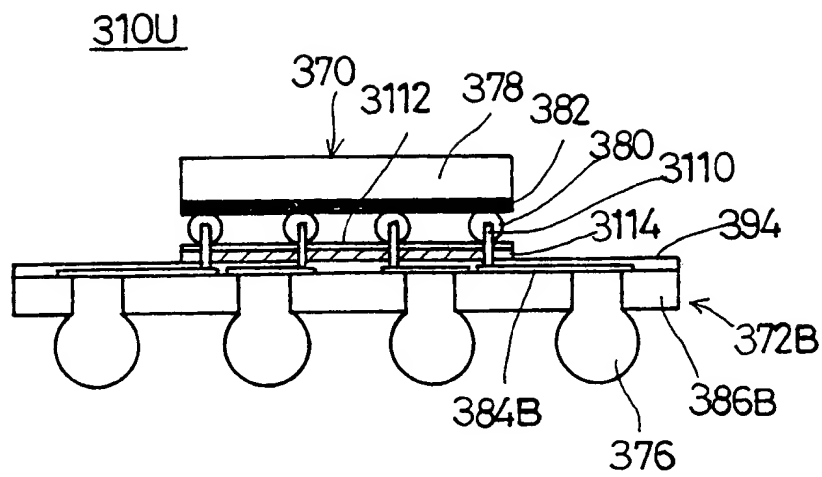


図 177

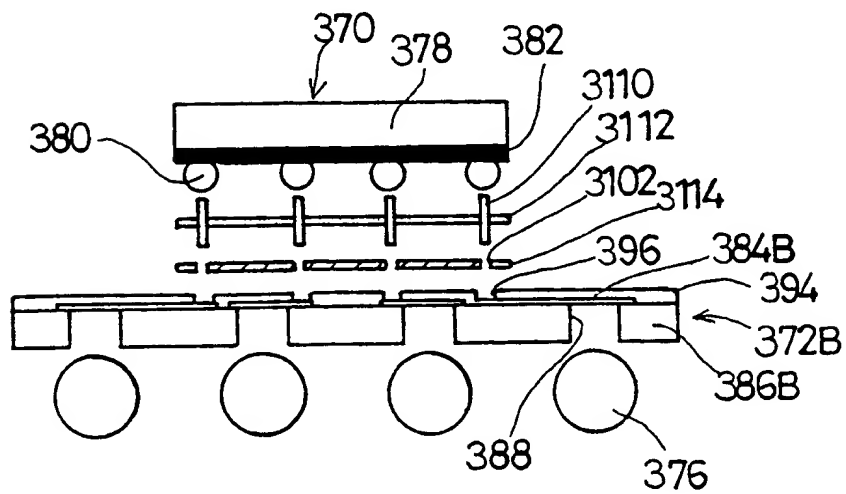






図 173

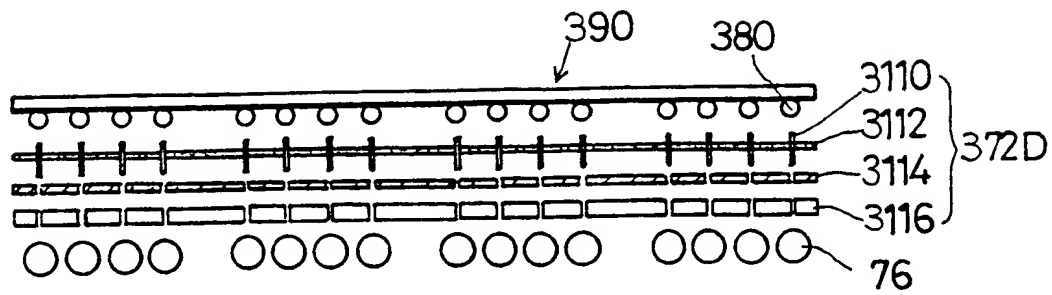


図 174

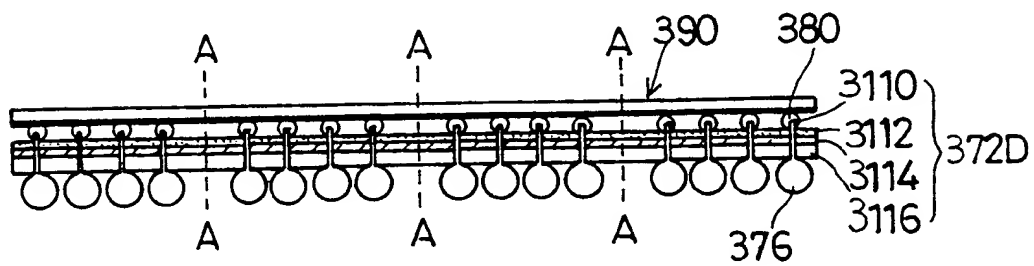
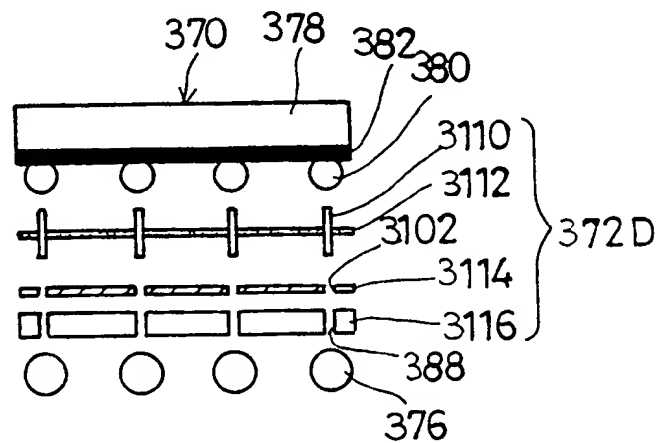
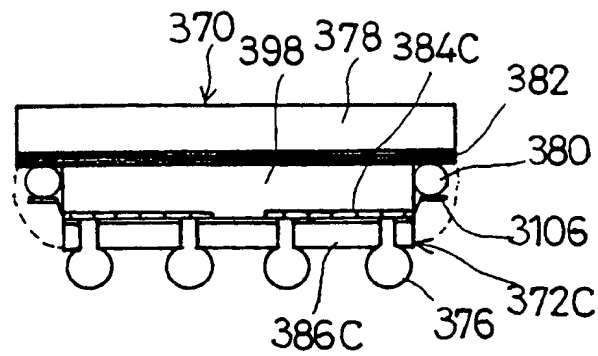


図 175



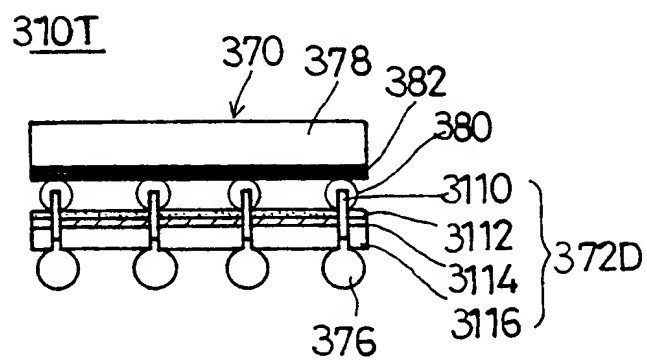


☒ 171



☒ 172

(A)



(B)

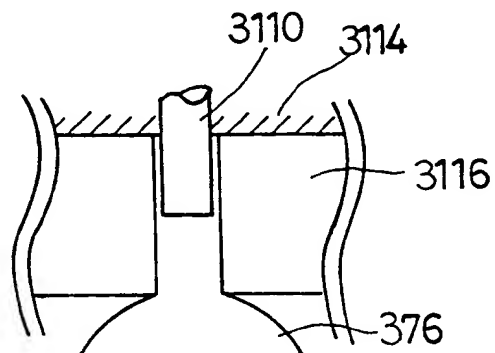




図 168

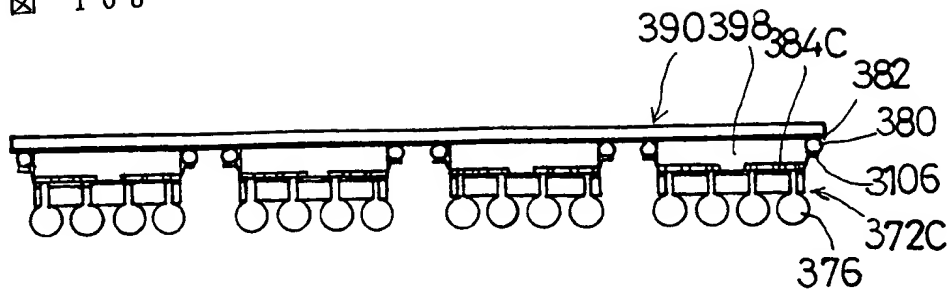


図 169

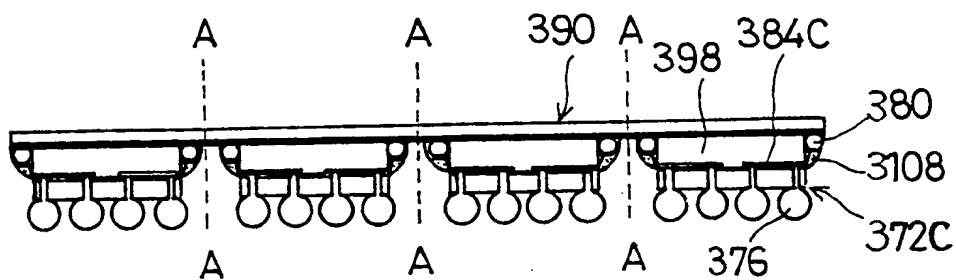


図 170

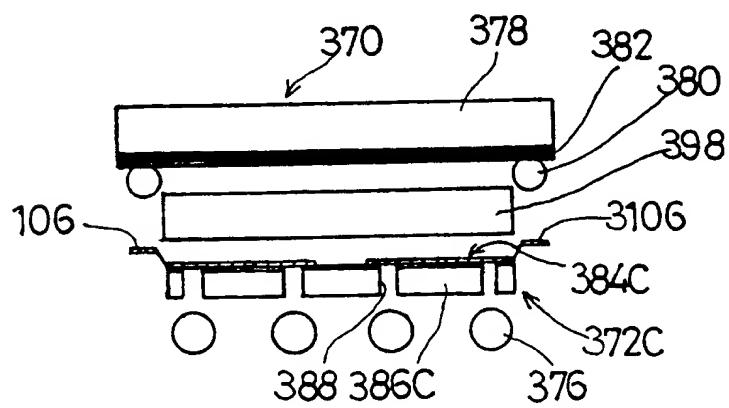




図 165

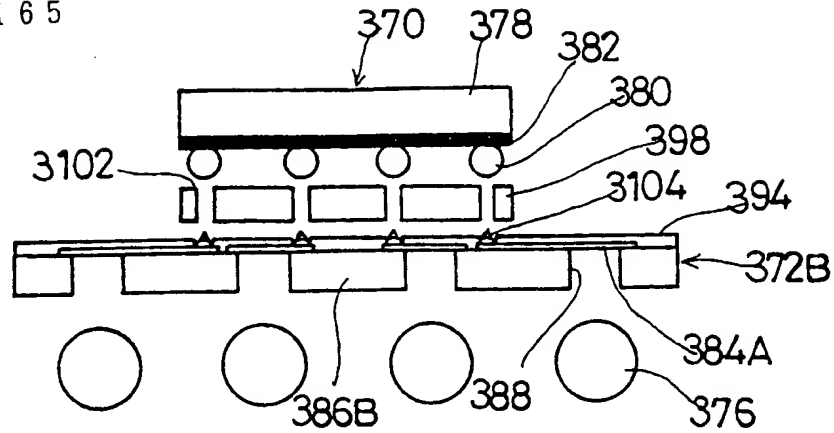


図 166

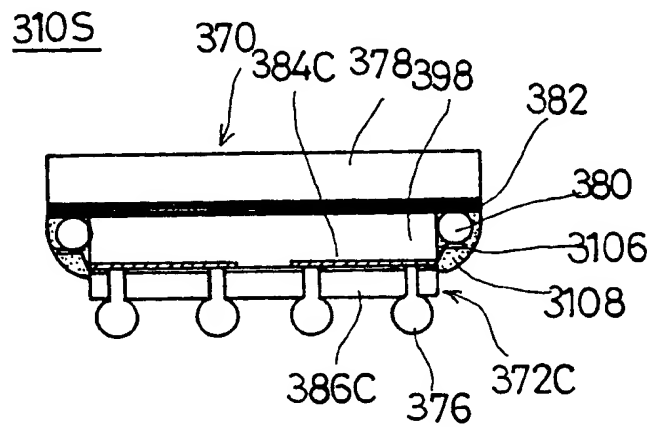


図 167

